



## (12)发明专利申请

(10)申请公布号 CN 113497089 A

(43)申请公布日 2021. 10. 12

(21)申请号 202010199096.4

(22)申请日 2020.03.20

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 成都京东方光电科技有限公司

(72)发明人 黄炜赟 黄耀 曾超 龙跃

承天一

(74)专利代理机构 北京律智知识产权代理有限公司

公司 11438

代理人 王辉 阚梓瑄

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 51/52(2006.01)

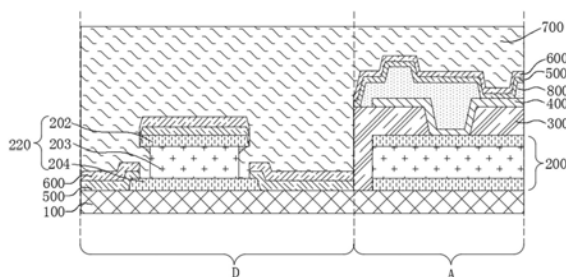
权利要求书2页 说明书11页 附图10页

### (54)发明名称

阵列基板及其制备方法、显示装置

### (57)摘要

本公开提供了一种阵列基板及其制备方法、显示装置,属于显示技术领域。该阵列基板具有开孔区域和孔边框区域;阵列基板的制备方法包括:在衬底基板的一侧形成源漏金属层,源漏金属层在孔边框区域形成有围绕开孔区域的第一隔离柱,第一隔离柱包括第一金属层和位于第一金属层远离衬底基板一侧的第二金属层;形成至少覆盖各个第一金属层的侧面的平坦化层;形成像素电极层;形成覆盖像素电极层的保护层,保护层暴露孔边框区域;去除平坦化层位于孔边框区域的部分;从侧面对第一金属层进行部分刻蚀以形成第三金属层;去除保护层;依次形成有机发光层和公共电极层。该阵列基板的制备方法能够提高阵列基板的良率。



1. 一种阵列基板的制备方法,其特征在于,所述阵列基板具有开孔区域和孔边框区域;所述阵列基板的制备方法包括:

提供衬底基板;

在所述衬底基板的一侧形成驱动电路层;其中,所述驱动电路层包括源漏金属层,所述源漏金属层在所述孔边框区域形成有围绕所述开孔区域的第一隔离柱,所述第一隔离柱包括第一金属层和位于所述第一金属层远离所述衬底基板的一侧的第二金属层;

在所述驱动电路层远离所述衬底基板的一侧形成平坦化层,所述平坦化层至少覆盖各个所述第一金属层的侧面;

在所述平坦化层远离所述衬底基板的一侧形成像素电极层;

形成覆盖所述像素电极层的保护层,所述保护层暴露所述孔边框区域;

去除所述平坦化层位于所述孔边框区域的部分,以暴露所述第一金属层的侧面;

从侧面对所述第一金属层进行部分刻蚀以形成第三金属层,所述第三金属层在所述第二金属层的正投影位于所述第二金属层的范围内;

去除所述保护层;

在所述像素电极层远离所述衬底基板的一侧依次形成有机发光层和公共电极层。

2. 根据权利要求1所述的阵列基板的制备方法,其特征在于,在所述衬底基板的一侧形成驱动电路层包括:

在所述孔边框区域形成第一金属层和位于所述第一金属层远离所述衬底基板的一侧的第二金属层;其中,所述第一金属层的材料为铝;所述第二金属层的材料为钛。

3. 根据权利要求1所述的阵列基板的制备方法,其特征在于,在所述衬底基板的一侧形成驱动电路层包括:

在所述孔边框区域形成围绕所述开孔区域的第一隔离柱,所述第一隔离柱还包括位于所述第一金属层靠近所述衬底基板一侧的第四金属层,所述第四金属层的材料与所述第二金属层的材料相同。

4. 根据权利要求1所述的阵列基板的制备方法,其特征在于,在所述驱动电路层远离所述衬底基板的一侧形成平坦化层包括:

形成覆盖所述源漏金属层的平坦化材料层;

对所述平坦化材料层进行图案化操作以形成所述平坦化层,所述平坦化层至少覆盖所述第一金属层的侧面。

5. 根据权利要求4所述的阵列基板的制备方法,其特征在于,对所述平坦化材料层进行图案化操作以形成所述平坦化层包括:

通过半色调曝光工艺对所述平坦化材料层进行图案化操作,使得所述平坦化层在所述孔边框区域的厚度小于所述平坦化材料层的厚度。

6. 根据权利要求5所述的阵列基板的制备方法,其特征在于,形成覆盖所述像素电极层的保护层包括:

形成覆盖所述像素电极层的保护层,所述保护层的厚度大于所述平坦化层在所述孔边框区域的厚度。

7. 根据权利要求1所述的阵列基板的制备方法,其特征在于,所述阵列基板的制备方法还包括:

在形成所述有机发光层之前,在所述像素电极层远离所述衬底基板的一侧形成像素定义层。

8.根据权利要求7所述的阵列基板的制备方法,其特征在于,在所述像素电极层远离所述衬底基板的一侧形成像素定义层包括:

形成覆盖所述像素电极层和所述孔边框区域的光刻胶材料层;

对所述光刻胶材料层进行曝光和显影,以形成所述像素定义层;其中,部分所述光刻胶材料层残留于所述第二金属层靠近所述衬底基板的一侧,以形成用于支撑所述第二金属层的支撑部。

9.一种阵列基板,其特征在于,所述阵列基板包括开孔以及围绕所述开孔的孔边框区域;所述阵列基板包括:

衬底基板,形成有所述开孔;

驱动电路层,设于所述衬底基板的一侧;所述驱动电路层包括源漏金属层,所述源漏金属层在所述孔边框区域形成有围绕所述开孔的第二隔离柱,所述第二隔离柱包括第三金属层和位于所述第三金属层远离所述衬底基板一侧的第二金属层;所述第二隔离柱形成有位于所述第二金属层靠近所述衬底基板一侧的隔断凹槽,使得所述第三金属层在所述第二金属层的正投影在所述第二金属层的范围内;

支撑部,设于所述第二金属层靠近所述衬底基板一侧且填充部分所述隔断凹槽;

像素电极层,设于所述驱动电路层远离所述衬底基板一侧;

有机发光层,设于所述像素电极层远离所述衬底基板一侧,且在所述孔边框区域被所述第二隔离柱分割为多个不相连的部分;

公共电极层,设于所述有机发光层远离所述衬底基板一侧,且在所述孔边框区域被所述第二隔离柱分割为多个不相连的部分。

10.根据权利要求9所述的阵列基板,其特征在于,所述第二隔离柱还包括第四金属层,所述第四金属层设于所述第三金属层靠近所述衬底基板的表面;所述第三金属层在所述第四金属层上的正投影,位于所述第四金属层的范围内。

11.根据权利要求10所述的阵列基板,其特征在于,所述支撑部至少位于所述第三金属层和所述第二金属层的结合处的夹角处。

12.根据权利要求11所述的阵列基板,其特征在于,所述支撑部还覆盖所述第三金属层的侧面。

13.根据权利要求11所述的阵列基板,其特征在于,所述支撑部还位于所述第三金属层与所述第四金属层结合处的夹角处。

14.根据权利要求9所述的阵列基板,其特征在于,所述支撑部的材料为光刻胶。

15.一种显示装置,其特征在于,包括权利要求9~14任一项所述的阵列基板。

## 阵列基板及其制备方法、显示装置

### 技术领域

[0001] 本公开涉及显示技术领域,尤其涉及一种阵列基板及其制备方法、显示装置。

### 背景技术

[0002] 随着显示技术的发展,打孔屏在手机等设备上的应用越来越广泛。对于OLED(有机电致发光二极管)显示面板而言,打孔区域容易出现水氧入侵等问题。为了减小水氧入侵风险,可以通过源漏金属层在孔边框区域形成隔离柱,隔离柱用于隔断有机发光层和公共电极层,进而隔断水氧入侵通道。然而,在通过刻蚀工艺形成像素电极和隔离柱时,隔离柱会与刻蚀液反应而生成金属颗粒,容易产生暗点不良。

[0003] 所述背景技术部分公开的上述信息仅用于加强对本公开的背景的理解,因此它可以包括不构成对本领域普通技术人员已知的现有技术的信息。

### 发明内容

[0004] 本公开的目的在于提供一种阵列基板及其制备方法、显示装置,提高阵列基板的良率。

[0005] 为实现上述发明目的,本公开采用如下技术方案:

[0006] 根据本公开的第一个方面,提供一种阵列基板的制备方法,所述阵列基板具有开孔区域和孔边框区域;所述阵列基板的制备方法包括:

[0007] 提供衬底基板;

[0008] 在所述衬底基板的一侧形成驱动电路层;其中,所述驱动电路层包括源漏金属层,所述源漏金属层在所述孔边框区域形成有围绕所述开孔区域的第一隔离柱,所述第一隔离柱包括第一金属层和位于所述第一金属层远离所述衬底基板的一侧的第二金属层;

[0009] 在所述驱动电路层远离所述衬底基板的一侧形成平坦化层,所述平坦化层至少覆盖各个所述第一金属层的侧面;

[0010] 在所述平坦化层远离所述衬底基板的一侧形成像素电极层;

[0011] 形成覆盖所述像素电极层的保护层,所述保护层暴露所述孔边框区域;

[0012] 去除所述平坦化层位于所述孔边框区域的部分,以暴露所述第一金属层的侧面;

[0013] 从侧面对所述第一金属层进行部分刻蚀以形成第三金属层,所述第三金属层在所述第二金属层的正投影位于所述第二金属层的范围内;

[0014] 去除所述保护层;

[0015] 在所述像素电极层远离所述衬底基板的一侧依次形成有机发光层和公共电极层。

[0016] 在本公开的一种示例性实施例中,在所述衬底基板的一侧形成驱动电路层包括:

[0017] 在所述孔边框区域形成第一金属层和位于所述第一金属层远离所述衬底基板的一侧的第二金属层;其中,所述第一金属层的材料为铝;所述第二金属层的材料为钛。

[0018] 在本公开的一种示例性实施例中,在所述衬底基板的一侧形成驱动电路层包括:

[0019] 在所述孔边框区域形成围绕所述开孔区域的第一隔离柱,所述第一隔离柱还包括

位于所述第一金属层靠近所述衬底基板一侧的第四金属层,所述第四金属层的材料与所述第二金属层的材料相同。

[0020] 在本公开的一种示例性实施例中,在所述驱动电路层远离所述衬底基板的一侧形成平坦化层包括:

[0021] 形成覆盖所述源漏金属层的平坦化材料层;

[0022] 对所述平坦化材料层进行图案化操作以形成所述平坦化层,所述平坦化层至少覆盖所述第一金属层的侧面。

[0023] 在本公开的一种示例性实施例中,对所述平坦化材料层进行图案化操作以形成所述平坦化层包括:

[0024] 通过半色调曝光工艺对所述平坦化材料层进行图案化操作,使得所述平坦化层在所述孔边框区域的厚度小于所述平坦化材料层的厚度。

[0025] 在本公开的一种示例性实施例中,形成覆盖所述像素电极层的保护层包括:

[0026] 形成覆盖所述像素电极层的保护层,所述保护层的厚度大于所述平坦化层在所述孔边框区域的厚度。

[0027] 在本公开的一种示例性实施例中,所述阵列基板的制备方法还包括:

[0028] 在形成所述有机发光层之前,在所述像素电极层远离所述衬底基板的一侧形成像素定义层。

[0029] 在本公开的一种示例性实施例中,在所述像素电极层远离所述衬底基板的一侧形成像素定义层包括:

[0030] 形成覆盖所述像素电极层和所述孔边框区域的光刻胶材料层;

[0031] 对所述光刻胶材料层进行曝光和显影,以形成所述像素定义层;其中,部分所述光刻胶材料层残留于所述第二金属层靠近所述衬底基板的一侧,以形成用于支撑所述第二金属层的支撑部。

[0032] 根据本公开的第二个方面,提供一种阵列基板,所述阵列基板包括开孔以及围绕所述开孔的孔边框区域;所述阵列基板包括:

[0033] 衬底基板,形成有所述开孔;

[0034] 驱动电路层,设于所述衬底基板的一侧;所述驱动电路层包括源漏金属层,所述源漏金属层在所述孔边框区域形成有围绕所述开孔的第二隔离柱,所述第二隔离柱包括第三金属层和位于所述第三金属层远离所述衬底基板一侧的第二金属层;所述第二隔离柱形成有位于所述第二金属层靠近所述衬底基板一侧的隔断凹槽,使得所述第三金属层在所述第二金属层的正投影在所述第二金属层的范围内;

[0035] 支撑部,设于所述第二金属层靠近所述衬底基板一侧且填充部分所述隔断凹槽;

[0036] 像素电极层,设于所述驱动电路层远离所述衬底基板一侧;

[0037] 有机发光层,设于所述像素电极层远离所述衬底基板一侧,且在所述孔边框区域被所述第二隔离柱分割为多个不相连的部分;

[0038] 公共电极层,设于所述有机发光层远离所述衬底基板一侧,且在所述孔边框区域被所述第二隔离柱分割为多个不相连的部分。

[0039] 在本公开的一种示例性实施例中,所述第二隔离柱还包括第四金属层,所述第四

金属层设于所述第三金属层靠近所述衬底基板的表面;所述第三金属层在所述第四金属层上的正投影,位于所述第四金属层的范围内。

[0040] 在本公开的一种示例性实施例中,所述支撑部至少位于所述第三金属层和所述第二金属层的结合处的夹角处。

[0041] 在本公开的一种示例性实施例中,所述支撑部还覆盖所述第三金属层的侧面。

[0042] 在本公开的一种示例性实施例中,所述支撑部还位于所述第三金属层与所述第四金属层结合处的夹角处。

[0043] 在本公开的一种示例性实施例中,所述支撑部的材料为光刻胶。

[0044] 根据本公开的第三个方面,提供一种显示装置,包括上述的阵列基板。

[0045] 本公开提供的阵列基板及其制备方法、显示装置中,在形成第一隔离柱后可以先利用平坦化层保护第一金属层,如此,在形成像素电极层时,刻蚀液不会与第一金属层接触,避免了在形成像素电极层时产生金属颗粒,进而避免了金属颗粒产生暗点不良。在形成像素电极层后,可以通过保护层保护像素电极层并暴露孔边框区域,然后去除孔边框区域内的平坦化层以暴露第一金属层的侧面,并对第一金属层从侧面进行刻蚀以形成第三金属层,如此形成包括第二金属层和第三金属层的第二隔离柱,第二隔离柱形成有隔断凹槽。在去除保护层后,可以蒸镀有机发光层和公共电极层,由于隔断凹槽的存在,有机发光层和公共电极层在第二隔离柱处不连续。如此,该第二隔离柱将有机发光层和公共电极层隔断为多个不连续的部分,阻断了水氧入侵通道,保证了阵列基板在孔边框区域的封装效果。综上,本公开提供的阵列基板的制备方法,既可以避免金属颗粒产生的暗点不良,又可以在孔边框区域阻断水氧入侵通道,能够提高阵列基板的良率。

## 附图说明

[0046] 通过参照附图详细描述其示例实施方式,本公开的上述和其它特征及优点将变得更加明显。

[0047] 图1是相关技术中的开孔屏的俯视结构示意图。

[0048] 图2是相关技术中的隔离柱的结构示意图。

[0049] 图3是相关技术中的隔离柱隔断有机发光层和公共电极层的结构示意图。

[0050] 图4是本公开实施方式中阵列基板的俯视结构示意图。

[0051] 图5是本公开一种实施方式中阵列基板的制备方法的流程示意图。

[0052] 图6是本公开一种实施方式中形成源漏金属层的结构示意图。

[0053] 图7是本公开一种实施方式中形成平坦化层的结构示意图。

[0054] 图8是本公开一种实施方式中形成平坦化层的结构示意图。

[0055] 图9是本公开一种实施方式中形成平坦化层的结构示意图。

[0056] 图10是本公开一种实施方式中形成像素电极层的结构示意图。

[0057] 图11是本公开一种实施方式中形成保护层的结构示意图。

[0058] 图12是本公开一种实施方式中去除位于孔边框区域的平坦化层的结构示意图。

[0059] 图13是本公开一种实施方式中形成第二隔离柱的结构示意图。

[0060] 图14是本公开一种实施方式中去除保护层的结构示意图。

[0061] 图15是本公开一种实施方式中形成光刻胶材料层的结构示意图。

- [0062] 图16是本公开一种实施方式中形成像素定义层和支撑柱的结构示意图。
- [0063] 图17是本公开一种实施方式中支撑部的位置示意图。
- [0064] 图18是本公开一种实施方式中支撑部的位置示意图。
- [0065] 图19是本公开一种实施方式中支撑部的位置示意图。
- [0066] 图20是本公开一种实施方式中形成有机发光层和公共电极层的结构示意图。
- [0067] 图21是本公开一种实施方式中形成封装层的结构示意图。
- [0068] 图22是本公开一种实施方式中阵列基板的俯视结构示意图。
- [0069] 图中主要元件附图标记说明如下：
- [0070] 100、衬底基板；101、开孔；200、源漏金属层；201、第一金属层；202、第二金属层；203、第三金属层；204、第四金属层；210、第一隔离柱；220、第二隔离柱；221、隔断凹槽；300、平坦化层；400、像素电极层；410、保护层；500、有机发光层；600、公共电极层；700、封装层；800、像素定义层；801、支撑部；802、支撑柱；810、光刻胶材料层；901、隔离柱；902、钛层；903、铝层；904、钛层；A、显示区；B、外围区；C、开孔区域；D、孔边框区域。

### 具体实施方式

[0071] 现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施例使得本公开将更加全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施例中。在下面的描述中，提供许多具体细节从而给出对本公开的实施例的充分理解。

[0072] 在图中，为了清晰，可能夸大了区域和层的厚度。在图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

[0073] 所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施例中。在下面的描述中，提供许多具体细节从而给出对本公开的实施例的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而没有所述特定细节中的一个或更多，或者可以采用其它的方法、组元、材料等。在其它情况下，不详细示出或描述公知结构、材料或者操作以避免模糊本公开的主要技术创意。

[0074] 当某结构在其它结构“上”时，有可能是指某结构一体形成于其它结构上，或指某结构“直接”设置在其它结构上，或指某结构通过另一结构“间接”设置在其它结构上。

[0075] 用语“一个”、“一”、“所述”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等。用语“第一”和“第二”等仅作为标记使用，不是对其对象的数量限制。

[0076] 如图1所示，开孔屏一般包括显示区A和围绕显示区A的外围区B，其中，在显示区A开设有开孔101，该开孔101可以放置摄像头、红外传感器或者面板识别模块等，以提高显示装置的屏占比。开孔屏还需要设置围绕开孔101的孔边框区域D，以便实现有效封装。

[0077] 在相关技术中，如图1、图2和图3所示，为了提高OLED显示面板在孔边框区域D的封装效果，可以利用源漏金属层形成围绕开孔101的隔离柱901，以便利用隔离柱901将有机发光层500和公共电极层600位于孔边框区域D内的部分分割为多个不连续的部分，达成隔断

水氧入侵通道的目的。在制备时,可以先对源漏金属层进行第一次图案化,形成围绕开孔101的隔离柱901,如图2所示,隔离柱901可以包括依次层叠的钛层902、铝层903和钛层904;然后,如图3所示,在对像素电极层进行图案化时,刻蚀液可以对铝层903进行部分刻蚀,以使得隔离柱901呈“工”字形。然而,像素电极层在刻蚀中可以生成硝酸银,硝酸银可以与铝发生置换反应而生成银颗粒,生成的银颗粒可能会残留于显示面板的显示区A并导致像素电极与公共电极层之间短路,这会导致显示面板出现暗点不良。

[0078] 为了解决上述问题,本公开提供一种阵列基板的制备方法,如图4所示,该阵列基板具有开孔区域C和围绕开孔区域C的孔边框区域D;如图5所示,阵列基板的制备方法包括:

[0079] 步骤S110,提供衬底基板100;

[0080] 步骤S120,如图6所示,在衬底基板100的一侧形成驱动电路层;其中,驱动电路层包括源漏金属层200,源漏金属层200在孔边框区域D形成有围绕开孔区域C的第一隔离柱210,第一隔离柱210包括第一金属层201和位于第一金属层201远离衬底基板100的一侧的第二金属层202;

[0081] 步骤S130,如图7所示,在驱动电路层远离衬底基板100的一侧形成平坦化层300,平坦化层300至少覆盖各个第一金属层201的侧面;

[0082] 步骤S140,如图10所示,在平坦化层300远离衬底基板100的一侧形成像素电极层400;

[0083] 步骤S150,如图11所示,形成覆盖像素电极层400的保护层410,保护层410暴露孔边框区域D;

[0084] 步骤S160,如图12所示,去除平坦化层300位于孔边框区域D的部分,以暴露第一金属层201的侧面;

[0085] 步骤S170,如图13所示,从侧面对第一金属层201进行部分刻蚀以形成第三金属层203,第三金属层203在第二金属层202的正投影位于第二金属层202的范围内;

[0086] 步骤S180,如图14所示,去除保护层410;

[0087] 步骤S190,如图20所示,在像素电极层400远离衬底基板100的一侧依次形成有机发光层500和公共电极层600。

[0088] 本公开提供的阵列基板的制备方法中,在形成第一隔离柱210后可以先利用平坦化层300保护第一金属层201,如此,在形成像素电极层400时,刻蚀液不会与第一金属层201接触,避免了在形成像素电极层400时产生金属颗粒,进而避免了金属颗粒产生暗点不良。在形成像素电极层400后,可以通过保护层410保护像素电极层400并暴露孔边框区域D,然后去除孔边框区域D内的平坦化层300以暴露第一金属层201的侧面,并对第一金属层201从侧面进行刻蚀以形成第三金属层203,如此形成包括第二金属层202和第三金属层203的第二隔离柱220,第二隔离柱220形成有隔断凹槽221。在去除保护层410后,可以蒸镀有机发光层500和公共电极层600,由于隔断凹槽221的存在,有机发光层500和公共电极层600在第二隔离柱220处不连续。如此,该第二隔离柱220将有机发光层500和公共电极层600隔断为多个不连续的部分,阻断了水氧入侵通道,保证了阵列基板在孔边框区域D的封装效果。综上,本公开提供的阵列基板的制备方法,既可以避免金属颗粒产生的暗点不良,又可以在孔边框区域D阻断水氧入侵通道,能够提高阵列基板的良率。

[0089] 下面结合附图,对本公开提供的阵列基板的制备方法的各个步骤、原理和效果做



进一步地解释和说明。

[0090] 在步骤S110中,可以提供阵列基板的衬底基板100。衬底基板100可以为无机材料的衬底基板100,也可以为有机材料的衬底基板100。举例而言,在本公开的一种实施方式中,衬底基板100的材料可以为钠钙玻璃(soda-lime glass)、石英玻璃、蓝宝石玻璃等玻璃材料,或者可以为不锈钢、铝、镍等金属材料。在本公开的另一种实施方式中,衬底基板100的材料可以为聚甲基丙烯酸甲酯(Polymethyl methacrylate,PMMA)、聚乙烯醇(Polyvinyl alcohol,PVA)、聚乙烯基苯酚(Polyvinyl phenol,PVP)、聚醚砜(Polyether sulfone,PES)、聚酰亚胺、聚酰胺、聚缩醛、聚碳酸酯(Poly carbonate,PC)、聚对苯二甲酸乙二酯(Polyethylene terephthalate,PET)、聚萘二甲酸乙二酯(Polyethylene naphthalate,PEN)或其组合。在本公开的另一种实施方式中,衬底基板100也可以为柔性衬底基板100,例如衬底基板100的材料可以为聚酰亚胺(polyimide,PI)。衬底基板100还可以为多层材料的复合,举例而言,在本公开的一种实施方式中,衬底基板100可以包括依次层叠设置的底膜层(Bottom Film)、压敏胶层、第一聚酰亚胺层和第二聚酰亚胺层。

[0091] 在步骤S120中,可以在衬底基板100的一侧形成驱动电路层。驱动电路层可以形成有多个像素驱动电路,各个像素驱动电路用于驱动对应的发光器件。其中,任意一个像素驱动电路可以包括有薄膜晶体管和存储电容。在膜层结构上,薄膜晶体管可以为顶栅型薄膜晶体管或者底栅型薄膜晶体管,本公开对此不做限制。在薄膜晶体管材料上,薄膜晶体管可以为低温多晶硅薄膜晶体管或者氧化物薄膜晶体管,本公开对此不做限制。在薄膜晶体管的导通条件上,薄膜晶体管可以为N型薄膜晶体管或者P型薄膜晶体管,本公开对此也不做限制。

[0092] 驱动电路层中,各个薄膜晶体管和存储电容可以由有源层、栅极绝缘层、栅极层、层间电介质层、源漏金属层200等膜层形成。其中,各个膜层的位置关系可以根据薄膜晶体管的膜层结构确定。举例而言,在本公开的一种实施方式中,驱动电路层可以包括依次层叠设置的有源层、栅极绝缘层、栅极层、层间电介质层和源漏金属层200,如此所形成的薄膜晶体管为顶栅型薄膜晶体管。再举例而言,在本公开的另一种实施方式中,驱动电路层可以包括依次层叠设置的栅极层、栅极绝缘层、有源层、层间电介质层和源漏金属层200,如此所形成的薄膜晶体管为底栅型薄膜晶体管。

[0093] 驱动电路层还可以采用双栅极结构,即栅极层可以包括第一栅极层和第二栅极层,栅极绝缘层可以包括用于隔离有源层和第一栅极层的第一栅极绝缘层,以及包括用于隔离第一栅极层和第二栅极层的第二栅极绝缘层。举例而言,在本公开的一种实施方式中,驱动电路层可以包括依次层叠设置于衬底基板100一侧的有源层、第一栅极绝缘层、第一栅极层、第二栅极绝缘层、第二栅极层、层间电介质层、源漏金属层200。

[0094] 在步骤S120中,如图6所示,源漏金属层200在孔边框区域D形成有围绕开孔区域C的第一隔离柱210,第一隔离柱210包括第一金属层201和位于第一金属层201远离衬底基板100的一侧的第二金属层202。

[0095] 可以通过如下方法形成源漏金属层200:在层间电介质层远离衬底基板100的一侧依次形成第一金属材料层和第二金属材料层,以形成源漏金属材料层,源漏金属材料层至少覆盖孔边框区域D;对源漏金属材料层进行图案化操作,以形成包括第一隔离柱210的源漏金属层200。如此,如图6所示,所形成的第一隔离柱210中不会形成隔断凹槽221。

[0096] 可选地,第一隔离柱210还可以包括位于第一金属层201靠近衬底基板100一侧的第四金属层204,第四金属层204的材料与第二金属层202的材料相同。如此,该第一隔离柱210可以为依次层叠的第四金属层204、第一金属层201和第二金属层202形成的夹心结构。

[0097] 可选地,第一金属层201的材料可以为铝,第二金属层202的材料可以为钛。如此,在步骤S170中,如图12和图13所示,在第一金属层201的侧面和第二金属层202的表面均暴露的情形下,可以选择恰当的刻蚀液对第一金属层201的侧面进行刻蚀而不对第二金属层202进行刻蚀,进而形成第三金属层203(残留的第一金属层201)和第二金属层202形成的第二隔离柱220,使得第二隔离柱220形成有隔断凹槽221。

[0098] 可选地,第一隔离柱210的数量为多个。

[0099] 可选地,第一隔离柱210为环绕开孔区域C的环形。

[0100] 优选地,在步骤S120中,在孔边框区域D形成多个围绕开孔区域C的第一隔离柱210,各个第一隔离柱210呈环形,且呈同心圆分布。

[0101] 在步骤S130中,可以通过如下方法形成平坦化层300:在源漏金属层200远离衬底基板100的一侧形成平坦化材料层,然后对平坦化材料层进行图案化操作以形成平坦化层300。如图7所示,所形成的平坦化层300至少覆盖第一金属层201的侧面,以避免第一金属层201在步骤S140中与刻蚀液接触,进而避免步骤S140中产生金属颗粒。

[0102] 平坦化层300可以仅仅覆盖第一金属层201的侧面,也可以覆盖第一金属层201的侧面和部分第二金属层202(如图8所示),还可以完全覆盖第一金属层201和第二金属层202(如图7和图9所示)。可以通过调整掩模板的图案,以调整平坦化层300在孔边框区域D的图案。

[0103] 在本公开中,一个膜层或者结构的侧面,指的是一个膜层或者结构的靠近和远离衬底基板100的表面以外的面。换言之,一个膜层或者结构,可以包括靠近衬底基板100的表面、远离衬底基板100的表面,以及连接上述两个表面的侧面。相应的,第一金属层201的侧面,指的是第一金属层201靠近和远离衬底基板100的表面以外的表面。

[0104] 在本公开的一种实施方式中,如图9所示,可以利用半色调掩模板对平坦化材料层进行图案化操作,使得平坦化层300在孔边框区域D被减薄,进而降低步骤S160中的刻蚀时间和刻蚀深度。举例而言,在步骤S140中,可以在形成平坦化材料层后,通过半色调曝光工艺对平坦化材料层进行图案化操作,使得平坦化层300在孔边框区域D的厚度小于平坦化材料层的厚度。

[0105] 平坦化层300的材料可以为无机绝缘材料,也可以为有机绝缘材料。在本公开的一种实施方式中,平坦化层300的材料可以为光刻胶,例如可以为PI(聚酰亚胺)。

[0106] 在步骤S140中,可以先在平坦化层300远离衬底基板100的一侧形成像素电极材料层,然后对像素电极材料层进行图案化操作以形成像素电极层400(如图10所示),像素电极层400可以包括有阵列分布的像素电极。

[0107] 可选地,像素电极层400的材料可以包括金属银。在本公开的一种实施方式中,像素电极层400的材料还可以包括金属氧化物,例如还可以包括有ITO(氧化铟锡)。在本公开的一种实施方式中,像素电极层400包括设于平坦化层300远离衬底基板100的一侧的银反射层和位于银反射层远离衬底基板100的一侧的ITO层。在本公开的另一种实施方式中,像素电极层400可以采用含银的金属材料,例如可以为镁银合金或者可以为金属银。

[0108] 在对像素电极材料层进行图案化操作时,刻蚀液可以与像素电极材料层反应并生成金属盐,金属盐若与第一金属层201接触可能会发生置换反应,进而生成金属颗粒。举例而言,当采用含有硝酸的刻蚀液刻蚀像素电极材料层时,硝酸与银反应生成硝酸银;硝酸银若与第一金属层201的铝接触,将会跟铝发生置换反应,进而生成银颗粒。

[0109] 根据本公开的阵列基板的制备方法,在步骤S140中,第一金属层201的侧面被平坦化层300覆盖,因此步骤S140中的刻蚀液与第一金属层201的侧面之间不接触,可以避免金属颗粒的产生,进而可以降低暗点不良。

[0110] 在步骤S150中,可以通过如下方法形成保护层410:在像素电极层400远离衬底基板100的一侧涂覆一层光刻胶层,然后对该光刻胶层进行曝光、显影,以形成覆盖像素电极层400并暴露孔边框区域D的保护层410(如图11所示)。

[0111] 可选地,保护层410的厚度可以大于平坦化层300在孔边框区域D内的厚度。如此,在步骤S160中,当刻蚀平坦化层300位于孔边框区域D的部分时,即便保护层410被刻蚀,也能够保证保护层410不会被完全刻蚀,进而达成有效保护像素电极层400的目的。

[0112] 在步骤S160中,如图12所示,可以通过刻蚀去除平坦化层300位于孔边框区域D的部分,以暴露第一金属层201的侧面。

[0113] 在步骤S170中,如图13所示,可以从侧面对第一金属层201进行部分刻蚀以形成第三金属层203,第三金属层203在第二金属层202的正投影位于第二金属层202的范围内。如此,第三金属层203和第二金属层202形成第二隔离柱220,第二隔离柱220形成有位于第二金属层202靠近衬底基板100一侧的隔断凹槽221,隔断凹槽221在第二金属层202的正投影位于第二金属层202以内,且开口朝向侧面。

[0114] 可选地,如图13所示,当第一隔离柱210还包括有第四金属层204时,在步骤S170中所形成的第二隔离柱220呈“工”字形。

[0115] 在步骤S170中,可以选择能够刻蚀第一金属层201而不刻蚀第二金属层202和第四金属层204的刻蚀液。举例而言,第一金属层201的材料为铝,第二金属层202的材料为钛,所选择的刻蚀液可以为酸性刻蚀液,例如可以为包含有硝酸的刻蚀液。

[0116] 在步骤S190中,可以通过蒸镀的方法依次形成有机发光层500和公共电极层600。如图20所示,当有机发光层500的材料在孔边框区域D沉积时,由于第二隔离柱220设置有隔断凹槽221,因此有机发光层500的材料在隔断凹槽221处不连续,使得有机发光层500被第二隔离柱220隔断为多个不连续的部分。同样的,当公共电极层600的材料在孔边框区域D沉积时,由于第二隔离柱220设置有隔断凹槽221,因此公共电极层600的材料在隔断凹槽221处不连续,使得公共电极层600被第二隔离柱220隔断为多个不连续的部分。

[0117] 可选地,公共电极层600为透明电极,其可以为金属氧化物(例如ITO等),也可以为透明金属材料,例如可以为镁银合金等。

[0118] 本公开提供的阵列基板的制备方法,还可以包括形成像素定义层。在本公开的一种实施方式中,可以在步骤S150之前形成像素定义层,即形成像素电极层400后,在像素电极层400远离衬底基板100的一侧形成像素定义层;然后在像素定义层远离衬底基板100的一侧形成保护层410。

[0119] 在本公开的另一实施方式中,如图16所示,可以在步骤S180之后形成像素定义层800,即在形成第二隔离柱220后,去除保护层410以暴露像素电极层400,然后在像素电极

层400远离衬底基板100的一侧形成像素定义层800,然后再依次形成有机发光层500和公共电极层600。可选地,像素定义层800的材料可以为光刻胶,例如可以采用含有光敏剂的PI(聚酰亚胺)材料。

[0120] 举例而言,可以通过如下方法形成像素定义层800:如图15所示,形成覆盖像素电极层400和孔边框区域D的光刻胶材料层810,如此光刻胶材料层810可以填充入第二隔离柱220的隔断凹槽221内。如图16所示,对光刻胶材料层810进行曝光和显影,以形成像素定义层800。在曝光过程中,由于第二金属层202对位于隔断凹槽221内的光刻胶材料的遮挡,隔断凹槽221内的部分光刻胶材料不会被光线照射到,因此在显影时,部分光刻胶材料层810残留于第二金属层202靠近衬底基板100的一侧,即部分光刻胶材料残留于隔断凹槽221内,且隔断凹槽221内仅部分空间残留有光刻胶材料,残留的光刻胶材料形成能够支撑第二金属层202的支撑部801。如此该支撑部801可以有效支撑第二金属层202,减小第二金属层202因隔断凹槽221而悬空的程度,进而避免第二金属层202悬空部分掉落,尤其是避免第二金属层202悬空部分在后续封装工艺中掉落,提高阵列基板的良率并降低阵列基板封装失效的风险。

[0121] 根据曝光量、光刻胶材料和隔断凹槽221等的不同,支撑部801可以呈现不同的形状和位置。在本公开的一种实施方式中,如图17所示,支撑部801可以形成于第三金属层203和第二金属层202结合处的夹角处。在本公开的另一种实施方式中,如图18所示,支撑部801可以同时形成于第二金属层202与第三金属层203结合处的夹角处和第三金属层203与第四金属层204结合处的夹角处。在本公开的另一种实施方式中,如图19所示,支撑部801可以覆盖第三金属层203的侧面,且还形成于第二金属层202与第三金属层203结合处的夹角处和第二金属层202与第四金属层204结合处的夹角处。

[0122] 可选地,如图16所示,可以采用半色调掩模板对光刻胶材料层810进行曝光,以使得光刻胶材料层810同时形成像素定义层800和位于像素定义层800远离衬底基板100的一侧的支撑柱802。

[0123] 本公开提供的阵列基板的制备方法还可以包括:如图21所示,在公共电极层600远离衬底基板100的一侧形成封装保护层410。

[0124] 本公开提供的阵列基板的制备方法还可以包括:如图22所示,在开孔区域C开设开孔101。如此,该阵列基板具有开孔101,且围绕开孔101设置有孔边框区域D;在孔边框区域D内,形成有第二隔离柱220;第二隔离柱220包括有依次层叠的第三金属层203和第二金属层202,且第二金属层202部分悬空以形成隔断凹槽221;隔断凹槽221内还可以形成有支撑第二金属层202的支撑部801,且支撑部801仅填充隔断凹槽221部分空间。阵列基板还包括依次层叠设置于驱动电路层远离衬底基板100一侧的像素电极层400、有机发光层500和公共电极层600,其中,由于隔断凹槽221的存在,有机发光层500和公共电极层600在孔边框区域D被分割为多个不连续的部分。

[0125] 可选地,该阵列基板在公共电极层600远离衬底基板100的一侧还形成有覆盖公共电极层600的封装层700。

[0126] 优选地,本公开的阵列基板还可以形成有平坦化层300,平坦化层300形成于驱动电路层远离衬底基板100的一侧,像素电极层400形成于平坦化层300远离衬底基板100的一侧。

[0127] 优选地,本公开的阵列基板还可以形成有像素定义层800,像素定义层800形成于像素电极层400远离衬底基板100的一侧,有机发光层500和公共电极层600形成于像素定义层800远离衬底基板100的一侧。

[0128] 优选地,本公开的阵列基板还可以形成有支撑柱802,支撑柱802形成于像素定义层800远离衬底基板100的一侧。

[0129] 本公开还提供一种阵列基板,如图12所示,该阵列基板包括开孔101以及围绕开孔101的孔边框区域D;如图21所示,阵列基板还包括衬底基板100、驱动电路层(图21中未示出驱动电路层,仅示出了驱动电路层的源漏金属层200)、支撑部801、像素电极层400、有机发光层500和公共电极层600,其中,

[0130] 衬底基板100形成有开孔101;驱动电路层设于衬底基板100的一侧;驱动电路层包括源漏金属层200,源漏金属层200在孔边框区域D形成有围绕开孔101的第二隔离柱220,第二隔离柱220包括第三金属层203和位于第三金属层203远离衬底基板100的一侧的第二金属层202;如图20所示,第二隔离柱220形成有位于第二金属层202靠近衬底基板100一侧的隔断凹槽221,使得第三金属层203在第二金属层202的正投影在第二金属层202的范围内;支撑部801设于第二金属层202靠近衬底基板100的一侧且填充部分隔断凹槽221;像素电极层400设于驱动电路层远离衬底基板100一侧;有机发光层500设于像素电极层400远离衬底基板100的一侧,且在孔边框区域D被第二隔离柱220分割为多个不相连的部分;公共电极层600设于有机发光层500远离衬底基板100的一侧,且在孔边框区域D被第二隔离柱220分割为多个不相连的部分。

[0131] 本公开提供的阵列基板中,第二隔离柱220设置有隔断凹槽221,因此其可以使得孔边框区域D内的有机发光层500和公共电极层600被分割为多个不连续的部分,进而可以隔断孔边框区域D内的水氧入侵通道,保证阵列基板在孔边框区域D的封装有效性。不仅如此,隔断凹槽221内设置有支撑部801,该支撑部801可以支撑第二金属层202进而避免第二金属层202部分脱落,进一步提高了孔边框区域D的封装的有效性。

[0132] 本公开提供的阵列基板可以通过上述阵列基板的制备方法实施方式所描述的制备方法进行制备,该阵列基板的结构、原理和效果在上述阵列基板的制备方法实施方式中进行了详细描述,或者可以根据阵列基板的制备方法实施方式的描述而合理的推导出来,因此本公开在此不再赘述。

[0133] 优选地,如图20所示,第二隔离柱220还包括第四金属层204,第四金属层204设于第三金属层203靠近衬底基板100的表面;第三金属层203在第四金属层204上的正投影,位于第四金属层204的范围内。

[0134] 优选地,如图17所示,支撑部801至少位于第三金属层203和第二金属层202的结合处的夹角处。

[0135] 优选地,如图19所示,支撑部801还覆盖第三金属层203的侧面。

[0136] 优选地,如图18所示,支撑部801还位于第三金属层203与第四金属层204结合处的夹角处。

[0137] 优选地,支撑部801的材料为光刻胶。

[0138] 本公开实施方式还提供一种显示装置,该显示装置包括上述阵列基板实施方式所描述的任意一种阵列基板。该显示装置可以为显示面板、手机屏幕、笔记本屏幕、智能手表

屏幕或者其他类型的显示装置。由于该显示装置具有上述阵列基板实施方式所描述的任意一种阵列基板,因此具有相同的有益效果,本公开在此不再赘述。

[0139] 应可理解的是,本公开不将其应用限制到本说明书提出的部件的详细结构和布置方式。本公开能够具有其他实施方式,并且能够以多种方式实现并且执行。前述变形形式和修改形式落在本公开的范围内。应可理解的是,本说明书公开和限定的本公开延伸到文中和/或附图中提到或明显的两个或两个以上单独特征的所有可替代组合。所有这些不同的组合构成本公开的多个可替代方面。本说明书的实施方式说明了已知用于实现本公开的最佳方式,并且将使本领域技术人员能够利用本公开。

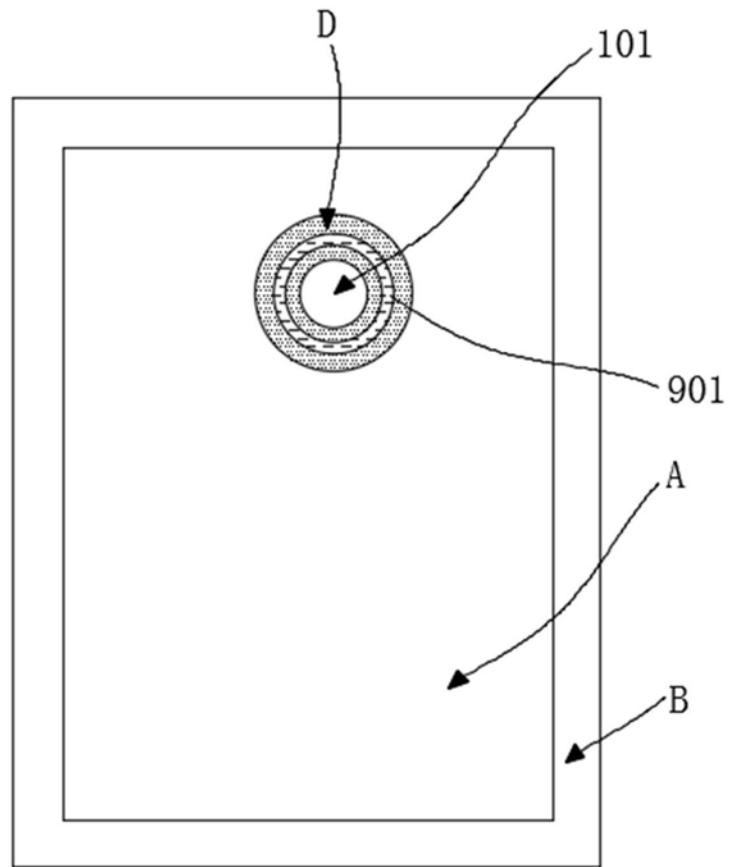


图1

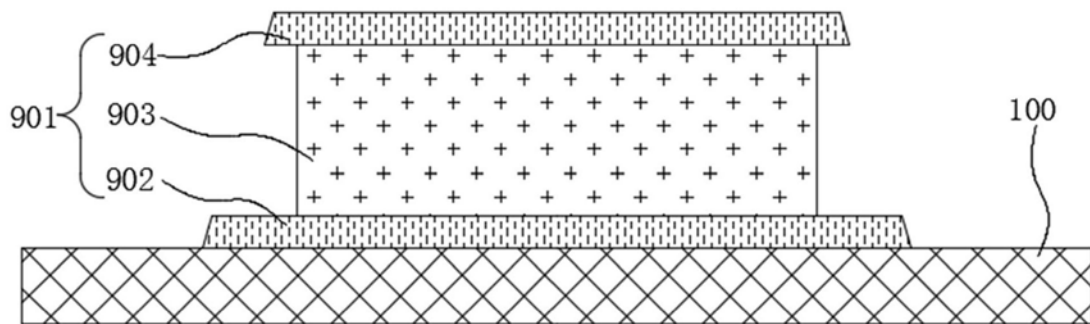


图2

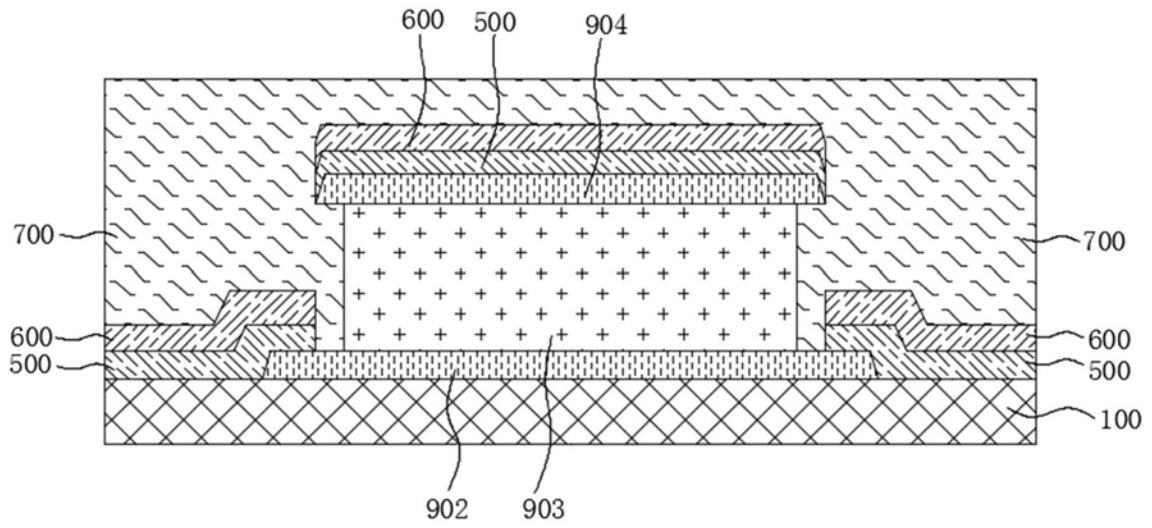


图3

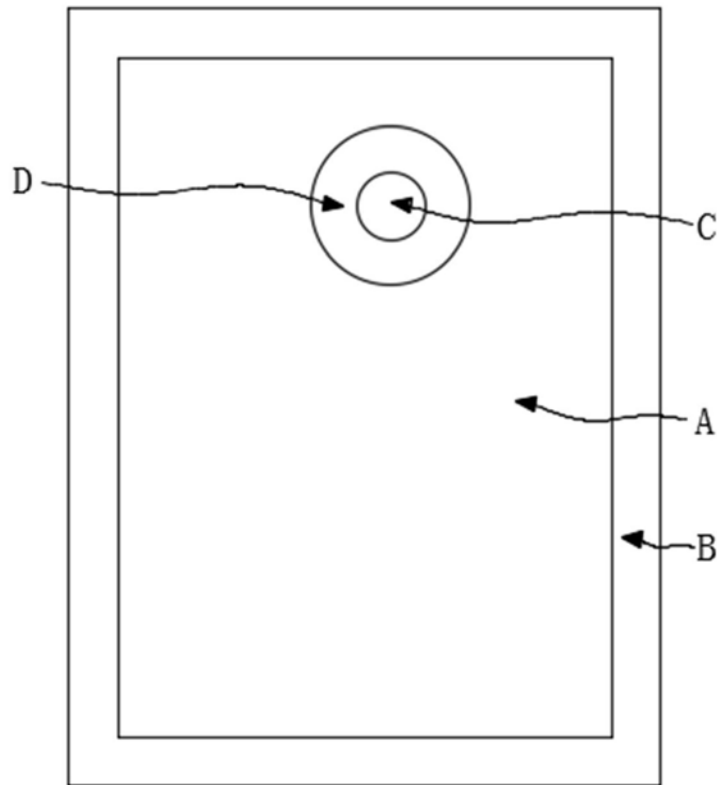


图4





图5

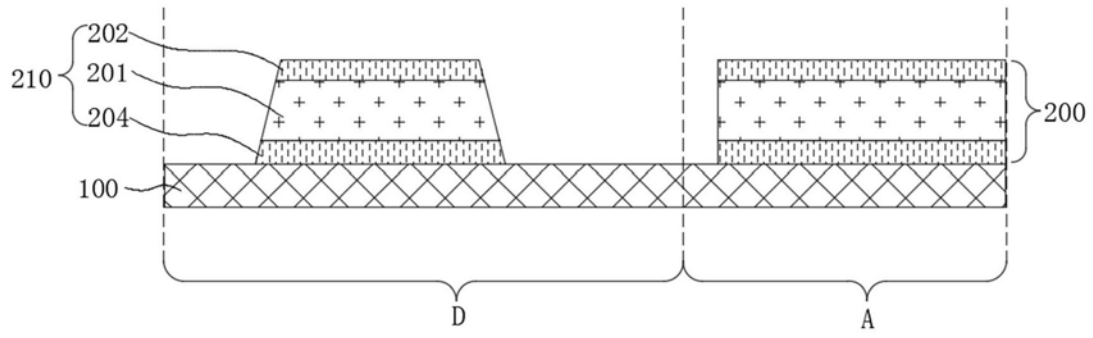


图6

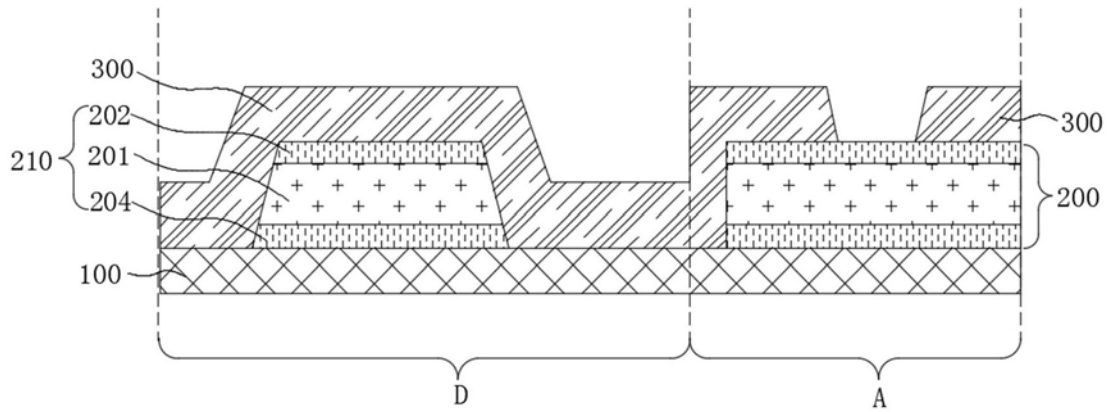


图7

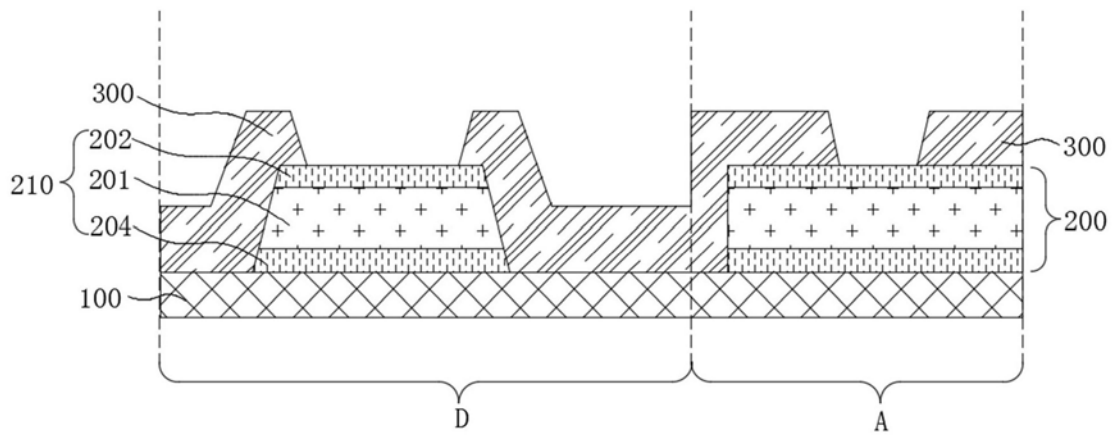


图8

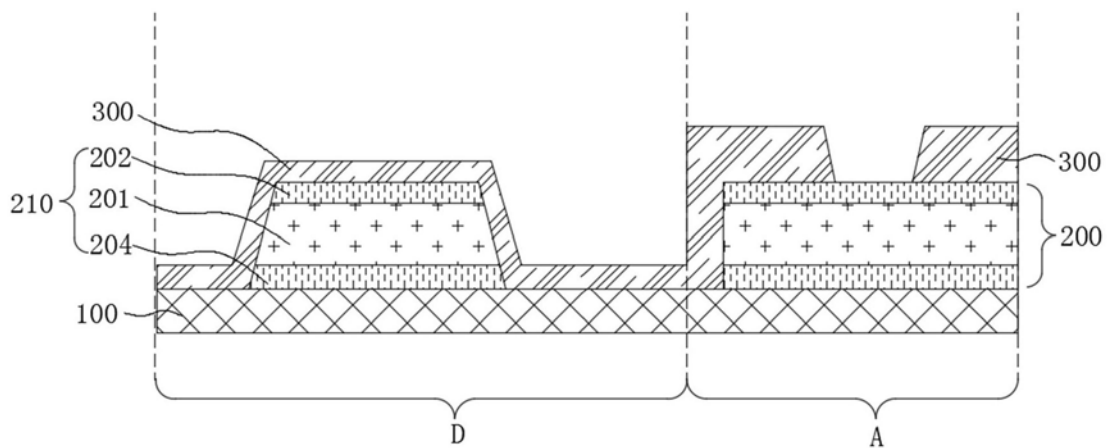


图9

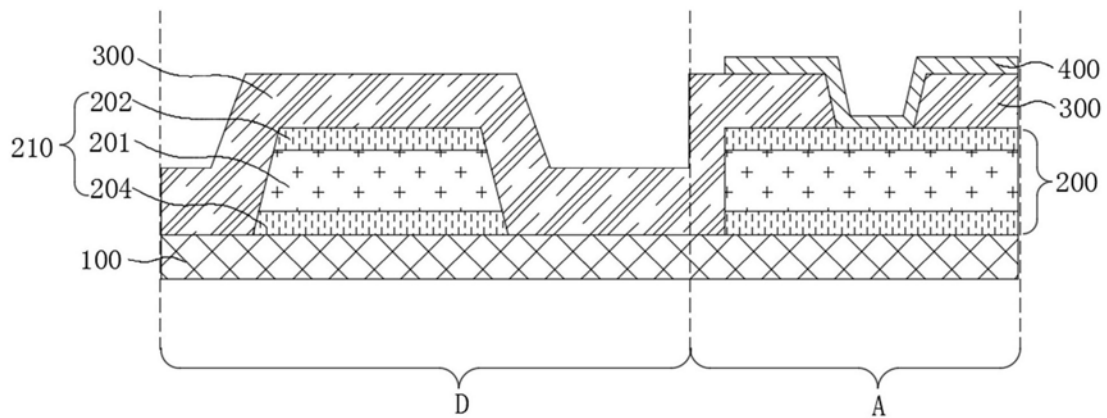


图10

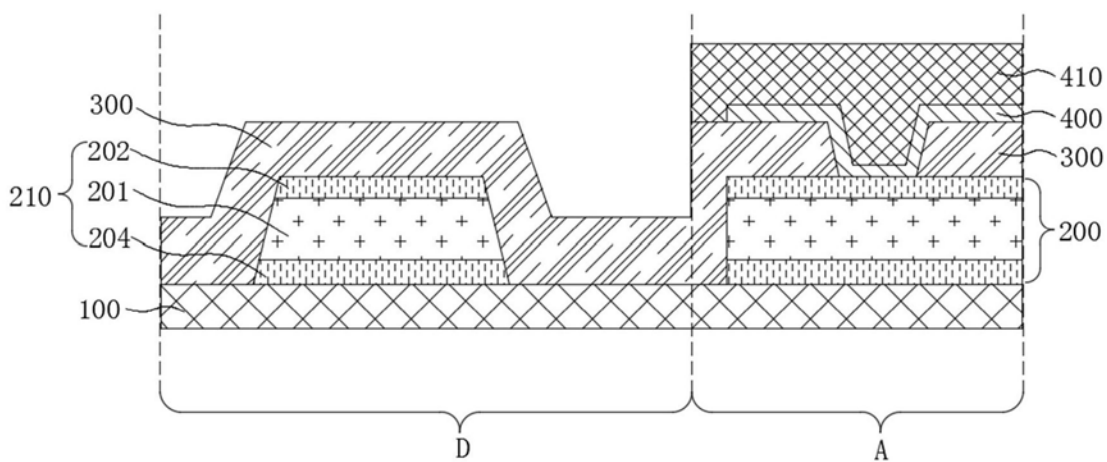


图11

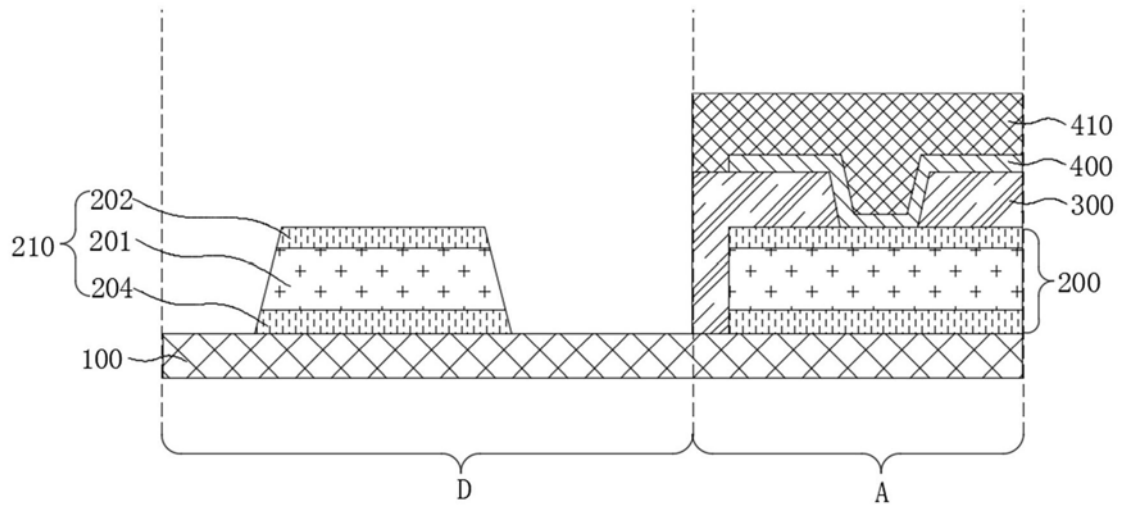


图12

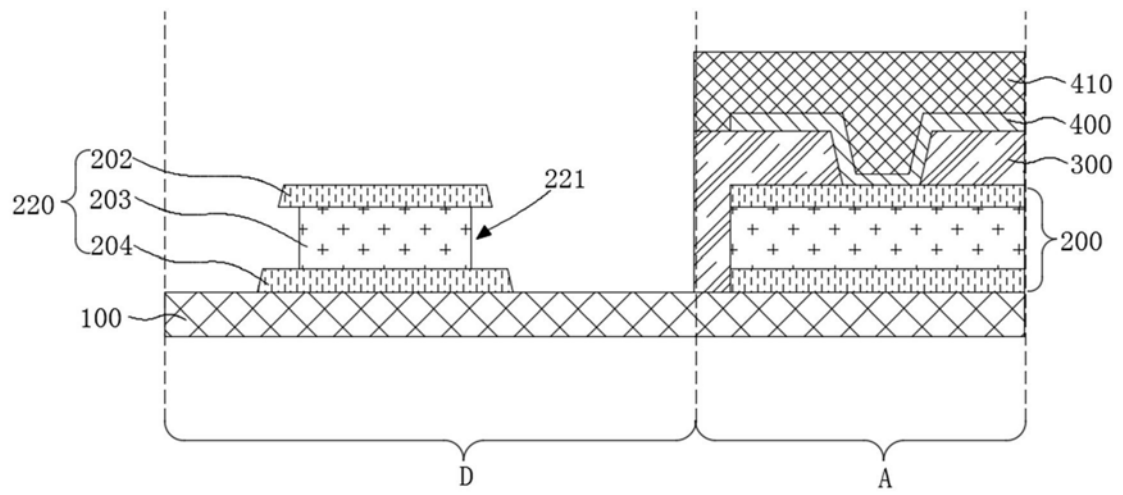


图13

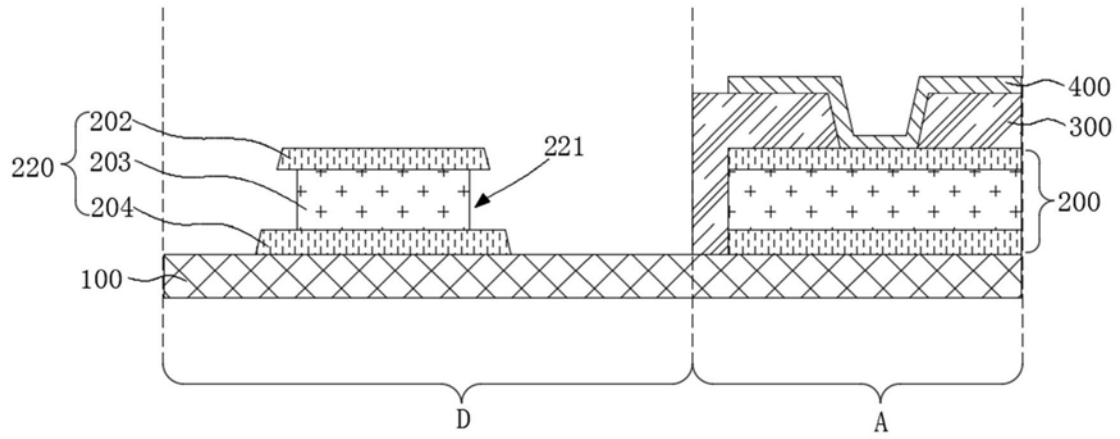


图14

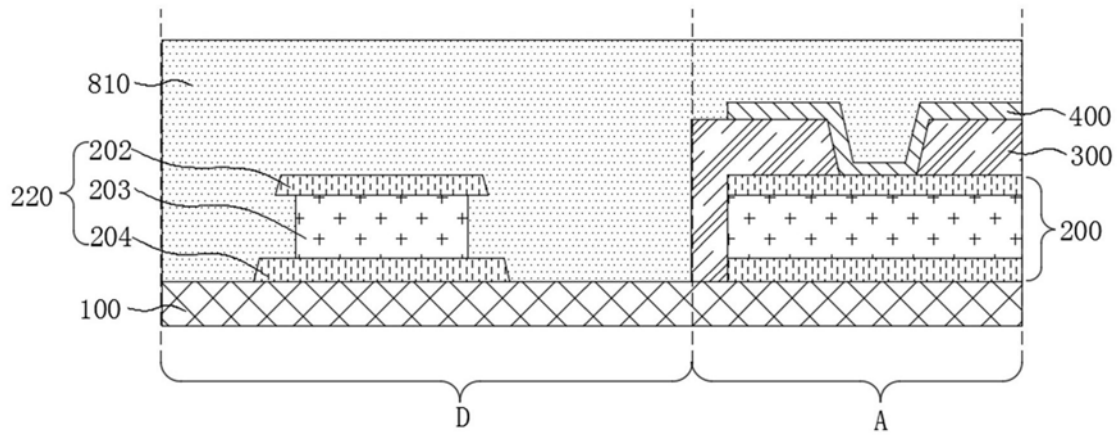


图15

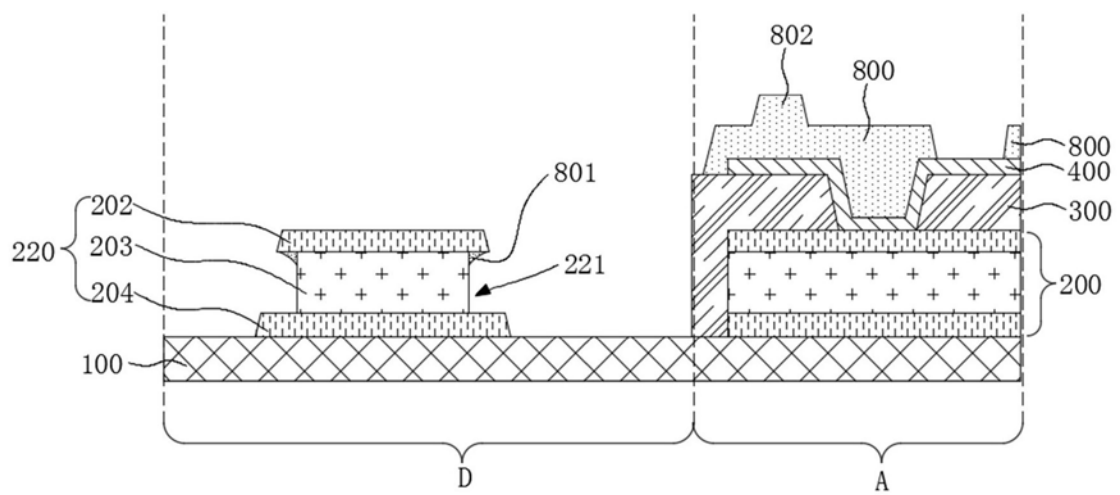


图16

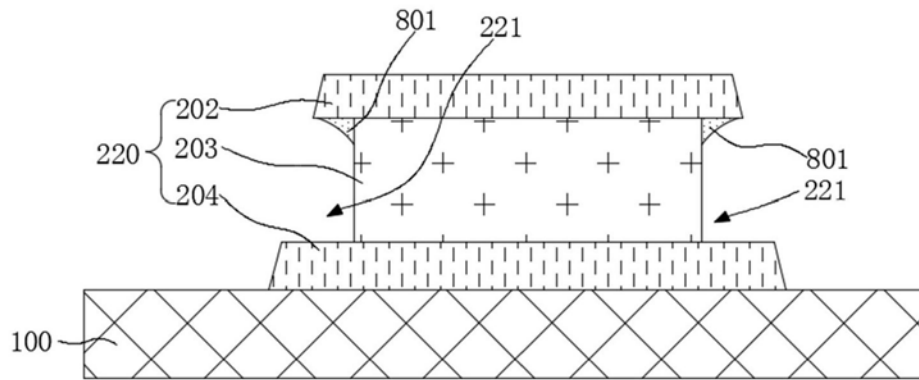


图17

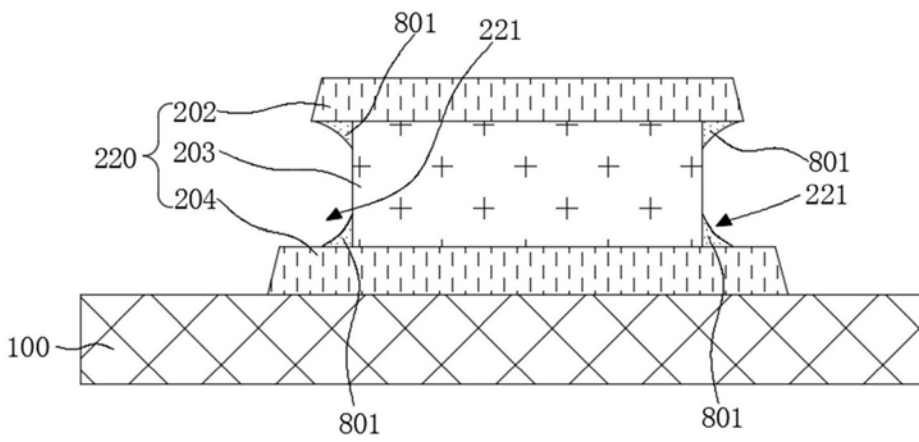


图18

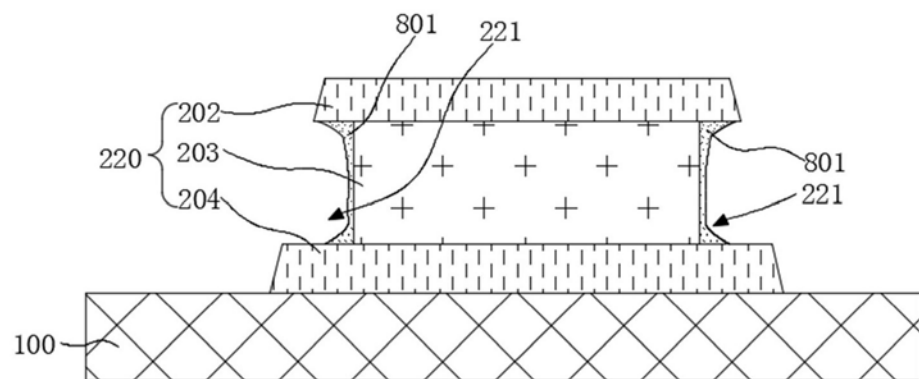


图19

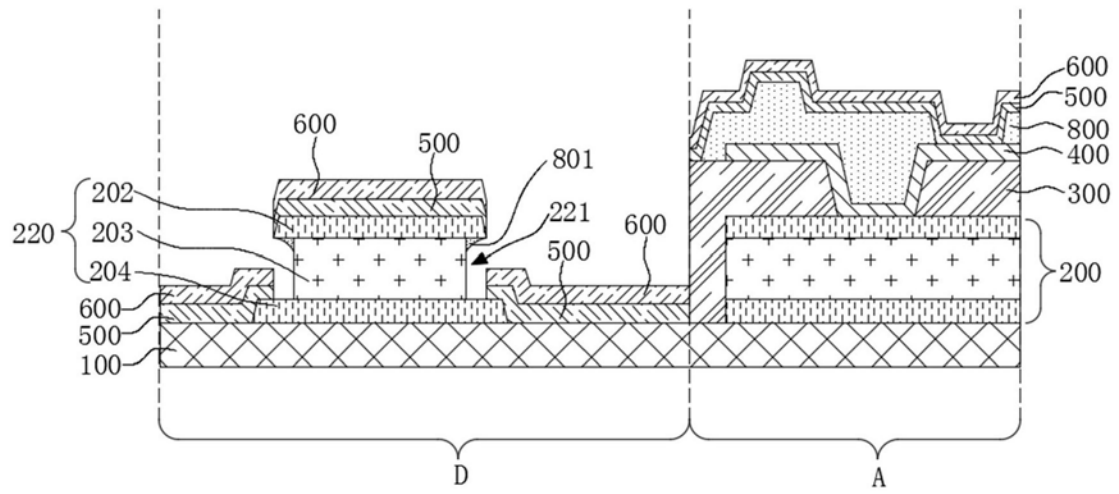


图20

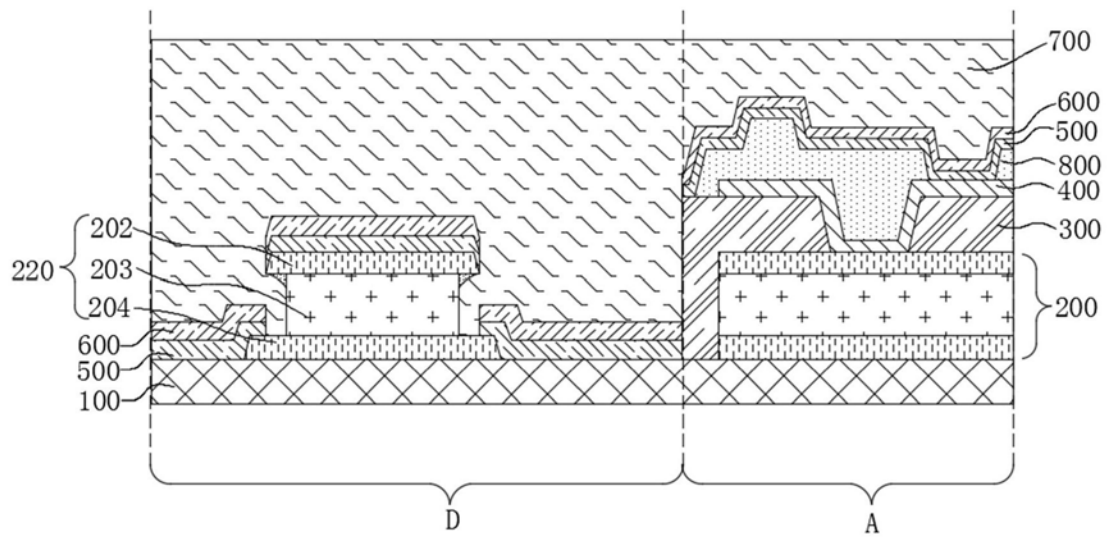


图21

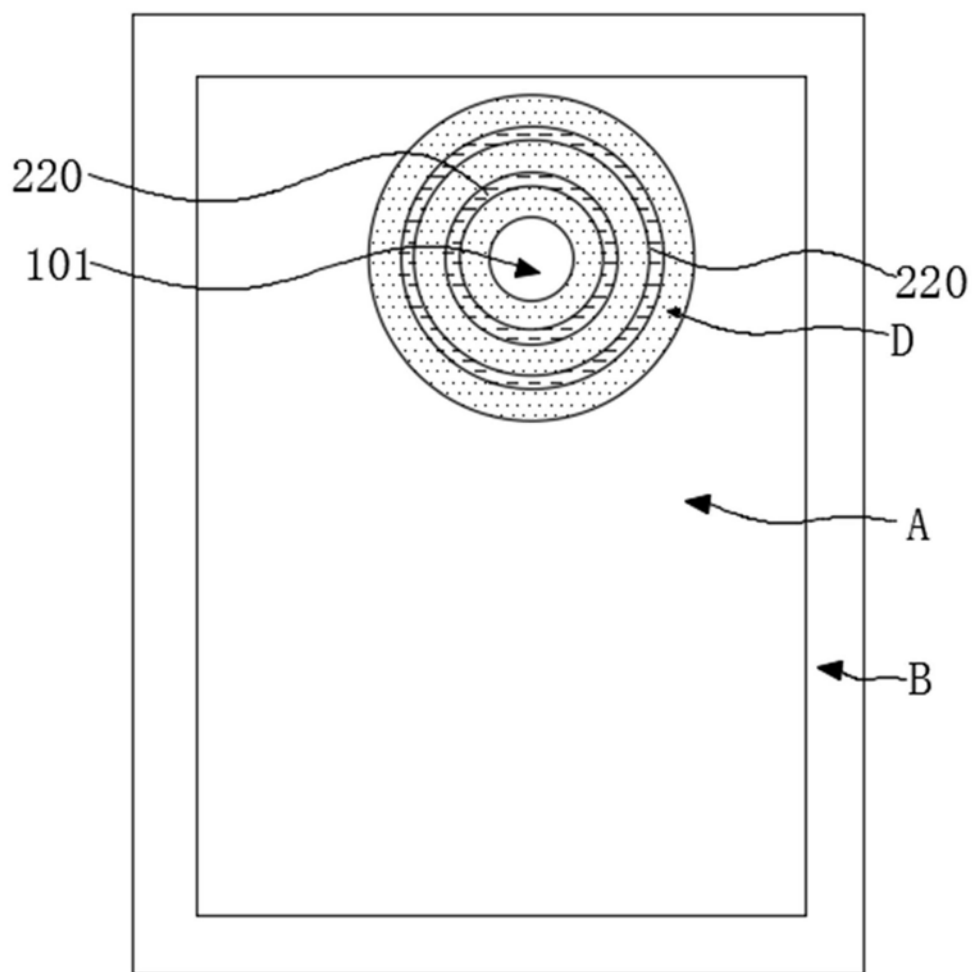


图22