



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월03일
(11) 등록번호 10-2297760
(24) 등록일자 2021년08월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0195832
(22) 출원일자 2014년12월31일
심사청구일자 2019년12월27일
(65) 공개번호 10-2016-0083597
(43) 공개일자 2016년07월12일
(56) 선행기술조사문헌
KR1020060135179 A*
KR1020130025764 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
고동국
경기도 고양시 일산동구 중앙로 1047 633호 (백석동, 영림브레아오피스텔)
표종상
경기도 고양시 일산동구 호수로 340-11 509호 (백석동, 밀레니엄리젠시오오피스텔)
임지용
경기도 파주시 월롱면 엘씨디로8번길 37-7 -406 (덕은리)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 20 항

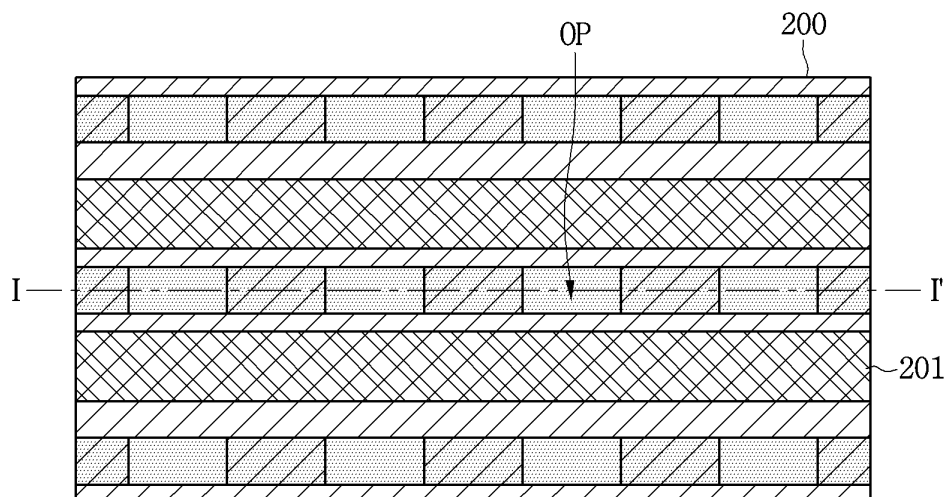
심사관 : 박정근

(54) 발명의 명칭 산화물 박막 트랜지스터를 구비한 액정표시장치

(57) 요약

본 발명은 산화물 박막 트랜지스터를 구비한 액정표시장치를 개시한다. 개시된 본 발명의 산화물 박막 트랜지스터를 구비한 액정표시장치는, 복수개의 화소(PX)들이 정의된 표시영역(DA)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA)이 정의된 기판을 포함하고, 상기 패드영역에 배치된 복수개의 게이트 패드부와 데이터 패드부를 포함하며, 상기 게이트 패드부와 표시영역 사이의 제1 영역에 제1 절연막을 사이에 두고 교차하는 제1 및 제2 신호라인을 포함하고, 상기 데이터 패드부와 표시영역 사이의 제2 영역에 제2 절연막을 사이에 두고 교차하는 제3 및 제4 신호라인을 포함하며, 상기 제1 영역에서 상기 제1 및 제2 신호라인 사이에 배치된 제1 보호패턴을 포함하고, 상기 제2 영역에서 상기 제3 및 제4 신호라인들 사이에 배치된 제2 보호패턴을 포함함으로써, 신호 라인들 간의 단락(Short) 불량을 방지한 효과가 있다.

대표도 - 도4a



명세서

청구범위

청구항 1

복수개의 화소(PX)들이 정의된 표시영역(DA)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA)이 정의된 기판;

상기 기판 상에 배치된 채널층을 갖는 박막 트랜지스터;

제1 절연막을 사이에 두고 교차하는 게이트 링크 라인 및 제1 공통 전압라인;

제2 절연막을 사이에 두고 교차하는 제2 공통 전압라인 및 데이터 링크 라인;

상기 제1 절연막 상에 배치된 제1 보호패턴; 및

상기 제2절연막 상에 배치된 제2 보호패턴을 포함하고,

상기 채널층, 상기 제1 보호패턴 및 상기 제2 보호패턴은 동일 물질로 이루어진 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 2

제1항에 있어서,

상기 패드영역은 게이트 패드부와 데이터 패드부로 이루어지고,

상기 게이트 링크 라인과 상기 제1 공통 전압라인은 상기 게이트 패드부에서 교차하고,

상기 제2 공통 전압라인과 상기 데이터 링크 라인은 상기 데이터 패드부에서 교차하고,

상기 제1 보호패턴은 상기 게이트 패드부의 상기 제1 절연막 상에 배치되고,

상기 제2 보호패턴은 상기 데이터 패드부의 상기 제2 절연막 상에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 3

제1항에 있어서,

상기 채널층, 상기 제1 보호패턴 및 제2 보호패턴은 반도체층으로 형성된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 4

제3항에 있어서,

상기 반도체층은 산화물 반도체로 이루어진 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 5

제1항에 있어서,

상기 채널층, 상기 제1 보호패턴 및 상기 제2 보호패턴은 동일 평면에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 6

제1항에 있어서,

상기 게이트 링크 라인 및 상기 제2 공통 전압라인은 상기 기판 상에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 7

제1항에 있어서,

상기 데이터 링크 라인은 제2 보호패턴과 평행한 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 8

복수개의 화소(PX)들이 정의된 표시영역(DA)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA)이 정의된 기판을 제공하는 단계;

상기 기판 상에 채널층을 갖는 박막 트랜지스터를 형성하는 단계;

게이트 링크 라인과 제1 공통 전압라인을 서로 교차하도록 배치하고, 그 사이에 제1 절연막을 배치하는 단계;

제2 공통 전압라인과 데이터 링크 라인을 교차하도록 배치하고, 그 사이에 제2 절연막을 배치하는 단계;

상기 제1 절연막 상에 제1 보호패턴을 배치하는 단계; 및

상기 제2 절연막 상에 제2 보호패턴을 배치하는 단계를 포함하고,

상기 채널층, 상기 제1 보호패턴 및 상기 제2 보호패턴은 동일한 물질로 형성된 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 패드 영역에 게이트 패드부 및 데이터 패드부를 형성하는 단계를 더 포함하고,

상기 게이트 링크 라인과 상기 제1 공통 전압라인은 상기 게이트 패드부에서 서로 교차하도록 배치되고,

상기 제2 공통 전압라인과 상기 데이터 링크 라인은 상기 데이터 패드부에서 서로 교차하도록 배치되고,

상기 제1 보호패턴은 상기 게이트 패드부의 상기 제1 절연막 상에 배치되고,

상기 제2 보호패턴은 상기 데이터 패드부의 제2 절연막 상에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 채널층, 상기 제1 보호패턴 및 상기 제2 보호패턴은 반도체층으로 형성된 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 11

제10항에 있어서,

상기 반도체층은 산화물 반도체로 이루어진 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 12

제8항에 있어서,

상기 채널층, 상기 제1 보호패턴 및 상기 제2 보호패턴은 동일 평면에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 13

제8항에 있어서,

상기 게이트 링크 라인 및 상기 제2 공통 전압라인은 상기 기판 상에 배치된 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 14

제8항에 있어서,

상기 데이터 링크 라인은 제2 보호패턴과 평행한 산화물 박막 트랜지스터를 구비한 액정표시장치의 제조방법.

청구항 15

복수개의 화소(PX)들이 정의된 표시영역(DA)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA)이 정의된 기판;

상기 기판 상에 배치된 게이트 절연막;

상기 기판 상에 배치된 채널층을 갖는 박막 트랜지스터;

상기 채널층 상의 에치스톱퍼;

상기 채널층과 접촉하는 소스 전극 및 드레인 전극;

상기 패드영역에 배치된 데이터 패드부;

상기 게이트 절연막 상에 배치된 패턴; 및

상기 패턴에서 분리된 데이터 링크 라인을 포함하고,

상기 소스 전극 및 상기 드레인 전극 중 적어도 하나는 상기 에치스톱퍼를 부분적으로 덮고,

상기 채널층과 상기 패턴은 동일한 재료로 형성된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 16

제15항에 있어서,

상기 패드영역 상에 게이트 패드부가 배치되고,

상기 게이트 패드부의 게이트 절연막 상에 다른 패턴이 배치되고,

상기 다른 패턴은 상기 채널층 및 상기 패턴과 동일한 재료로 형성된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 17

제16항에 있어서,

상기 패턴 및 상기 다른 패턴은 상기 게이트 절연막의 표면에 배치된 플레이트 형태를 갖는 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 18

제17항에 있어서,

공통 전압라인을 더 포함하고,

상기 패턴 및 상기 다른 패턴은 상기 데이터 링크 라인과 상기 공통 전압라인이 포함된 전체 영역에 배치된 플레이트 형태를 갖는 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 19

제18항에 있어서,

상기 데이터 패드부에서 상기 공통 전압라인은 상기 데이터 링크 라인과 교차되도록 배치되고,

상기 패턴은 상기 데이터 링크 라인 및 상기 공통 전압라인 중 적어도 하나와 정렬된 산화물 박막 트랜지스터를 구비한 액정표시장치.

청구항 20

제16항에 있어서,

상기 게이트 패드부는 상기 게이트 절연막을 사이에 두고 교차하는 게이트 링크 라인 및 다른 공통 전압라인을 더 포함하는 산화물 박막 트랜지스터를 구비한 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 표시패널의 패드부 영역에서 신호 라인들 간의 쇼트(Short) 불량을 방지한 산화물 박막 트랜지스터를 구비한 액정표시장치에 관한 것이다.

배경 기술

[0002] 통상적으로 액정표시장치(Liquid Crystal Display)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 주로 컬러필터 어레이가 형성되는 컬러필터 기판과 박막 트랜지스터(TFT: Thin Film Transistor) 어레이가 형성되는 박막 트랜지스터 어레이 기판이 액정을 사이에 두고 합착되어 형성된다.

[0003] 최근에는 액정표시장치의 협소한 시야각 문제를 해결하기 위해 여러가지 새로운 방식을 채용한 액정표시장치가 개발되고 있다. 광시야각 특성을 갖는 액정표시장치는 횡전계 방식(IPS:in-plane switching mode), OCB 방식(optically compensated birefringence mode) 및 FFS(Fringe Field Swithcing) 방식 등이 있다.

[0004] 이중 상기 횡전계 방식 액정표시장치는 화소 전극과 공통 전극을 동일한 기판 상에 배치하여 전극들 간에 수평 전계가 발생하도록 한다. 이로 인하여 액정 분자들의 장축이 기판에 대해서 수평 방향으로 배열되어 종래 TN(Twisted Nematic) 방식 액정표시장치에 비해 광시야각 특성이 있다.

- [0005] 도 1은 종래 기술에 따른 액정표시장치의 평면도이고, 도 2는 상기 도 1의 A영역의 단면도이다.
- [0006] 도 1 및 도 2를 참조하면, 종래 액정표시장치는, 복수개의 화소(PX)들이 정의된 표시영역(DA: Display Area)과, 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA: Pad Area)으로 정의된다.
- [0007] 상기 화소(PX)들은 복수개의 게이트 라인(GL)과 데이터 라인(DL)이 교차하여 화소(PX) 영역을 정의하고, 상기 게이트 라인(GL)과 데이터 라인(DL)의 교차 영역에는 박막 트랜지스터(Thin Film Transistor: TFT, 미도시)가 배치된다. 또한, 상기 화소(PX)에는 화소전극과 공통전극이 배치될 수 있다.
- [0008] 또한, 상기 패드영역(PDA)에는 외부 시스템으로부터 게이트 구동 전압과 데이터 전압을 공급받기 위한 게이트 패드부(GPP)와 데이터 패드부(DPP)가 배치된다.
- [0009] 상기 게이트 패드부(GPP)와 데이터 패드부(DPP)는 복수개의 패드부들로 구성되는데, 상기 표시영역(DA)에 배치되는 게이트 라인들(GL)과 데이터 라인(DL)이 연장된 끝단과 대응된다.
- [0010] 따라서, 상기 게이트 패드부(GPP)와 표시영역(DA)의 게이트 라인들(GL) 사이에는 게이트 링크 라인들이 배치되고, 상기 데이터 패드부(DPP)와 표시영역(DA)의 데이터 라인들(DL) 사이에는 데이터 링크 라인들이 배치된다. 상기 게이트 링크 라인들은 게이트 라인들과 일체로 형성하거나, 게이트 라인과 다른 층에 형성된 라인을 이용할 수 있다. 상기 데이터 링크 라인도 마찬가지이다.
- [0011] 도 2를 참조하면, 상기 패드영역(PDA)에는 기판(10) 상에 표시영역(DA)에 배치되는 게이트 라인(GL)과 동일층에 형성되는 게이트 링크 라인들(11)이 배치되어 있고, 상기 게이트 링크 라인(11) 상에는 게이트 절연막(12)과 층간 절연막(13)을 사이에 두고 공통전압 라인들(21)이 교차한다.
- [0012] 상기 공통전압 라인들(21) 상에는 제1 보호막(14), 평탄화막(15) 및 제2 보호막(16)이 형성된다.
- [0013] 하지만, 상기 게이트 링크 라인(11) 상에 이물질(P)이 존재할 경우, 상기 게이트 절연막(12)과 층간 절연막(13)을 형성시 이물질(P) 상에 게이트 절연막(12)과 층간 절연막(13)이 증착되면서, 불량 패턴이 발생된다.
- [0014] 이러한 불량 패턴은 상기 공통전압 라인(21)과 상기 게이트 링크 라인(11) 사이의 단락(Short) 불량을 유발하는 원인이 되고 있다.
- [0015] 또한, 상기 이물질(P)에 의해 단락 불량이 발생하지 않더라도, 이물질(P) 영역의 공통전압 라인(21)과 게이트 링크 라인(11) 사이에 이상 전위가 형성되어, 신호 왜곡이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은, 신호 라인들이 교차하는 표시패널의 패드영역에 보호패턴을 배치하여, 신호 라인들 간의 단락(Short) 불량을 방지한 산화물 박막 트랜지스터를 구비한 액정표시장치를 제공하는데 그 목적이 있다.
- [0017] 또한, 본 발명은, 표시패널의 박막 트랜지스터 채널층 형성시, 신호 라인들이 교차하는 패드영역에 보호 패턴을 형성하여 공정 중 발생하는 이물질에 의한 신호 라인들 단락 불량을 방지한 산화물 박막 트랜지스터를 구비한 액정표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0018] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 산화물 박막 트랜지스터를 구비한 액정표시장치는, 복수개의 화소(PX)들이 정의된 표시영역(DA)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA)이 정의된 기판을 포함하고, 상기 패드영역에 배치된 복수개의 게이트 패드부와 데이터 패드부를 포함하며, 상기 게이트 패드부와 표시영역 사이의 제1 영역에 제1 절연막을 사이에 두고 교차하는 제1 및 제2 신호라인을 포함하고, 상기 데이터 패드부와 표시영역 사이의 제2 영역에 제2 절연막을 사이에 두고 교차하는 제3 및 제4 신호라인을 포함하며, 상기 제1 영역에서 상기 제1 및 제2 신호라인 사이에 배치된 제1 보호패턴을 포함하고, 상기 제2 영역에서 상기 제3 및 제4 신호라인들 사이에 배치된 제2 보호패턴을 포함함으로써, 신호 라인들 간의 단락(Short) 불량을 방지한 효과가 있다.

발명의 효과

- [0019] 본 발명에 따른 산화물 박막 트랜지스터를 구비한 액정표시장치는, 신호 라인들이 교차하는 표시패널의 패드영역에 보호패턴을 배치하여, 신호 라인들 간의 단락(Short) 불량을 방지한 효과가 있다.
- [0020] 또한, 본 발명에 따른 산화물 박막 트랜지스터를 구비한 액정표시장치는, 표시패널의 박막 트랜지스터 채널층 형성시, 신호 라인들이 교차하는 패드영역에 보호 패턴을 형성하여 공정 중 발생하는 이물질에 의한 신호 라인들 단락 불량을 방지한 효과가 있다.

도면의 간단한 설명

- [0021] 도 1은 종래 기술에 따른 액정표시장치의 평면도이다.
- 도 2는 상기 도 1의 A영역의 단면도이다.
- 도 3은 본 발명에 따른 액정표시장치의 평면도이다.
- 도 4a는 상기 도 3의 B 영역을 확대한 평면도이다.
- 도 4b는 상기 도 4a의 I-I'선의 단면도이다.
- 도 5a는 상기 도 3의 C 영역을 확대한 평면도이다.
- 도 5b는 상기 도 5a의 II-II'선의 단면도이다.
- 도 6a 내지 도 9b는 본 발명에 따른 액정표시장치의 제조 공정을 도시한 도면이다.
- 도 10a 및 도 10b는 본 발명의 패드영역에 배치되는 보호패턴에 의해 라인간 단락(short) 방지 원리를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0024] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0025] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0026] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0027] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0028] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서,

이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0030] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0031] 도 3은 본 발명에 따른 액정표시장치의 평면도이고, 도 4a는 상기 도 3의 B 영역을 확대한 평면도이며, 도 4b는 상기 도 4a의 I-I'선의 단면도이고, 도 5a는 상기 도 3의 C 영역을 확대한 평면도이며, 도 5b는 상기 도 5a의 II-II'선의 단면도이다.
- [0032] 도 3 내지 도 5b를 참조하면, 본 발명의 액정표시장치(100)는, 복수개의 화소(PX)들이 정의된 표시영역(DA: Display Area)과 상기 표시영역(DA) 외곽 둘레의 패드영역(PDA: Pad Area)으로 정의된다.
- [0033] 상기 화소(PX)들은 복수개의 게이트 라인(GL)과 데이터 라인(DL)이 교차하여 화소(PX) 영역을 정의하고, 상기 게이트 라인(GL)과 데이터 라인(DL)의 교차 영역에는 박막 트랜지스터(Thin Film Transistor: TFT, 미도시)가 배치된다. 또한, 상기 화소(PX)에는 화소전극과 공통전극이 배치될 수 있다.
- [0034] 또한, 상기 패드영역(PDA)에는 외부 시스템으로부터 게이트 구동 전압과 데이터 전압을 공급받기 위한 게이트 패드부(GPP)와 데이터 패드부(DPP)가 배치된다.
- [0035] 상기 게이트패드부(GPP)와 데이터 패드부(DPP)는 복수의 신호 라인들이 절연막을 사이에 두고 중첩되거나 교차되도록 배치되는데, 상기 패드영역(PDA)에 배치되는 게이트 링크 라인, 데이터 링크 라인, 공통전압 라인들을 신호라인들이라 정의한다.
- [0036] 예를 들어, 상기 게이트 패드부(GPP)와 데이터 패드부(DPP)는 복수개의 패드부들로 구성되는데, 이들 패드부는 상기 표시영역(DA)에 배치되는 게이트 라인들(GL)과 데이터 라인(DL)들이 연장된 끝단을 의미한다.
- [0037] 따라서, 상기 게이트 패드부(GPP)와 표시영역(DA)의 게이트 라인들(GL) 사이의 B 영역에는 게이트 구동 전압을 공급하는 신호라인들의 하나인 게이트 링크 라인들이 배치되고, 상기 데이터 패드부(DPP)와 표시영역(DA)의 데이터 라인들(DL) 사이의 C 영역에는 데이터 구동 전압을 공급하는 신호라인들의 하나인 데이터 링크 라인들이 배치된다.
- [0038] 상기 게이트 링크 라인들은 게이트 라인들(GL)과 일체로 형성하거나, 게이트 라인(GL)과 다른 층에 형성된 라인을 이용할 수 있다. 상기 데이터 링크 라인도 마찬가지이다.
- [0039] 도 4a 및 도 4b를 참조하면, B 영역은 기판(101) 상에 게이트 라인(GL)으로부터 연장된 복수개의 게이트 링크 라인들(201)이 배치되어 있고, 상기 게이트 링크 라인(201) 상에는 게이트 절연막(102)이 배치되어 있다. 상기 게이트 절연막(102) 상에는 제1 보호패턴(204)이 배치되어 있고, 상기 제1 보호패턴(204) 상에는 제1 층간절연막패턴(105b)이 배치되어 있다.
- [0040] 또한, 상기 제1 층간절연막패턴(105b) 상에는 제1 공통전압 라인(200)이 배치되어 있다.
- [0041] 상기 제1 공통전압 라인(200)은 기판(101) 상에 배치되어 있는 복수개의 게이트 링크 라인들(201)과 교차하도록 배치되는데, 정전기에 의한 단락을 방지하기 위해 상기 게이트 링크 라인들(201)과 중첩되는 영역에 소정의 개구부(OP)를 형성하였다.
- [0042] 또한, 본 발명에서는 상기 제1 공통전압 라인(200)과 게이트 링크 라인(201) 사이에 제1 보호패턴(204)을 배치하여, 상기 제1 공통전압 라인(200)과 게이트 링크 라인(201) 사이에 존재하는 이물질에 의한 단락(Short) 불량을 방지하도록 하였다.
- [0043] 상기 제1 보호패턴(204)은 표시영역의 박막 트랜지스터의 채널층을 이루는 반도체층으로 형성되는데, 상기 반도체층은 산화물 반도체로 이루어질 수 있다.
- [0044] 또한, 상기 제1 공통전압 라인(200)과 상기 제1 보호패턴(204) 사이에 게재된 제1 층간절연막패턴(105b)은 표시영역의 박막 트랜지스터의 채널층 상에 형성되는 층간절연막으로 패터닝 된다. 경우에 따라서는 상기 표시영역의 층간절연막과 상기 제1 층간절연막패턴(105b)은 일체로 형성된 절연막으로 구현될 수 있다.

- [0045] 상기 제1 공통전압 라인(200) 상에는 제1 보호막(109), 평탄화막(110) 및 제2 보호막(111)이 순차적으로 적층되어 있다.
- [0046] 본 발명에서는 게이트 패드부(GPP) 영역의 제1 공통전압 라인(200)과 게이트 링크 라인(201)의 교차 영역, 구체적으로 제1 공통전압 라인(200)과 게이트 링크 라인(201) 사이에 제1 보호패턴(204)을 배치하여, 게이트 링크 라인(201) 형성시 발생한 이물질에 의해 게이트 절연막(102)과 제1 층간절연막패턴(105b)의 불량으로 인하여 발생하는 라인간 단선 불량을 방지하도록 하였다.
- [0047] 도면에 도시된 바와 같이, 상기 게이트 링크 라인(201) 형성시, 이물질이 발생되면, 이후 형성되는 게이트 절연막(102)과 제1 층간절연막패턴(105b)은 이물질 영역에서 집중적인 막 성장이 이루어져 절연막에 크랙(crack) 불량이 발생된다.
- [0048] 상기와 같은 크랙 불량으로 인하여, 상기 제1 층간절연막패턴(105b) 상에 형성되는 제1 공통전압 라인(200)이 하부의 게이트 링크 라인(201)과 단락 불량이 발생되지만, 본 발명에서는 상기 게이트 절연막(102)과 제1 층간절연막패턴(105b) 사이에 제1 보호패턴(204)을 배치하여, 라인 간 단락 불량을 방지하도록 하였다.
- [0049] 또한, 상기 제1 보호패턴(204)은 박막 트랜지스터의 채널층과 동일한 산화물 반도체로 형성하기 때문에 이물질 영역에서 발생하는 라인들의 신호 왜곡을 방지할 수 있다.
- [0050] 또한, 도 5a 및 도 5b를 참조하면, C 영역은 기판(101) 상에 표시영역(DA)의 공통전극과 전기적으로 연결되는 제2 공통전압 라인(300)들이 복수개 배치되어 있고, 상기 공통전압 라인(300)들 상에는 게이트 절연막(102)이 배치되어 있다. 상기 게이트 절연막(102) 상에는 제2 보호패턴(320)이 배치되어 있고, 상기 제2 보호패턴(320) 상에는 제2 층간절연막패턴(105c)이 배치되어 있다.
- [0051] 또한, 상기 제2 층간절연막패턴(105c) 상에는 데이터 링크 라인(301)이 배치되어 있다.
- [0052] 상기 제2 공통전압 라인(300)은 데이터패드부(DPP) 영역에 게이트 라인(GL)이 패터닝될 때, 함께 패터닝 된다. 따라서, 상기 제2 공통전압 라인(300)은 공통전극 형성시 공통전극과 전기적으로 연결되도록 콘택부(CP)를 구비한다.
- [0053] 본 발명에서는 상기 제2 공통전압 라인(300)과 데이터 링크 라인(301) 사이에 제2 보호패턴(320)을 배치하여, 상기 제2 공통전압 라인(300)과 데이터 링크 라인(301) 사이에 존재하는 이물질에 의한 단락(Short) 불량을 방지하도록 하였다.
- [0054] 특히, C 영역에서는 상기 제2 보호패턴(320)을 상기 데이터 링크 라인(301)과 중첩되도록 형성하였지만, 이것은 고정된 것이 아니다.
- [0055] 따라서, B 영역과 같이, 제2 보호패턴(320)을 플레이트 형태로 상기 데이터 링크 라인(301)과 제2 공통전압 라인(300)의 중첩 영역 전체에 배치할 수 있다.
- [0056] 상기 제2 보호패턴(320)도 표시영역의 박막 트랜지스터의 채널층을 이루는 반도체층으로 형성되고, 상기 반도체층은 산화물 반도체로 이루어질 수 있다.
- [0057] 상기 데이터 링크 라인(301) 상에는 제1 보호막(109), 평탄화막(110) 및 제2 보호막(111)이 순차적으로 적층되어 있다.
- [0058] 이와 같이, 본 발명에서는 데이터 패드부(DPP) 영역의 제2 공통전압 라인(300)과 데이터 링크 라인(301)의 교차 영역, 구체적으로 제2 공통전압 라인(300)과 데이터 링크 라인(301) 사이에 제2 보호패턴(320)을 배치하여, 게이트 절연막(102) 또는 제2 층간절연막패턴(105c) 형성 공정시 발생하는 이물질에 의한 단락 불량을 방지한 효과가 있다.
- [0059] 또한, 상기 제2 보호패턴(320)은 박막 트랜지스터의 채널층과 동일한 산화물 반도체로 형성하기 때문에 이물질 영역에서 발생하는 라인들의 신호 왜곡을 방지할 수 있다.
- [0060] 도 6a 내지 도 9b는 본 발명에 따른 액정표시장치의 제조 공정을 도시한 도면이다.
- [0061] 도 6a 내지 도 9b를 참조하면, 본 발명의 액정표시장치는 먼저, 화소 영역, 패드 콘택 영역, 패드영역으로 구획된 기판(101)을 제공한다. 상기 패드영역은 도 3에 도시한 바와 같이, 게이트 패드부(GPP)가 형성되는 B 영역과 데이터 패드부(DPP)가 형성되는 C 영역을 중심으로 도시하였다.

- [0062] 또한, 상기 패드 콘택 영역은 게이트 라인들과 데이터 라인들의 가장자리 패드 영역을 지칭할 수 있지만, 여기서도 도 5a에 도시한 제2 공통전압 라인 패드 영역을 의미한다고 가정한다.
- [0063] 상기 기판(101) 상에 금속막을 형성한 다음, 마스크 공정을 진행하여 상기 화소 영역에 게이트 전극(103), 상기 패드 콘택 영역에 제2 공통전압 라인 패드(140), B 영역과 대응되는 영역에 게이트 링크 라인(201) 및 C 영역과 대응되는 영역에 제2 공통전압 라인(300)을 형성한다.
- [0064] 그런 다음, 상기 게이트 전극(103)이 형성된 기판(101) 상에 게이트 절연막(102)을 형성한다. 상기 게이트 절연막(102)은 SiNx 계열의 절연막 또는 SiO₂ 계열의 절연막으로 형성될 수 있다.
- [0065] 상기 게이트 전극(101)을 형성하는 금속막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 등의 투명한 도전물질과 불투명 도전물질이 적층된 다층 구조로 형성할 수 있다.
- [0066] 상기와 같이, 게이트 전극(103)과 게이트 절연막(102)이 기판(101) 상에 형성되면, 기판(101) 전면에 산화물 반도체층을 형성한 다음, 이를 패터닝하여 게이트 전극(103)과 중첩되는 상기 게이트 절연막(102) 상에 채널층(104)을 형성한다.
- [0067] 이와 동시에 상기 B 영역과 C 영역의 게이트 절연막(102) 상에는 제1 및 제2 보호패턴(204), 320)을 형성한다. 상기 제1 및 제2 보호패턴(204)의 형성 구조는 도 4a 내지 도 5b를 참조한다.
- [0068] 상기 산화물 반도체층은 인듐(In), 아연(Zn), 갈륨(Ga) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 예컨대 스퍼터링(sputtering) 공정으로 Ga-In-Zn-O 산화물 반도체를 형성할 경우, In₂O₃, Ga₂O₃ 및 ZnO 로 형성된 각각의 타겟을 이용하거나, Ga-In-Zn 산화물의 단일 타겟을 이용할 수 있다. 또한, 스퍼터링(sputtering) 공정으로 Hf-In-Zn-O 산화물 반도체를 형성할 경우, HfO₂, In₂O₃ 및 ZnO로 형성된 각각의 타겟을 이용하거나, Hf-In-Zn 산화물의 단일 타겟을 이용할 수 있다.
- [0069] 상기와 같이, 기판(101) 상에 채널층(104)이 형성되면, 도 7a 및 도 7b에 도시한 바와 같이, 기판(101) 전면에 층간절연막(105)을 형성한 다음, 상기 채널층(104)과 제2 공통전압 라인 패드(140) 일부를 노출하는 공정을 진행한다. 이와 동시에 상기 채널층(104) 상에는 에치스톱퍼(105a)가 형성되고, 상기 B, C 영역에는 각각 제1 및 제2 층간절연막패턴(105b, 105c)이 형성된다.
- [0070] 상기 제1 및 제2 층간절연막패턴(105b, 105c)은 상기 층간절연막(105)과 일체로 형성되거나, 분리된 패턴 형태로 형성될 수 있다.
- [0071] 그런 다음, 상기 기판(101) 전면에 소스/드레인 금속막을 형성하고, 이후 포토리소그래피 마스크 공정을 이용하여 소스/드레인 전극(107, 108), 데이터 라인(미도시), 데이터 링크 라인(301), 제1 공통전압 라인(200) 및 제1 콘택전극(141)을 동시에 형성한다.
- [0072] 상기 소스/드레인 금속막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 인듐-틴-옥사이드, 인듐-징크-옥사이드와 같은 투명한 도전물질과 불투명 도전물질이 적층된 다층 구조로 형성할 수 있다.
- [0073] 상기와 같이, 기판(101) 상에 소스/드레인 전극(107, 108)이 형성되면, 상기 기판(101)의 전면에 SiO₂ 계열의 물질로된 제1 보호막(109)을 형성하고, 계속해서, 기판(101) 전면에 평탄화막(110)을 형성한다.
- [0074] 상기 기판(101) 상에 평탄화막(110)이 형성되면, 박막 트랜지스터의 드레인 전극(108) 및 제1 콘택전극(141) 영역의 일부를 노출하고, 계속해서 기판(101) 전면에 투명성 도전물질막(ITO, ITZO, IZO)을 형성한다.
- [0075] 그런 다음, 도 8a 및 도 8b에 도시한 바와 같이, 상기 투명성 도전물질막을 마스크 공정에 의해 식각 공정을 진행하여 화소영역에 공통전극(120)을 형성한다.
- [0076] 상기와 같이, 기판(101) 상에 공통전극(120)이 형성되면, 상기 기판(101)의 전면에 제2 보호막(111)을 형성하고, 상기 박막 트랜지스터의 드레인 전극(108) 및 패드 콘택 영역의 제1 콘택전극(141) 일부를 노출한다.
- [0077] 그런 다음, 기판(101)의 전면에 투명성 도전물질을 형성한 다음, 마스크 공정에 따라 상기 공통전극(120) 중첩되도록 화소전극(130)을 형성하고, 패드 콘택 영역에서는 제2 콘택전극(142)을 형성한다.

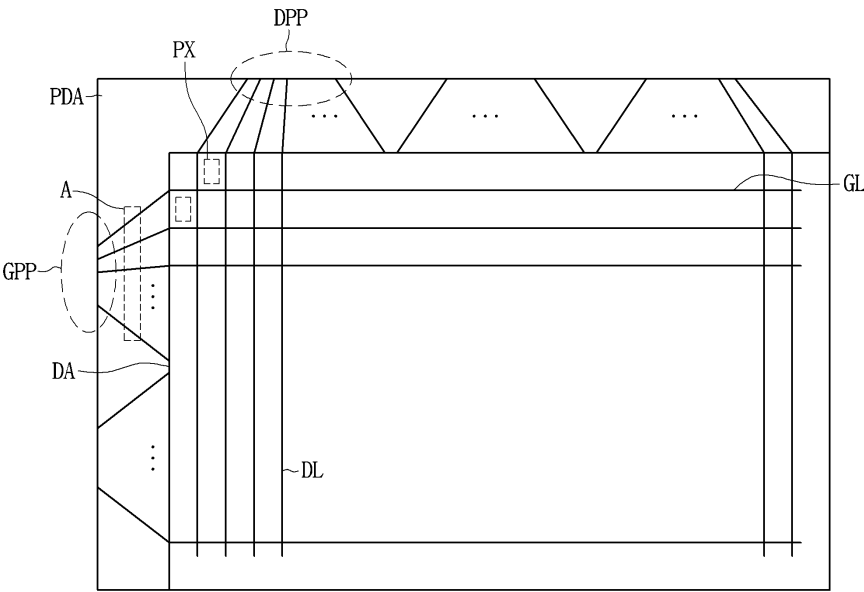
- [0078] 따라서, 상기 제2 공통전압 라인 패드(140)는 제1 및 제2 콘택전극(141, 142)에 의해 전기적으로 연결된다. 또한, 상기 화소전극(130)은 박막 트랜지스터의 드레인 전극(108)과 전기적으로 연결된다.
- [0079] 도 10a 및 도 10b는 본 발명의 패드영역에 배치되는 보호패턴에 의해 라인간 단락(short) 방지 원리를 설명하기 위한 도면이다.
- [0080] 도 10a를 참조하면, 게이트 링크 라인(201)과 제1 공통전압 라인(200) 사이의 게이트 절연막(102) 내에 이물질(P)이 존재하면, 상기 이물질(P)은 1차적으로 상기 게이트 링크 라인(201)과 제1 공통전압 라인(200)에 신호(전압)가 공급될 때, 이물질(P) 영역에서의 전계 왜곡으로 인한 신호 왜곡이 발생된다.
- [0081] 하지만, 본 발명에서와 같이, 산화물 반도체로 이루어진 제1 보호패턴(204)이 상기 게이트 링크 라인(201)과 제1 공통전압 라인(200) 사이에 존재하기 때문에 전계 왜곡을 차단할 수 있어, 신호 왜곡을 방지한다.
- [0082] 또한, 상기 게이트 절연막(102) 내에 이물질(P)이 발생되면, 이후 공정에서 이물질(P) 영역에 형성된 절연막이 비정상적으로 커지면서 막 불량(불량)이 발생되지만, 산화물 반도체로 형성된 제1 보호패턴(204)에서 진행이 차단되어 라인 간 단락 불량을 방지할 수 있다.
- [0083] 마찬가지로 도 10b를 참조하면, 제2 공통전압 라인(300) 상의 게이트 절연막(102) 내에 이물질(P)이 존재하지만, 상기 데이터 링크 라인(301)과 중첩되도록 형성된 제2 보호패턴(320)에 의해 이물질(P)이 데이터 링크 라인(301) 영역으로 확산되지 않는 것을 볼 수 있다.
- [0084] 따라서, 상기 제2 보호패턴(320) 역시, 상기 데이터 링크 라인(301)과 제2 공통전압 라인(300) 사이에 발생하는 신호 왜곡을 방지하면서, 교차하는 데이터 링크 라인(301)과 제2 공통전압 라인(300)의 단락 불량을 방지한다.
- [0085] 또한, 도면에는 도시하지 않았지만, 상기 제1 및 제2 보호패턴(204, 320) 상의 제1 및 제2 층간절연막패턴(105b, 105c) 내에 이물질이 발생할 경우에도, 상기에서 설명한 동일한 원리에 의해 신호 왜곡과 단락 방지를 할 수 있다.
- [0086] 이와 같이, 본 발명에 따른 산화물 박막 트랜지스터를 구비한 액정표시장치는, 신호 라인들이 교차하는 표시패널의 패드영역에 보호패턴을 배치하여, 신호 라인들 간의 단락(Short) 불량을 방지한 효과가 있다.
- [0087] 또한, 본 발명에 따른 산화물 박막 트랜지스터를 구비한 액정표시장치는, 표시패널의 박막 트랜지스터 채널층 형성시, 신호 라인들이 교차하는 패드영역에 보호 패턴을 형성하여 공정 중 발생하는 이물질에 의한 신호 라인들 단락 불량을 방지한 효과가 있다.

부호의 설명

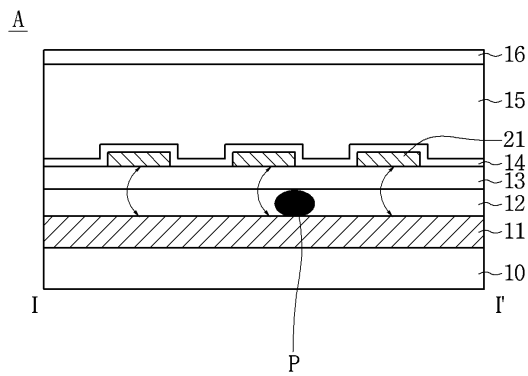
- [0088] 100: 액정표시장치
- 101: 기판
- 103: 게이트 전극
- 200: 제1 공통전압 라인
- 201: 게이트 링크 라인
- 300: 제2 공통전압 라인
- 301: 데이터 링크 라인
- 204: 제1 보호패턴
- 320: 제2 보호패턴

도면

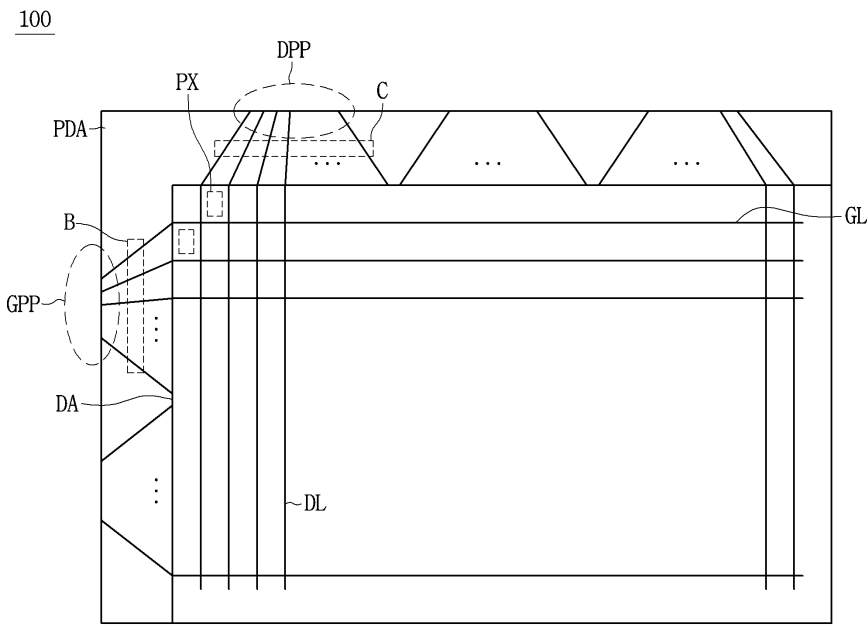
도면1



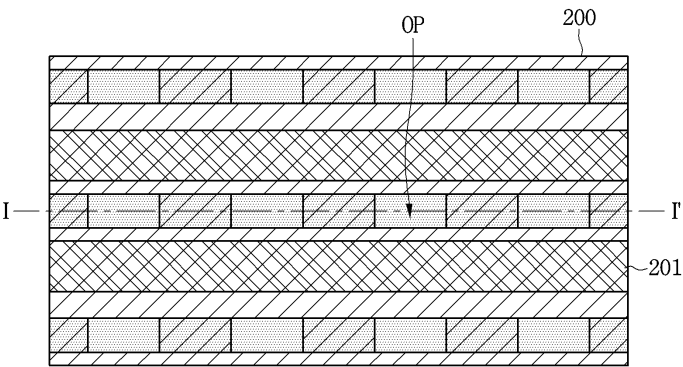
도면2



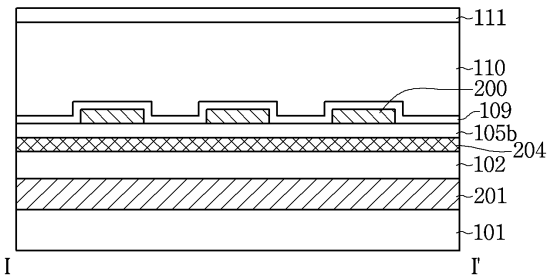
도면3



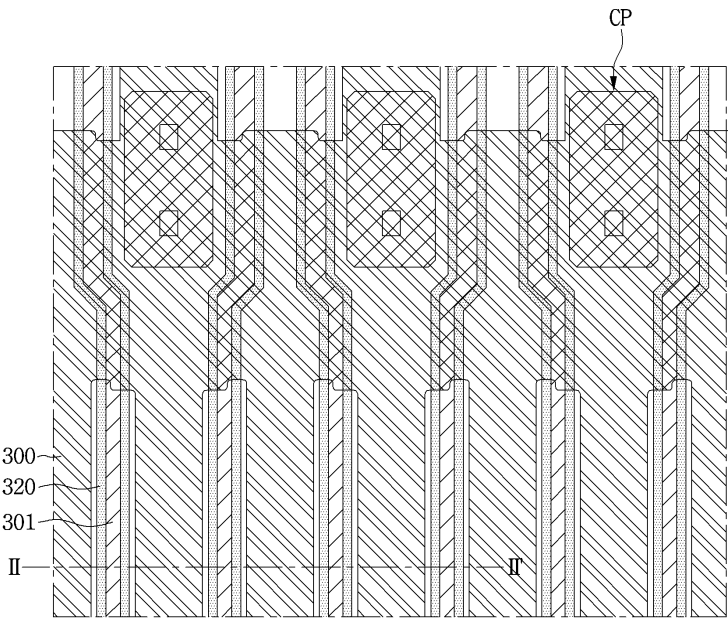
도면4a



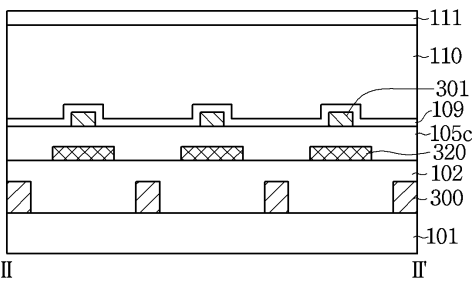
도면4b



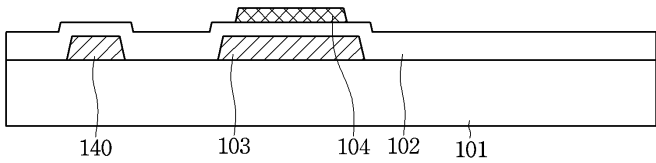
도면5a



도면5b

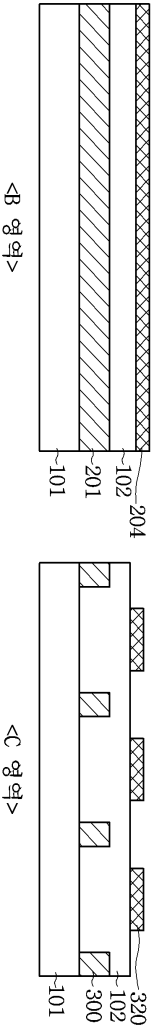


도면6a

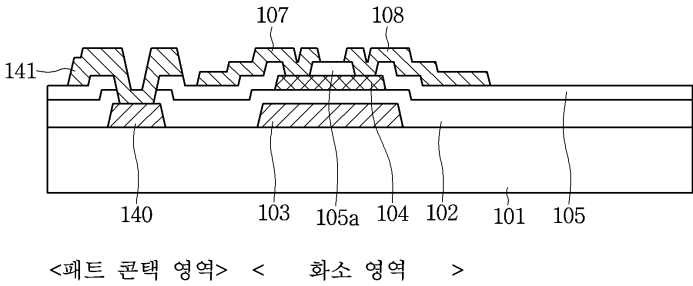


<패드 콘택 영역> < 화소 영역 >

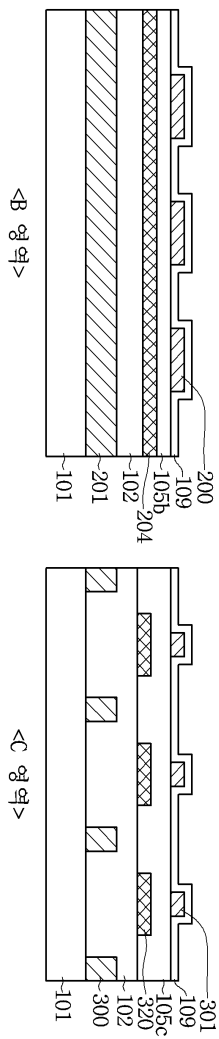
도면6b



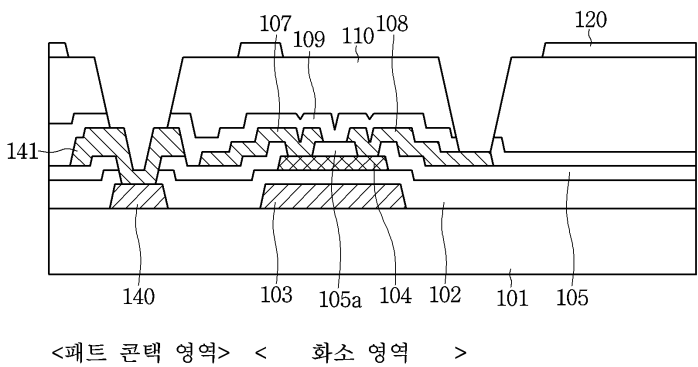
도면7a



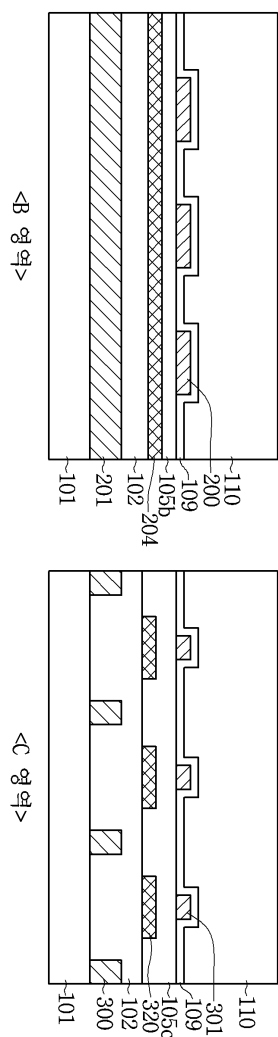
도면7b



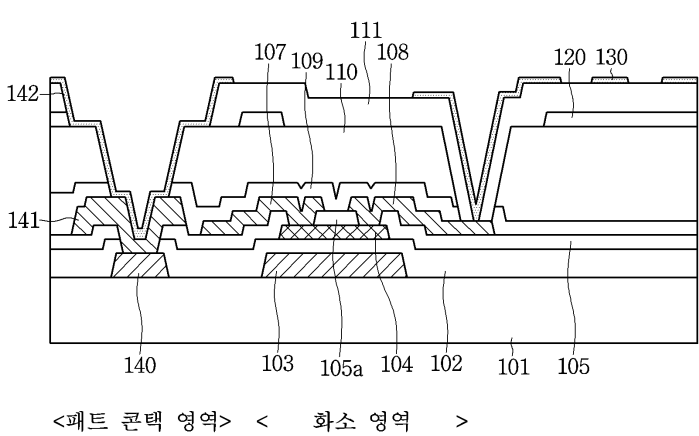
도면8a



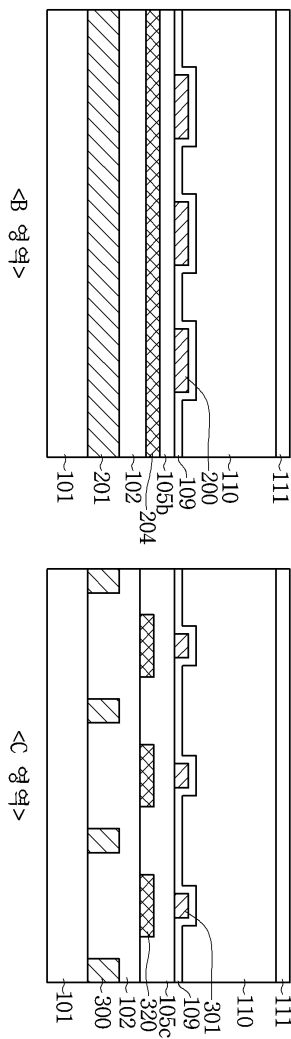
도면8b



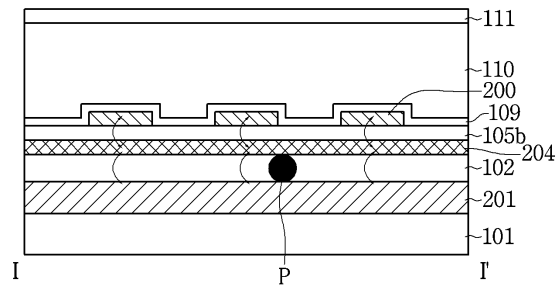
도면9a



도면9b



도면10a



도면10b

