



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월25일
(11) 등록번호 10-2293370
(24) 등록일자 2021년08월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0196021
(22) 출원일자 2014년12월31일
심사청구일자 2019년11월20일
(65) 공개번호 10-2016-0082211
(43) 공개일자 2016년07월08일
(56) 선행기술조사문헌
KR1020020020450 A*
KR1020060029063 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박경호
경상북도 칠곡군 석적읍 석적로 905, 102동 1601호 (한솔솔파크강변아파트)
(74) 대리인
이승찬

전체 청구항 수 : 총 6 항

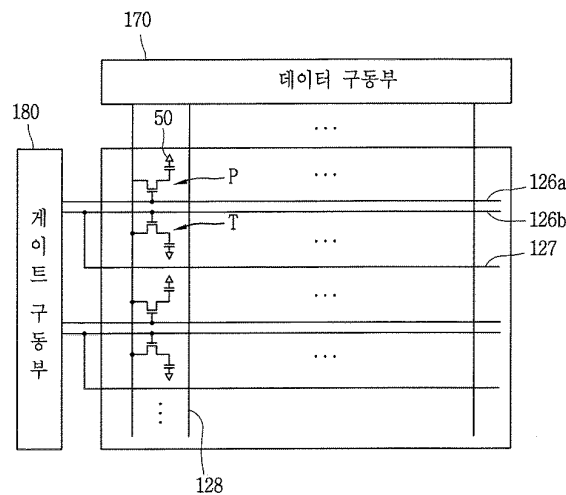
심사관 : 이우리

(54) 발명의 명칭 게이트부하가 감소된 액정표시소자

(57) 요약

본 발명에서는 서로 인접하는 화소열에 접속되는 2개의 게이트라인을 대응하는 화소와 화소 사이의 영역에 배치하고 게이트라인의 배치영역에 의한 투과율 저하를 최소화하며, 화소와 화소 사이의 더미영역에는 더미게이트라인을 배치하고, 상기 더미게이트라인을 게이트라인과 병렬로 접속함으로써, 게이트라인에 주사신호가 공급될 때 주사신호에 인가되는 부하를 1/2로 감소시킬 수 있게 되어, 신호미충전 및 신호지연에 따른 불량을 방지할 수 있게 된다.

대표도 - 도2



명세서

청구범위

청구항 1

제1 화소;
 상기 제1 화소를 사이에 두고 서로 마주하는 제1 영역과 제1 더미 영역;
 상기 제1 영역에서 상기 제1 화소에 연결된 제1 박막 트랜지스터;
 상기 제1 영역에 위치하며 상기 제1 박막 트랜지스터의 게이트전극에 연결된 제1 게이트라인;
 상기 제1 더미 영역에 위치하며 상기 제1 게이트라인에 병렬로 접속되는 제1 더미게이트라인;
 상기 제1 영역을 사이에 두고 상기 제1 화소와 마주하는 제2 화소;
 상기 제2 화소를 사이에 두고 상기 제1 영역과 마주하는 제2 더미 영역;
 상기 제1 영역에서 상기 제2 화소에 연결된 제2 박막 트랜지스터;
 상기 제1 영역에서 상기 제2 박막 트랜지스터의 게이트전극에 연결된 제2 게이트라인; 및
 상기 제2 더미 영역에 위치하며 상기 제2 게이트라인에 병렬로 접속되는 제2 더미게이트라인을 포함하고,
 상기 제1 더미 영역 내에는 상기 제1 화소에 연결된 박막 트랜지스터가 위치하지 않고,
 상기 제1 더미게이트라인은 상기 제1 더미 영역 내에서 상기 제1 화소에 비 접속(non-connection)되고,
 상기 제2 더미 영역 내에는 상기 제2 화소에 연결된 박막 트랜지스터가 위치하지 않고,
 상기 제2 더미게이트라인은 상기 제2 더미 영역 내에서 상기 제2 화소에 비 접속(non-connection)된 액정표시소자.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 제1 게이트라인과 상기 제2 게이트라인과 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터는 모두 상기 제1 영역 내에 위치하는 액정표시소자.

청구항 4

제3항에 있어서,
 상기 제1 더미게이트라인과 상기 제2 더미게이트라인은 블랙 매트릭스에 의해 가려지지 않은 액정표시소자.

청구항 5

삭제

청구항 6

제1항에 있어서,
 상기 제1 게이트라인과 상기 제1 더미게이트라인을 전기적으로 접속하는 제1 금속패턴과,
 상기 제2 게이트라인과 상기 제2 더미게이트라인을 전기적으로 접속하는 제2 금속패턴을 추가로 포함하는 액정표시소자.

청구항 7

제6항에 있어서,

상기 제1 영역에서, 상기 제1 박막 트랜지스터를 통해 상기 제1 화소에 접속되고, 상기 제2 박막 트랜지스터를 통해 상기 제2 화소에 접속되는 데이터라인을 더 포함하고,

상기 제1 금속패턴과 상기 제2 금속패턴은 각각 절연막을 사이에 두고 상기 데이터라인과 중첩되는 액정표시소자.

청구항 8

삭제

청구항 9

제6항에 있어서,

상기 제1 화소와 상기 제2 화소는 각각, 공통전극과 화소전극을 포함하고,

상기 제1 금속패턴과 상기 제2 금속패턴은 각각 절연막을 사이에 두고 상기 공통전극과 화소전극중 적어도 하나와 중첩되는 더미금속패턴을 포함하는 액정표시소자.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정표시소자에 관한 것으로, 특히 게이트라인에 인가되는 부하를 감소시켜 게이트라인을 통한 신호의 미충전 및 신호지연을 방지할 수 있는 액정표시소자에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시소자(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 상기 액정표시소자는 크게 컬러필터(color filter)기판과 어레이(array)기판 및 상기 컬러필터기판과 어레이기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 상기 액정표시소자에 주로 사용되는 구동방식인 능동 매트릭스(Active Matrix; AM) 방식은 박막트랜지스터(Thin Film Transistor)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

[0005] 이하, 도 1을 참조하여 일반적인 액정표시소자의 구조에 대해서 상세히 설명한다.

[0006] 도 1은 일반적인 액정표시소자를 개략적으로 나타내는 분해사시도이다.

[0007] 도면에 도시된 바와 같이, 상기 액정표시소자는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0008] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터층(C)과 상기 서브-컬러필터층(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 공통전극(8)으로 이루어져 있다.

[0009] 또한, 상기 어레이기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수의 게이트라인(16)과 데

이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

[0010] 이와 같이 구성된 상기 컬러필터기판(5)과 어레이기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant) (미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터기판(5)과 어레이기판(10)의 합착은 상기 컬러필터기판(5) 또는 어레이기판(10)에 형성된 합착키(미도시)를 통해 이루어진다.

[0011] 상기와 같은 구성의 액정표시소자에서는 게이트라인(16)을 통해 신호가 입력됨에 따라 박막트랜지스터(T)가 활성화되어 채널이 형성되며, 상기 박막트랜지스터(T)가 활성화됨에 따라 데이터라인(17)으로 공급된 화상신호가 상기 박막트랜지스터(T)의 채널을 거쳐 각 화소영역(P)의 화소전극(18)에 인가되어, 액정층(30)에 전계가 인가된다. 액정층(30)의 액정분자는 인가된 전계를 따라 배열하게 되며, 이 액정분자의 배열에 의해 상기 액정층(30)을 투과하는 광의 투과도가 조절되어 화상이 구현된다.

[0012] 그러나, 상기와 같은 액정표시소자에서는 다음과 같은 문제가 있다. 도 1에 도시된 바와 같이 각각의 화소영역(P)에는 박막트랜지스터(T)가 배치되며, 이 박막트랜지스터(T)가 형성되는 영역에는 공통전극(8) 및 화소전극(18)이 형성되지 않는다. 이러한 박막트랜지스터 형성영역, 게이트라인(16) 및 데이터라인(17) 형성영역은 화상이 구현되지 않는 화상비표시영역이다. 따라서, 이 영역으로 광이 누설되며, 화질이 저하되기 때문에, 이 화상비표시영역은 블랙수지 등으로 이루어진 블랙매트릭스(42)에 의해 차단하여 광이 투과하는 것을 방지해야만 한다.

[0013] 이러한 화상비표시영역은 화소영역(P)의 많은 부분을 포함하므로, 상기 화상비표시영역에 의해 액정표시소자의 개구율 및 투과율이 저하되고, 휘도가 저하되는 원인이 된다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 상기한 점을 감안하여 이루어진 것으로, 인접하는 화소의 게이트라인을 일단의 화소와 화소 사이의 영역에 배치하고 게이트라인과 병렬로 접속되는 더미게이트라인을 타단의 화소와 화소 사이의 더미영역에 배치하여 개구율을 향상시키고 게이트라인에 인가되는 부하를 감소시킬 수 있는 액정표시소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 상기한 목적을 달성하기 위해, 본 발명에서는 서로 인접하는 화소열에 접속되는 2개의 게이트라인을 대응하는 화소와 화소 사이의 영역에 배치하여, 게이트라인의 배치영역에 의한 투과율 저하를 최소화한다. 또한, 화소와 화소 사이의 더미영역에는 더미게이트라인을 배치하고, 상기 더미게이트라인을 게이트라인과 병렬로 접속함으로써, 게이트라인에 주사신호가 공급될 때 주사신호에 인가되는 부하를 1/2로 감소시킬 수 있게 되어, 신호미충전 및 신호지연에 따른 불량을 방지할 수 있게 된다.

[0016] 또한, 본 발명에서는 게이트라인과 더미게이트라인을 전기적으로 접속시키는 금속패턴을 배치하여, 게이트라인에 단선이 발생하는 경우, 더미게이트라인과 금속패턴에 의해 전기적 통로를 확보함으로써 단선에 의한 불량을 방지할 수 있게 된다.

[0017] 이때, 상기 금속패턴은 데이터라인 하부에 배치될 수도 있고, 공통전극 및/또는 화소전극 하부에 배치될 수 있으며, 상기 금속패턴은 게이트라인 및 더미게이트라인과 일체로 형성될 수 있다.

발명의 효과

[0018] 본 발명에서는 서로 인접하는 화소열에 접속되어 주사신호를 인가하는 2개의 게이트라인을 화소와 화소 사이의 영역에 서로 근접하도록 배치하여 하나의 블랙매트릭스에 의해 2개의 게이트라인을 커버함으로써 블랙매트릭스에 의한 광차단을 최소화함으로써 개구율 및 휘도를 최대화한다.

[0019] 또한, 본 발명에서는 더미게이트라인을 화소와 화소 사이의 더미영역에 배치하고 상기 게이트라인과 더미게이트라인을 병렬로 연결함으로써, 주사신호가 인가되는 게이트라인의 부하를 종래에 비해 1/2로 감소시킬 수 있게 된다. 그 결과, 박막트랜지스터의 구동시 주사신호의 감소에 따른 박막트랜지스터의 채널의 활성화가 감소하게 되어 화소에 화상신호가 완전하게 충전되지 않거나 신호지연에 따른 화질불량을 방지할 수 있게 된다.

[0020] 더욱이, 부하의 감소에 따라 게이트라인의 폭을 종래에 비해 감소할 수 있게 되어, 고해상도 액정표시소자의 제작이 가능하게 된다.

도면의 간단한 설명

- [0021] 도 1은 종래 액정표시소자의 구조를 개략적으로 나타내는 도면.
 도 2는 본 발명에 따른 액정표시소자를 개략적으로 나타내는 도면.
 도 3은 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
 도 4a는 도 3의 I-I'선 단면도.
 도 4b는 도 3의 II-II'선 단면도.
 도 4c는 도 3의 III-III'선 단면도.
 도 5는 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
 도 6은 도 5의 IV-IV'선 단면도.
 도 7은 본 발명의 제3실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
 도 8은 도 7의 V-V'선 단면도.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면을 참조하여 본 발명에 대해 상세히 설명한다.
- [0023] 본 발명에서는 화소의 일측에서 서로 인접하는 화소열에 접속되어 주사신호를 인가하는 2개의 게이트라인을 서로 근접하도록 배치하여 화소 사이에 배치되는 하나의 블랙매트릭스에 의해 2개의 게이트라인을 커버함으로써 블랙매트릭스에 의한 광차단을 최소화함으로써 개구율 및 휘도를 최대화한다.
- [0024] 또한, 본 발명에서는 게이트라인이 형성되지 않는 더미영역의 화소와 화소 사이에 더미게이트라인을 형성하고 상기 더미게이트라인을 게이트라인에 병렬로 접속시킴으로써, 게이트구동소자에 인가되는 부하를 상기 더미게이트라인에 분산시킨다.
- [0025] 도 2는 본 발명에 따른 액정표시소자의 구조를 개략적으로 나타내는 도면이다.
- [0026] 도 2에 도시된 바와 같이, 본 발명의 액정표시소자는 복수의 게이트라인(126a, 126b) 및 데이터라인(128)이 서로 수직으로 배열되어 정의되는 복수의 화소(P)를 포함하는 표시영역과 상기 표시영역 외부에 배치된 데이터구동부(170)와 게이트구동부(180)로 이루어진다.
- [0027] 상기 표시영역의 각 화소(P)에는 박막트랜지스터(T)가 배치된다. 도면에는 자세히 도시하지 않았지만, 상기 박막트랜지스터(T)의 게이트전극은 게이트라인(126a, 126b)과 전기적으로 접속되고 소스전극은 데이터라인(128)과 전기적으로 접속된다. 또한, 상기 게이트라인(126a, 126b)은 게이트구동부(180)와 접속되어 상기 게이트구동부(180)로부터 주사신호가 인가되며, 상기 데이터라인(128)은 데이터구동부(170)와 접속되어 상기 데이터구동부(170)로부터 화상신호가 인가된다.
- [0028] 상기 화소(P)내에는 액정층(50)이 구비된다. 상기 게이트구동부(180)에서 주사신호가 게이트라인(126a, 126b)을 통해 박막트랜지스터(T)에 공급되면 상기 박막트랜지스터(T)가 활성화되어 채널이 생성되며, 동시에 상기 데이터구동부(170)로부터 화상신호가 상기 데이터라인(128)으로 인가된 후 박막트랜지스터(T)의 채널을 통해 화소(P)에 인가된다. 화소(P)에 화상신호가 인가됨에 따라 액정층(50)에 전계가 형성되며, 이 전계를 따라 액정분자가 재배열되어 액정층(50)을 투과하는 광의 투과도를 조절함으로써 화상이 구현된다.
- [0029] 한편, 본 발명에서는 홀수번째 게이트라인(126a) 및 짝수번째 게이트라인(126b)이 서로 인접하여 배치된다. 즉, 화소열중에서 홀수번째 화소열에는 게이트라인(126a)이 화소의 하단에 배치되고 짝수번째 화소열에는 게이트라인(126b)이 화소의 상단에 배치되어, 상기 게이트라인(126a, 126b)이 서로 인접하도록 배치된다.
- [0030] 이와 같이, 홀수번째 화소열의 상단 및 짝수번째 화소열의 하단 사이의 영역에 두개 화소열의 게이트라인(126a, 126b)을 배치함에 따라 홀수번째 화소열의 하단 및 짝수번째 화소열의 상하 사이의 영역에는 게이트라인이 배치되지 않는다. 즉, 본 발명에서는 2개의 게이트라인(126a, 126b)이 서로 인접하는 화소열의 사이 영역들에

변갈아 배치되므로, 첫번째 화소열 사이의 영역에 2개의 게이트라인(126a, 126b)이 배치되면, 다음의 화소열 사이의 영역에는 게이트라인(126a, 126b)이 배치되지 않고, 그 다음의 화소열 사이의 영역에 게이트라인(126a, 126b)이 배치된다.

- [0031] 이와 같이, 홀수번째 게이트라인(126a) 및 짝수번째 게이트라인(126b)이 서로 인접하여 배치됨에 따라, 게이트라인(126a, 126b)이 배치되지 않는 화소열 사이의 영역이 발생하게 되는데, 이 게이트라인이 배치되지 않는 영역은 종래에 화소열 사이의 게이트라인 배치 영역에 비해 면적이 감소하게 되며, 그 결과 본 발명의 액정표시소자가 종래 액정표시소자에 비해 개구율 및 휘도가 향상된다.
- [0032] 본 발명에서는 상기 게이트라인(126a, 126b)이 배치되지 않는 화소열 사이의 영역, 즉, 더미영역(설명의 편의를 위해, 이 영역을 더미영역이라고 호칭하지만, 이러한 호칭이 이 영역의 특성을 한정하는 것은 아니다)에는 더미 게이트라인(127)이 배치된다. 게이트라인(126a, 126b)에는 박막트랜지스터(T)의 게이트전극(111)이 전기적으로 접속되는데 반해, 상기 더미게이트라인(127)에는 게이트전극(111)과 같은 전기적 구성이 전혀 접속되지 않는다.
- [0033] 도 2에 도시된 바와 같이, 상기 게이트라인(126a, 126b) 및 더미게이트라인(127)은 병렬로 연결되어 게이트구동부(180)에 전기적으로 접속된다. 도면에서는 게이트구동부(180)가 하나의 소자로 도시되어 있지만, 실제로 상기 게이트구동부(180)는 복수의 구동소자(driving IC)로 이루어져, 상기 게이트구동부(180)의 단자에 게이트라인(126a, 126b)이 접속된다. 또한, 상기 게이트구동부(180)의 단자에는 더미게이트라인(127)이 접속된다.
- [0034] 이와 같이, 게이트라인(126a, 126b)과 더미게이트라인(127)이 병렬로 접속됨에 따라, 게이트라인(126a, 126b)에 의해 인가되던 부하가 더미게이트라인(127)에 분산되어, 게이트라인(126a, 126b)의 부하를 종래에 비해 1/2로 감소시킬 수 있게 된다.
- [0035] 이와 같이, 게이트라인(126a, 126b)에 인가되는 부하를 감소시킴에 따라 다음과 같은 효과를 얻을 수 있게 된다.
- [0036] 일반적으로, 게이트라인(126a, 126b)에 인가되는 부하가 증가하면, 게이트라인(126a, 126b)을 따라 인가되는 주사 신호가 신호가 왜곡되어 실제 박막트랜지스터(T)에 인가되는 주사신호의 세기가 감소한다. 따라서, 박막트랜지스터(T)의 구동시 주사신호의 감소에 따라 박막트랜지스터의 채널의 활성화(activation)가 감소하게 되어 화상 신호의 인가시 화소에 화상신호가 완전하게 충전되지 않게 된다. 또한, 부하 증가에 따라 신호지연도 발생하게 된다.
- [0037] 신호의 완전한 충전과 신호지연에 따른 불량을 방지하기 위해 게이트라인(126a, 126b)에 인가되는 부하를 감소시키기 위해서는 게이트라인(126a, 126b)의 폭을 증가시켜야만 한다. 그러나, 이 경우 게이트라인(126a, 126b) 폭의 증가에 따라 액정표시소자의 개구율 및 휘도가 저하된다. 더욱이, 근래 고해상도의 액정표시소자의 경우 게이트라인(126a, 126b)의 폭을 상대적으로 감소시켜야만 하는데, 상기와 같이 게이트라인(126a, 126b)의 폭을 증가시켜 게이트라인(126a, 126b)의 부하를 감소시키는 경우 고해상도 액정표시소자의 구현이 불가능하였다.
- [0038] 그러나, 본 발명에서는 게이트라인(126a, 126b)과 더미게이트라인(127)을 병렬로 연결함에 따라 게이트라인(126a, 126b)에 인가되는 부하를 1/2으로 감소시킬 수 있게 되므로, 화소에 화상신호가 완전하게 충전되지 않거나 신호가 지연되는 것을 방지할 수 있게 된다. 또한, 게이트라인(126a, 126b)에 인가되는 부하를 1/2으로 감소시킬 수 있기 때문에, 게이트라인(126a, 126b)의 폭을 감소시켜도 신호가 미충전이나 신호지연과 같은 불량이 발생하지 않으므로, 액정표시소자의 개구율 및 휘도를 향상시킬 수 있게 된다. 특히, 종래에 비해 부하의 증가없이 게이트라인(126a, 126b)의 폭을 감소시킬 수 있게 되므로, 고해상도의 액정표시소자의 제조가 가능하게 된다.
- [0039] 도 2에서는 화소(P)와 화소(P) 사이의 더미영역에 단지 하나의 더미게이트라인(127)이 배치되어 상부 및 하부에 각각 배치되는 화소(P)에 대응하는 2개의 게이트라인(126a, 126b)중 하나와 병렬로 연결되지만, 더미영역에 2개의 더미게이트라인(127)이 배치되어 2개의 게이트라인(126a, 126b) 각각에 병렬로 연결될 수도 있다.
- [0040] 이하에서는 상기 구조를 갖는 본 발명의 액정표시소자의 구체적인 실시예를 도면을 참조하여 좀더 상세히 설명한다.
- [0041] 도 3은 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도이다. 이때, 실질적으로 액정표시소자에는 화소가 $n \times m$ (여기서, n, m 은 자연수)개 배치되지만, 도면에서는 설명의 편의를 위해 2개의 인접하는 게이트라인을 중심으로 배치된 상하 2개의 화소만 도시하였다.
- [0042] 도 3에 도시된 바와 같이, 본 발명의 제1실시예에 따른 액정표시소자는 중형으로 배치된 복수의 게이트라인(126a, 126b) 및 데이터라인(128)에 의해 정의되는 복수의 화소를 포함한다. 상기 화소내의 상기 게이트라인

(126a, 126b)과 데이터라인(128)의 교차영역에는 박막트랜지스터(T)가 배치된다.

- [0043] 상기 박막트랜지스터(T)는 게이트라인(126a, 126b)으로부터 주사신호가 인가되는 게이트전극(111)과, 상기 게이트전극(111) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널을 형성하는 반도체층(112)과, 상기 반도체층(112) 위에 형성되어 데이터라인(128)을 통해 화상신호가 인가되는 소스전극(113) 및 드레인전극(114)으로 구성되어 외부로부터 입력되는 화상신호를 액정층에 인가한다.
- [0044] 이때, 게이트라인(126a, 126b)은 각각 화소의 하단 및 상단에 각각 배치되어 서로 일정 거리 이격된 상태로 배치된다. 이때, 상기 게이트라인(126a, 126b)은 특정 거리로 이격되는 것이 아니라, 각각의 게이트라인(126a, 126b)에 신호가 흐를 때 서로 간섭을 일으키지 않을 정도만 이격되면 된다.
- [0045] 화소내에는 설정된 폭으로 데이터라인(128)과 실질적으로 평행하게 배열된 복수의 공통전극(132)과 화소전극(134)이 배치되어 있다. 또한, 화소내에는 공통라인(116) 및 화소전극라인(117)이 배치되어 각각 공통전극(132) 및 화소전극(134)과 접속된다. 상기 화소전극라인(117)은 박막트랜지스터(T)의 드레인전극(114)과 일체로 형성되거나 전기적으로 접속되어, 박막트랜지스터(T)의 턴온시 상기 박막트랜지스터(T)를 통해 외부의 데이터구동부로부터 화상신호가 인가되는 화소전극라인(117)으로 인가된 후, 상기 화소전극라인(117)과 전기적으로 접속되는 화소전극(134)에 화상신호가 인가된다. 상기 공통라인(116)은 도면표시하지 않은 외부의 공통전압공급부와 접속되어 상기 공통전극(132)에 공통전압을 인가한다.
- [0046] 이때, 상기 공통라인(116) 및 화소전극라인(117)은 화소내의 어디에도 배치 가능하지만, 도면에 도시된 바와 같이 게이트라인(126a, 126b)의 인근에 배치하는 것이 투과율 향상 면에서 바람직하다. 상기 공통라인(116) 및 화소전극라인(117)은 각각 공통전극(132) 및 화소전극(134)과는 다른 층에 형성되어, 상기 공통전극(132)은 제1컨택홀(118)을 통해 공통라인(116)과 전기적으로 접속되고 화소전극(134)은 제2컨택홀(119)을 통해 화소전극라인(117)과 전기적으로 접속된다.
- [0047] 도면에서는 공통라인(116) 및 화소전극라인(117)이 다른 층에 정렬된 상태로 배치되며, 이때 공통라인(116)의 폭이 화소전극라인(117)의 폭보다 크지만, 이는 설명의 편의를 위한 것이다. 본 발명에서는 공통라인(116)과 화소전극라인(117)의 폭을 동일하게 할 수도 있고 공통라인(116)의 폭을 화소전극라인(117)의 폭보다 작게 할 수도 있다.
- [0048] 게이트라인(126a, 126b)이 배치되지 않는 화소의 단부는 더미영역이다. 도면에는 도시하지 않았지만, 이 더미영역에는 2개의 화소가 인접하여 배치되므로, 화상이 구현되지 않고 전경(disclination)이 발생하는 화상비표시영역이다. 본 발명에서는 상기 화상비표시영역에 화소내에 배치된 전극 등과 같은 전기적으로 절연된 더미게이트라인(127)을 배치한다.
- [0049] 앞서 설명한 바와 같이, 상기 더미게이트라인(127)은 게이트라인(126a, 126b)과 병렬로 연결되므로, 외부의 게이트구동부로부터 상기 게이트라인(126a, 126b)으로 주사신호가 인가될 때, 상기 더미게이트라인(127)에 의해 게이트라인(126a, 126b)에 인가되는 부하가 약 1/2로 감소하게 되어 신호가 미충전이나 신호 지연과 같은 불량 발생하지 않게 된다.
- [0050] 또한, 부하의 감소량만큼 게이트라인(126a, 126b)의 폭을 감소시킬 수 있으므로, 개구율을 향상시킬 수 있게 된다. 더욱이, 본 발명에서는 더미게이트라인(127)이 화상비표시영역인 화소 사이의 더미영역에 배치되며 그 폭이 화소 사이의 간격보다 작기 때문에, 상기 더미게이트(127)의 배치에 의해 개구율이 저하되지는 않는다.
- [0051] 한편, 도면에서는 상기 데이터라인(128)과 공통전극(132) 및 드레인전극(134)이 게이트라인(126a, 126b)과 수직으로 배열되지만, 상기 데이터라인(128)과 공통전극(132) 및 드레인전극(134)이 게이트라인(126a, 126b)에 대하여 일정 각도로 비스듬하게 배열될 수도 있고, 상기 데이터라인(128)과 공통전극(132) 및 드레인전극(134)이 지그재그형상으로 배열되어 게이트라인(126a, 126b)을 중심으로 서로 대칭으로 배치될 수도 있다.
- [0052] 상기와 같은 구성의 본 발명의 제1실시예에 따른 액정표시소자를 도 4a-도 4c를 참조하여 좀더 자세히 설명한다.
- [0053] 도 4a-4c는 각각 I-I', II-II', III-III'선 단면도로서, 도 4a는 박막트랜지스터와 공통전극 및 화소전극의 단면 구조를 나타내고 도 4b는 게이트전극(126a, 126b)의 단면구조를 나타내며, 도 4c는 더미게이트라인(127)의 단면 구조를 나타낸다.
- [0054] 도 4a에 도시된 바와 같이, 유리와 같은 투명한 물질로 이루어진 제1기판(110)에는 박막트랜지스터(T)가 배치된다. 상기 박막트랜지스터(T)는 제1기판(110) 위에 배치된 게이트전극(111), 상기 게이트전극(111)이 형성된 게

이트절연층(122), 상기 게이트절연층(122) 위에 배치된 반도체층(112), 상기 반도체층(112) 위에 일정 거리를 두고 서로 마주하는 소스전극(113) 및 드레인전극(114)을 포함한다.

- [0055] 상기 게이트전극(111)은 Cr, Mo, Ta, Cu, Ti, Al, Al합금 또는 이들의 합금 등의 금속으로 구성될 수 있으며, 게이트절연층(122)은 SiO_2 나 SiN_x 와 같은 무기절연물질로 이루어진 단일층 또는 SiO_2 및 SiN_x 으로 이루어진 이중의 층으로 구성될 수 있다.
- [0056] 상기 반도체층(112)은 비정질실리콘, 결정질 실리콘 또는 IGZO(Indium Gallium Zinc Oxide)와 같은 산화물반도체로 구성할 수 있다. 또한, 상기 소스전극(113) 및 드레인전극(114)은 Cr, Mo, Ta, Cu, Ti, Al, Al합금 또는 이들의 합금으로 구성될 수 있다.
- [0057] 상기 박막트랜지스터(T)가 배치된 제1기판(110) 위에는 보호층(124)이 적층된다. 상기 보호층(124)은 포토아크릴(photo acryl)이나 BCB(Benzo Cyclo Butene)과 같은 유기절연물질로 이루어진 단일층 또는 SiO_2 나 SiN_x 와 같은 무기절연층과 포토아크릴이나 BCB과 같은 유기절연층으로 이루어진 이중의 층으로 구성될 수 있다.
- [0058] 상기 보호층(124) 위에는 공통전극(132) 및 화소전극(134)이 서로 평행하게 배치된다. 상기 공통전극(132) 및 화소전극(134)은 도전성이 좋은 금속으로 구성될 수 있고 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 금속산화물로 구성되어 휘도를 향상시킬 수도 있다. 이때, 상기 보호층(124)에는 일부가 제거되어 제2컨택홀(119)이 형성되어 박막트랜지스터(T)의 드레인전극(114)이 화소전극(134)과 전기적으로 접속된다.
- [0059] 제2기판(150)에는 블랙매트릭스(152)와 컬러필터층(154)이 배치된다. 상기 블랙매트릭스(152)는 CrO_2 와 같은 금속 또는 블랙수지로 구성되어 박막트랜지스터(T) 배치영역, 게이트라인(126a, 126b) 및 데이터라인(128) 배치영역과 같은 화상비표시영역으로 광이 투과되는 것을 차단한다. 또한, 상기 컬러필터층(154)은 R(Red), G(Green), B(Blue) 컬러필터층으로 이루어져 실제 컬러를 구현한다.
- [0060] 또한, 상기 제1기판(110) 및 제2기판(150) 사이에는 액정층(140)이 구비된다. 도면에는 도시하지 않았지만, 상기 제1기판(110) 및 제2기판(150)에는 각각 제1배향막 및 제2배향막이 구성되어 액정층(140)의 액정분자가 상기 제1배향막 및 제2배향막의 배향방향에 따라 배열되며, 화소전극(134)에 전압이 인가되는 경우 상기 액정분자가 공통전극(132)과 화소전극(134) 사이의 전기장에 의해 재배열되어 액정층(140)을 투과하는 광의 투과도를 조절함으로써 화상을 구현한다.
- [0061] 도 4b에 도시된 바와 같이, 제1기판(110)에는 게이트라인(126a, 126b)이 서로 인접하여 배치된다. 또한, 상기 게이트라인(126a, 126b)의 양측의 두 화소내에는 공통라인(116)이 배치된다. 이때, 상기 게이트라인(126a, 126b)과 공통라인(116)은 다양한 금속으로 구성될 수 있지만, 박막트랜지스터(T)의 게이트전극(111)과 동일한 금속으로 동일 공정에 의해 형성하는 것이 바람직하다.
- [0062] 상기 게이트라인(126a, 126b)과 공통라인(116)이 형성된 제1기판(110) 전체에 걸쳐 게이트절연층(122)이 적층되며, 그 위에 화소전극라인(117)이 배치된다. 이때, 상기 화소전극라인(117)은 게이트라인(126a, 126b) 근처의 서로 인접하는 화소내에 배치된다. 도면에 도시된 바와 같이, 상기 화소전극라인(117)은 공통라인(116) 상부에 공통라인(116)과 정렬된 상태로 배치되는 것이 바람직하지만, 다른 위치에 배치될 수도 있다. 또한, 상기 화소전극라인(117)은 공통라인(116)과 동일한 크기의 폭일 수도 있고 다른 크기의 폭일 수도 있다. 상기 화소전극라인(117)은 다양한 금속으로 구성될 수 있지만, 박막트랜지스터(T)의 소스전극(113) 및 드레인전극(114)과 동일한 금속으로 동일 공정에 의해 형성하는 것이 바람직하다.
- [0063] 상기 화소전극라인(117) 위에는 보호층(124)이 적층되며, 그 위에 화소전극(134)이 배치된다. 이때, 상기 보호층(124)에는 제2컨택홀(119)이 형성되어 화소전극(134)이 화소전극라인(117)과 전기적으로 접속되어 화소전극라인(117)을 통해 화상신호가 화소전극(134)에 인가된다.
- [0064] 제2기판(150)에는 블랙매트릭스(152)가 배치되어, 상기 게이트라인(126a, 126b), 공통라인(116) 및 화소전극라인(117)의 배치영역을 통해 광이 투과되는 것을 차단한다.
- [0065] 도 4c에 도시된 바와 같이, 제1기판(110)위의 화소와 화소 사이의 더미영역에는 더미게이트라인(127)이 배치되며, 그 위에 게이트절연층(122) 및 보호층(124)이 적층된다. 상기 더미게이트라인(127)은 다양한 금속으로 구성될 수 있지만, 박막트랜지스터(T)의 게이트전극(111)과 동일한 금속으로 동일 공정에 의해 형성하는 것이 바람직하다. 이때, 도면에서는 상기 더미게이트라인(127)이 하나만 배치되어 게이트라인(126a, 126b) 중 하나의 게이트라인과 병렬로 접속되지만, 상기 더미게이트라인(127)이 더미영역에 2개 배치되어 2개의 게이트라인

(126a, 126b)과 병렬로 접속될 수도 있다. 상기 보호층(124) 위에는 더미게이트라인(127)을 중심으로 인접하는 공통전극(132) 및 화소전극(134)(도면표시하지 않음)이 배치된다.

- [0066] 또한, 제2기판(150)의 더미게이트라인(127)과 대응하는 영역에는 블랙매트릭스(152)가 배치되지만, 상기 블랙매트릭스(152)가 배치되지 않을 수도 있다.
- [0067] 상술한 바와 같이, 본 발명에서는 인접하는 2개의 화소와 화소 사이에 대응하는 2개의 게이트라인(126a, 126b)을 서로 인접하도록 배치함으로써 종래에 비해 게이트라인(126a, 126b)이 차지하는 영역을 감소시킴으로써 종래에 비해 개구율 및 휘도를 향상시킬 수 있게 된다. 또한, 본 발명에서는 인접하는 화소와 화소 사이의 더미영역에 더미게이트라인(127)을 배치하여 게이트라인(126a, 126b)과 병렬로 접속시킴으로써 게이트라인(126a, 126b)에 인가되는 부하를 감소시킬 수 있게 된다.
- [0068] 이때, 상기 더미게이트라인(127)은 화소와 화소 사이의 화상비표시영역, 즉 전경발생영역에 배치되므로, 상기 더미게이트라인(127)에 의한 개구율 저하는 발생하지 않게 된다.
- [0069] 도 5 및 도 6은 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 도면으로, 도 5는 평면도이고 도 6은 도 5의 IV-IV'선 단면도이다. 이때, 이 실시예의 구조는 제1실시예와 유사하므로, 동일한 구조에 대해서는 설명을 간략하게 하고 다른 구조에 대해서만 상세히 설명한다.
- [0070] 도 5에 도시된 바와 같이, 본 발명의 제2실시예에 따른 액정표시소자는 종횡으로 배치된 복수의 게이트라인(226a, 226b) 및 데이터라인(228)에 의해 정의되는 복수의 화소를 포함하며, 상기 화소내의 상기 게이트라인(226a, 226b)과 데이터라인(228)의 교차영역에는 박막트랜지스터(T)가 배치된다.
- [0071] 상기 박막트랜지스터(T)는 게이트전극(211), 상기 게이트전극(211) 위에 배치된 반도체층(212)과, 상기 반도체층(212) 위에 배치된 소스전극(213) 및 드레인전극(214)으로 구성된다. 이때, 상기 게이트라인(226a, 226b)은 서로 인접하는 화소와 화소 사이의 영역에 배치된다.
- [0072] 상기 화소내에는 복수의 공통전극(232) 및 화소전극(234)과, 상기 공통전극(232) 및 화소전극(234)과 접속되는 공통라인(216) 및 화소전극라인(217)이 배치된다.
- [0073] 화소와 화소 사이의 더미영역에는 절연된 더미게이트라인(227)을 배치된다. 도면에는 도시하지 않았지만, 상기 더미게이트라인(227)은 게이트라인(226a, 226b)과 병렬로 연결되어 외부로부터 신호가 인가될 때 게이트라인(226a, 226b)에 인가되는 부하를 감소시킨다. 따라서, 신호의 인가시 신호의 미충전이나 신호지연과 같은 불량이 발생하지 않게 된다.
- [0074] 상기 데이터라인(228)의 하부에는 더미데이터라인(229)이 배치된다. 이때 상기 더미데이터라인(229)은 게이트라인(226a, 226b) 및 더미게이트라인(227)과 전기적으로 접속되어 상기 게이트라인(226a, 226b)과 더미게이트라인(227)을 전기적으로 도통시킨다.
- [0075] 상기 더미데이터라인(229)은 더미게이트라인(227)과 함께 전기적 통로를 생성한다. 즉, 상기 더미데이터라인(229)에 의해 게이트라인(226a, 226b)과 더미게이트라인(227)이 전기적으로 접속되므로, 게이트라인(226a, 226b)에 단선이 발생하는 경우, 게이트라인(226a, 226b)으로 인가된 주사신호가 단선된 영역에 대응하는 화소의 전단 화소의 더미데이터라인(229), 더미게이트라인(227) 및 단선된 영역에 대응하는 화소의 후단 화소의 더미데이터라인(229)을 거쳐 다시 게이트라인(226a, 226b)으로 인가된다.
- [0076] 도 6에 도시된 바와 같이, 상기 데이터라인(228)은 게이트절연층(222) 위에 배치되며, 더미데이터라인(229)은 데이터라인(228) 하부의 제1기판(210)위에 배치된다. 이때, 상기 더미데이터라인(229)과 데이터라인(228) 사이에는 게이트절연층(222)이 배치되어 상기 더미데이터라인(229)과 데이터라인(228)이 전기적으로 절연된다.
- [0077] 이때, 상기 더미데이터라인(229)은 다양한 금속으로 형성될 수 있지만, 박막트랜지스터(T)의 게이트전극(211)과 동일한 금속으로 동일한 공정으로 형성할 수 있다. 즉, 상기 더미데이터라인(229)은 게이트라인(226a, 226b) 및 더미게이트라인(227)과 일체로 구성될 수 있다. 물론, 상기 더미데이터라인(229)은 게이트라인(226a, 226b) 및 더미게이트라인(227)과 별개로 구성될 수도 있다.
- [0078] 이와 같이, 이 실시예에서는 인접하는 2개의 화소와 화소 사이에 대응하는 2개의 게이트라인(226a, 226b)을 서로 인접하도록 배치함으로써 종래에 비해 게이트라인(226a, 226b)이 차지하는 영역을 감소시킴으로써 종래에 비해 개구율 및 휘도를 향상시킬 수 있으며, 인접하는 화소와 화소 사이의 더미영역에 더미게이트라인(227)을 배치하여 게이트라인(226a, 226b)과 병렬로 접속시킴으로써 게이트라인(226a, 226b)에 인가되는 부하를 감소시킬 수 있

게 된다.

- [0079] 또한, 이 실시예에서는 데이터라인(228) 하부에 게이트라인(226a, 226b) 및 더미게이트라인(227)을 전기적으로 연결하는 더미데이터라인(229)을 배치함으로써 게이트라인(226a, 226b)에 단선이 발생하는 경우, 더미데이터라인(229), 더미게이트라인(227), 더미데이터라인(229)을 거쳐 단선 이후의 게이트라인(226a, 226b)에 다시 신호가 인가되도록 하여, 단선지점 이후의 화소가 작동불능으로 되어 불량이 발생하는 것을 방지할 수 있게 된다. 즉, 이 실시예에서는 상기 더미게이트라인(227)이 게이트라인(226a, 226b)의 부하를 감소시키는 역할을 할 뿐만 아니라 게이트라인(226a, 226b)의 단선시 신호를 전달하는 통로의 역할을 하게 된다.
- [0080] 한편, 상기 더미데이터라인(229)은 데이터라인(228) 하부에 배치되므로, 더미데이터라인(229)에 의한 개구율 저하나 휘도저하는 발생하지 않는다.
- [0081] 도 7 및 도 8은 본 발명의 제3실시예에 따른 액정표시소자의 구조를 나타내는 도면으로, 도 7은 평면도이고 도 8은 도 7의 V-V'선 단면도이다.
- [0082] 도 7에 도시된 바와 같이, 본 발명의 제3실시예에 따른 액정표시소자는 종횡으로 배치된 복수의 게이트라인(326a, 326b) 및 데이터라인(328)에 의해 정의되는 복수의 화소를 포함하며, 상기 화소내의 상기 게이트라인(326a, 326b)과 데이터라인(328)의 교차영역에는 박막트랜지스터(T)가 배치된다.
- [0083] 상기 박막트랜지스터(T)는 게이트전극(311), 상기 게이트전극(311) 위에 배치된 반도체층(312)과, 상기 반도체층(312) 위에 배치된 소스전극(313) 및 드레인전극(314)으로 구성된다. 이때, 상기 게이트라인(326a, 326b)은 서로 인접하는 화소와 화소 사이의 영역에 배치된다.
- [0084] 상기 화소내에는 복수의 공통전극(332) 및 화소전극(334)과, 상기 공통전극(332) 및 화소전극(334)과 접속되는 공통라인(316) 및 화소전극라인(317)이 배치된다.
- [0085] 화소와 화소 사이의 더미영역에는 절연된 더미게이트라인(327)을 배치된다. 도면에는 도시하지 않았지만, 상기 더미게이트라인(327)은 게이트라인(326a, 326b)과 병렬로 연결되어 외부로부터 신호가 인가될 때 게이트라인(326a, 326b)에 인가되는 부하를 감소시킨다. 따라서, 신호의 인가시 신호의 미충전이나 신호지연과 같은 불량이 발생하지 않게 된다.
- [0086] 상기 공통전극(332) 및 화소전극(334)의 하부에는 더미금속패턴(338)이 형성된다. 이때 상기 더미금속패턴(338)은 게이트라인(326a, 326b) 및 더미게이트라인(327)과 전기적으로 접속되어 상기 게이트라인(326a, 326b)과 더미게이트라인(327)을 전기적으로 도통시킨다.
- [0087] 상기 더미금속패턴(338)은 더미게이트라인(327)과 함께 전기적 통로를 생성한다. 즉, 상기 더미금속패턴(338)에 의해 게이트라인(326a, 326b)과 더미게이트라인(327)이 전기적으로 접속되므로, 게이트라인(326a, 326b)에 단선이 발생하는 경우, 게이트라인(326a, 326b)으로 인가된 주사신호가 단선된 영역에 대응하는 화소의 전단 화소의 더미금속패턴(338), 더미게이트라인(327) 및 단선된 영역에 대응하는 화소의 후단 화소의 더미금속패턴(338)을 거쳐 다시 게이트라인(326a, 326b)으로 인가된다.
- [0088] 도면에서는 상기 더미금속패턴(338)이 화소내의 모든 공통전극(332) 및 화소전극(334) 하부에 배치되지만, 상기 더미금속패턴(338)이 화소내의 공통전극(332) 하부에만 배치될 수도 있고 화소전극(334) 하부에만 배치될 수도 있다. 또한, 일부의 공통전극(332) 및 화소전극(334) 하부에 배치될 수도 있다.
- [0089] 도 8에 도시된 바와 같이, 상기 공통전극(332) 및 화소전극(334)은 보호층(324)위에 배치되며, 더미금속패턴(338)은 공통전극(332) 및 화소전극(334) 하부의 제1기판(310)위에 배치된다. 이때, 상기 더미금속패턴(338)과 공통전극(332) 및 화소전극(334) 사이에는 게이트절연층(322) 및 보호층(324)이 배치되어 상기 더미금속패턴(338)과 공통전극(332) 및 화소전극(334)이 전기적으로 절연된다.
- [0090] 이때, 상기 더미금속패턴(338)은 다양한 금속으로 형성될 수 있지만, 박막트랜지스터(T)의 게이트전극(311)과 동일한 금속으로 동일한 공정으로 형성할 수 있다. 즉, 상기 더미금속패턴(338)은 게이트라인(326a, 326b) 및 더미게이트라인(327)과 일체로 형성될 수 있다.
- [0091] 상기 더미금속패턴(338)은 게이트절연층(322) 위에 게이트라인(326a, 326b) 및 더미게이트라인(327)과는 별개로 형성될 수 있다. 그러나, 이 경우 게이트절연층(322)에 별도의 컨택홀을 형성하여 더미금속패턴(338)을 게이트라인(326a, 326b) 및 더미게이트라인(327)과 전기적으로 연결시켜야만 한다.
- [0092] 이와 같이, 이 실시예에서는 인접하는 2개의 화소와 화소 사이에 대응하는 2개의 게이트라인(326a, 326b)을 서로

인접하도록 배치함으로써 종래에 비해 게이트라인(326a, 326b)이 차지하는 영역을 감소시킴으로써 종래에 비해 개구율 및 휘도를 향상시킬 수 있으며, 인접하는 화소와 화소 사이의 더미영역에 더미게이트라인(327)을 형성하여 게이트라인(326a, 326b)과 병렬로 접속시킴으로써 게이트라인(326a, 326b)에 인가되는 부하를 감소시킬 수 있게 된다.

[0093] 또한, 이 실시예에서는 공통전극(332) 및 화소전극(334)의 하부에 게이트라인(326a, 326b) 및 더미게이트라인(338)을 전기적으로 연결하는 더미금속패턴(329)을 형성함으로써 게이트라인(326a, 326b)에 단선이 발생하는 경우, 더미금속패턴(338), 더미게이트라인(327), 더미금속패턴(338)을 거쳐 단선 이후의 게이트라인(326a, 326b)에 다시 신호가 인가되도록 하여 단선지점 이후의 화소가 작동불능으로 되어 불량 발생을 방지할 수 있게 된다.

[0094] 즉, 이 실시예에서는 상기 더미게이트라인(327)이 게이트라인(326a, 326b)의 부하를 감소시키는 역할을 할 뿐만 아니라 게이트라인(326a, 326b)의 단선시 신호를 전달하는 통로의 역할을 하게 된다. 한편, 상기 더미금속패턴(338)은 공통전극(332) 및 화소전극(334) 하부에 배치되므로, 더미금속패턴(338)에 의한 개구율 저하나 휘도저하는 발생하지 않는다.

[0095] 한편, 상술한 설명에서는 본 발명의 특정한 구조만이 도시되어 있지만, 본 발명이 이러한 구조에만 한정되는 것은 아니다. 예를 들면, 도면에서는 공통전극, 화소전극, 공통라인과 화소전극라인이 특정한 층에만 배치되어 있지만, 본 발명이 이러한 구조에만 한정되는 것이 아니라 현재까지 알려진 다양한 구조의 화소를 액정표시소자에 적용될 수 있을 것이다. 또한, 상술한 설명에서는 공통전극과 화소전극이 서로 평행하게 배치된 IPS(In Plane Switching)모드 액정표시소자가 개시되어 있지만, 본 발명이 이러한 IPS모드 액정표시소자에만 한정되는 것이 아니라, 다양한 모드의 액정표시소자, 예를 들면 VA(Vertical Alignment)모드 액정표시소자, TN(Twisted Nematic) 모드 액정표시소자, FFS(Finge Field Switching) 모드 액정표시소자 등의 액정표시소자에 적용될 수 있을 것이다.

[0096] 다시 말해서, 화소와 화소 사이의 더미영역에 더미게이트라인을 형성하여 게이트라인과 병렬로 배치할 수만 있다면, 어떠한 화소구조의 액정표시소자나 어떠한 더미구조의 액정표시소자는 본 발명에 포함될 것이다.

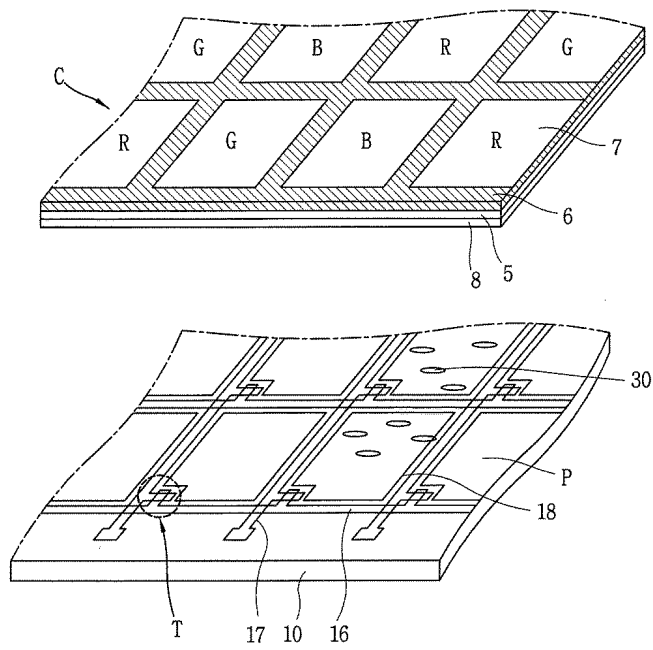
[0097] 따라서, 본 발명의 다른 예나 변형에는 본 발명의 기본적인 개념을 이용한 액정표시소자는 본 발명이 속하는 기술분야에 종사하는 사람이라면 누구나 용이하게 창안할 수 있을 것이다.

부호의 설명

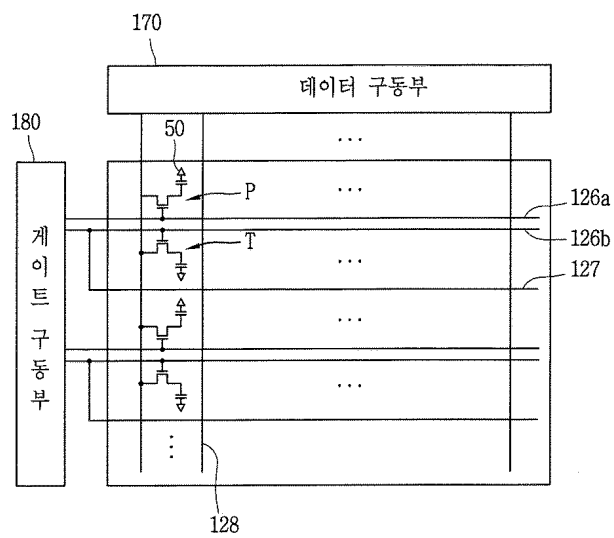
[0098]	110, 150 : 기판	116 : 공통라인
	117 : 화소전극라인	126a, 126b : 게이트라인
	127 : 더미게이트라인	128 : 데이터라인
	140 : 액정층	152 : 블랙매트릭스

도면

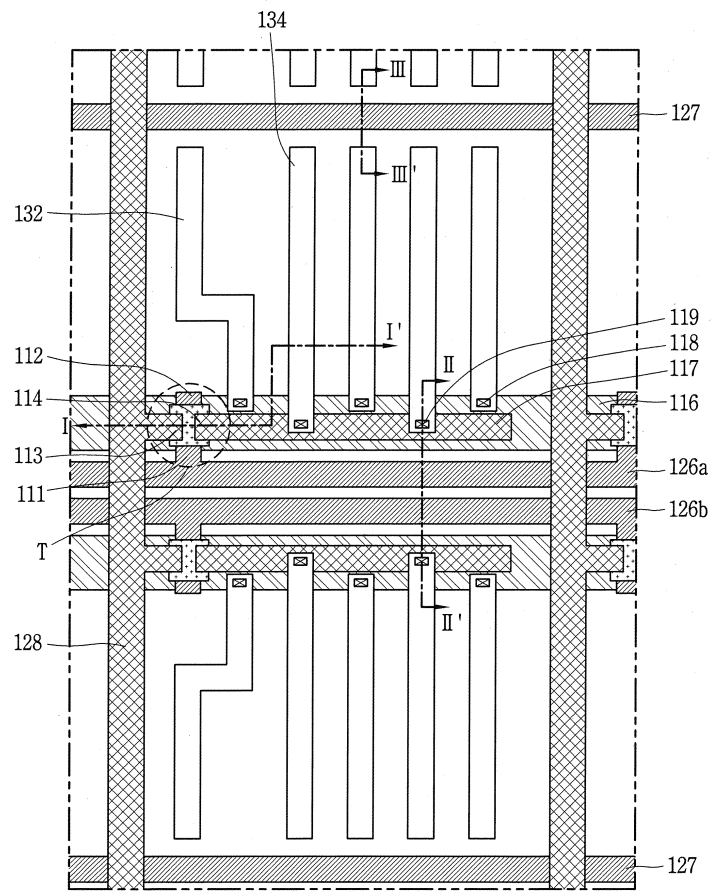
도면1



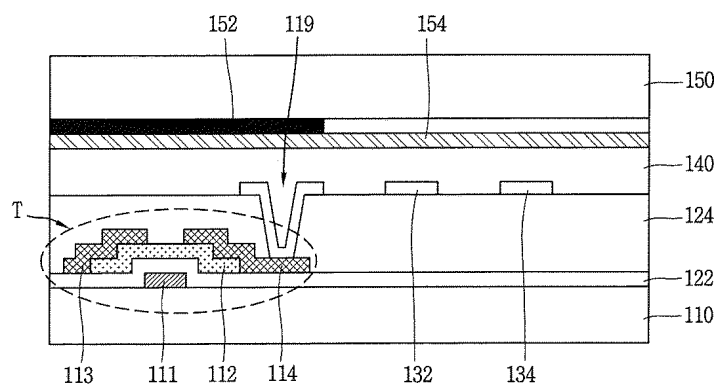
도면2



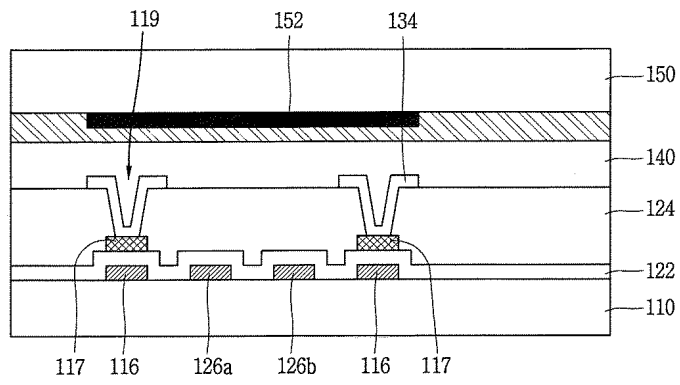
도면3



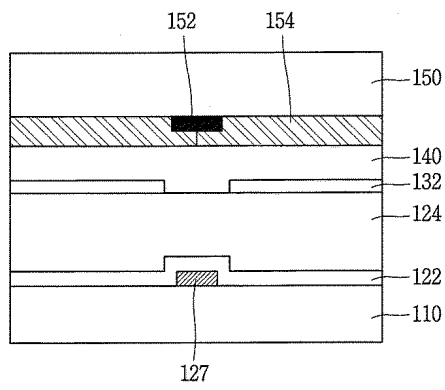
도면4a



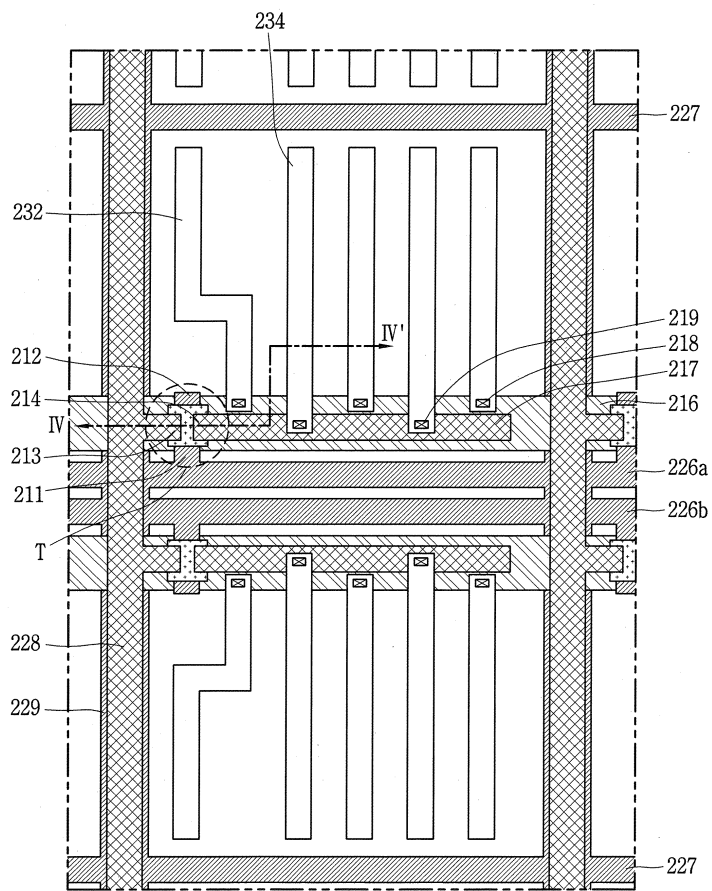
도면4b



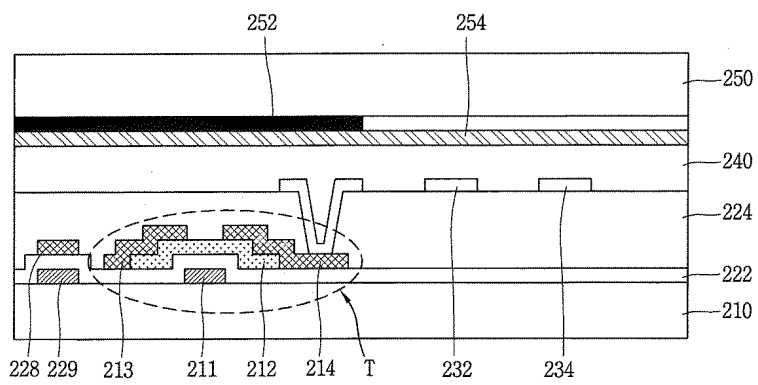
도면4c



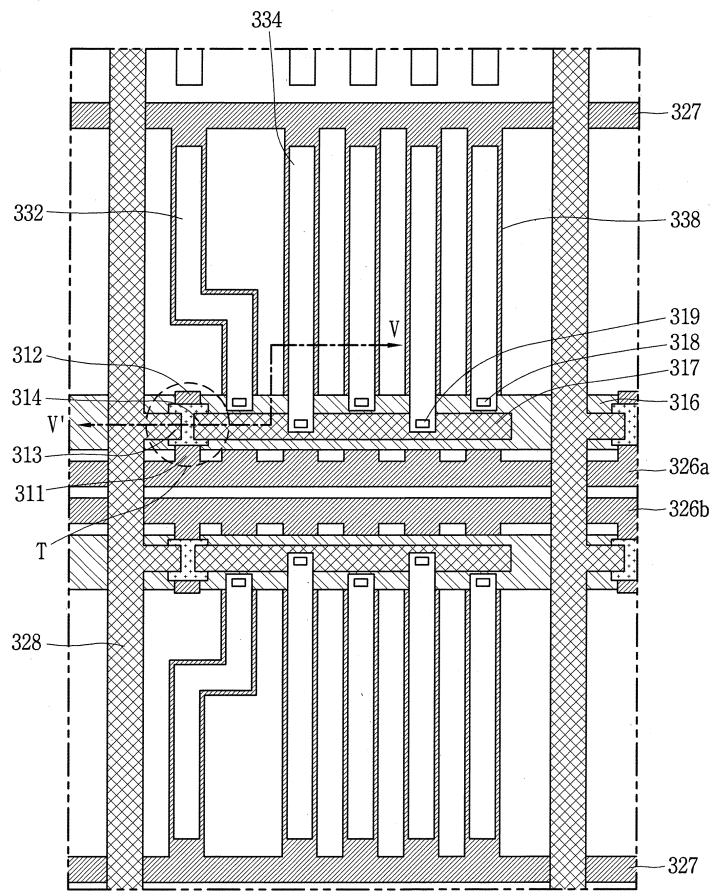
도면5



도면6



도면7



도면8

