



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월19일
(11) 등록번호 10-2291464
(24) 등록일자 2021년08월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2019.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/1339 (2019.01)
G02F 1/1343 (2013.01)
(21) 출원번호 10-2015-0062066
(22) 출원일자 2015년04월30일
심사청구일자 2020년04월29일
(65) 공개번호 10-2016-0130061
(43) 공개일자 2016년11월10일
(56) 선행기술조사문헌
JP2010286825 A*
KR1020050033293 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이상명
서울특별시 강서구 양천로14길 37, 102동 1405호
(방화동, 신안1단지아파트)
유승준
충청남도 천안시 서북구 변영로 306-15, 112동
801호 (백석동, 브라운스톤)
(74) 대리인
팬코리아특허법인
(뒷면에 계속)

전체 청구항 수 : 총 10 항

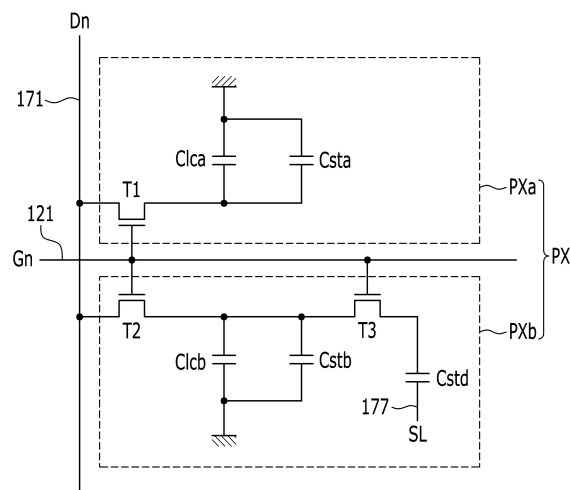
심사관 : 김민수

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는 영상을 표시하는 표시 영역, 상기 표시 영역을 둘러싸고 있는 비 표시 영역을 포함하는 표시 기관, 상기 표시 영역의 중앙 영역과 표시 영역의 주변 영역 중 모서리 영역에 형성되어 있는 복수개의 일반 화소, 상기 표시 영역의 주변 영역 중 코너 영역에 형성되어 있는 복수개의 코너 화소, 상기 비표시 영역에 형성되어 있는 실린트를 포함하고, 상기 코너 화소와 상기 실린트는 평면상 서로 이격되어 있을 수 있다.

대표도 - 도3



(52) CPC특허분류

G02F 1/1362 (2013.01)

(72) 발명자

서오성

서울특별시 성북구 보국문로16가길 56-11, 103동
1202호 (정릉동, 정릉동현대타운하우스)

정중권

경기도 용인시 수지구 광교마을로 2, 4307동 1801
호 (상현동, 광교경남아너스빌)

명세서

청구범위

청구항 1

영상을 표시하는 표시 영역, 상기 표시 영역을 둘러싸고 있는 비표시 영역을 포함하는 표시 기관,
상기 표시 영역의 중앙 영역과 표시 영역의 주변 영역 중 모서리 영역에 형성되어 있는 복수개의 일반 화소, 상기 표시 영역의 주변 영역 중 코너 영역에 형성되어 있는 복수개의 코너 화소,
상기 비표시 영역에 형성되어 있는 실런트
를 포함하고,
상기 실런트는 상기 코너 영역에 대응하는 위치에 형성되어 있는 코너 실런트, 상기 모서리 영역에 대응하는 위치에 형성되어 있는 모서리 실런트를 포함하고,
상기 코너 화소 전극은 상기 코너 실런트의 외곽선과 동일한 형상으로 형성되고,
상기 코너 실런트의 상기 외곽선은 라운드지게 형성되고,
상기 코너 화소와 상기 실런트는 평면상 서로 이격되어 있는 액정 표시 장치.

청구항 2

제1항에서,
상기 코너 화소와 상기 실런트는 서로 중첩되지 않는 액정 표시 장치.

청구항 3

제1항에서,
상기 코너 실런트는 상기 코너 화소의 외부 경계면과 평면상 서로 이격되어 있는 액정 표시 장치.

청구항 4

제1항에서,
상기 일반 화소는 일반 스위칭 소자, 상기 일반 스위칭 소자에 연결되어 있는 일반 화소 전극을 포함하고,
상기 코너 화소는 코너 스위칭 소자, 상기 코너 스위칭 소자에 연결되어 있는 코너 화소 전극을 포함하며,
상기 코너 화소 전극의 크기는 상기 일반 화소 전극의 크기와 서로 다른 액정 표시 장치.

청구항 5

제4항에서,
상기 코너 화소 전극의 크기는 상기 일반 화소 전극의 크기보다 크거나 작은 액정 표시 장치.

청구항 6

삭제

청구항 7

제5항에서,
상기 코너 화소 전극은 상기 코너 실런트와 중첩하고 있지 않는 액정 표시 장치.

청구항 8

제1항에서,
 상기 표시 기관의 비표시 영역 위에 형성되어 있는 하부 댐,
 상기 표시 기관과 마주하는 대향 기관,
 상기 대향 기관 위에 형성되어 있는 상부 댐
 을 더 포함하고,
 상기 하부 댐과 상기 상부 댐은 서로 대응하는 위치에 형성되어 있는 액정 표시 장치.

청구항 9

제8항에서,
 상기 하부 댐은 상기 실런트와 상기 코너 화소 사이에 형성되어 있는 액정 표시 장치.

청구항 10

제8항에서,
 상기 일반 화소 전극 및 코너 화소 전극 아래에 형성되어 있는 복수개의 색필터를 더 포함하고,
 상기 하부 댐은 상기 색필터와 동일한 층에 형성되어 있는 액정 표시 장치.

청구항 11

제8항에서,
 상기 대향 기관 위에 형성되어 있는 공통 전극,
 상기 공통 전극 위에 형성되어 있는 스페이서
 를 더 포함하고,
 상기 상부 댐은 상기 스페이서와 동일한 층에 형성되어 있는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지고, 전극에 전압을 인가하여 전계를 형성함으로써 액정층의 액정 분자들을 재배열시키고, 이를 통해 빛의 투과율을 조절하여 화상을 표시하는 장치이다.

[0003] 최근, 액정 표시 장치의 비표시 영역에 해당하는 베젤(bezel)의 면적을 최소화한 내로우 베젤(narrow bezel)의 표시 장치가 만들어지고 있다. 예를 들어, 0.5mm 정도의 매우 좁은 베젤을 가진 표시 장치가 개발되고 있다. 좁은 베젤에 실런트를 도포하는 경우 실런트 도포 장치의 한계 때문에 4개의 코너부에 실런트를 직각으로 형성하기 어려워 코너부에는 실런트가 곡선으로 형성된다. 따라서, 코너부에 위치하는 화소는 실런트와 중첩하게 되므로 화소 불량 발생하기 쉽다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 내로우 베젤 구조에서 코너부에 위치하는 화소의 불량을 제거할 수 있는 액정 표시 장치에 관한 것이다.

과제의 해결 수단

- [0005] 본 발명의 일 실시예에 따른 액정 표시 장치는 영상을 표시하는 표시 영역, 상기 표시 영역을 둘러싸고 있는 비 표시 영역을 포함하는 표시 기관, 상기 표시 영역의 중앙 영역과 표시 영역의 주변 영역 중 모서리 영역에 형성되어 있는 복수개의 일반 화소, 상기 표시 영역의 주변 영역 중 코너 영역에 형성되어 있는 복수개의 코너 화소, 상기 비표시 영역에 형성되어 있는 실린트를 포함하고, 상기 코너 화소와 상기 실린트는 평면상 서로 이격되어 있을 수 있다.
- [0006] 상기 코너 화소와 상기 실린트는 서로 중첩되지 않을 수 있다.
- [0007] 상기 실린트는 상기 코너 영역에 대응하는 위치에 형성되어 있는 코너 실린트, 상기 모서리 영역에 대응하는 위치에 형성되어 있는 모서리 실린트를 포함하고, 상기 코너 실린트는 상기 코너 화소의 외부 경계면과 평면상 서로 이격되어 있을 수 있다.
- [0008] 상기 일반 화소는 일반 스위칭 소자, 상기 일반 스위칭 소자에 연결되어 있는 일반 화소 전극을 포함하고, 상기 코너 화소는 코너 스위칭 소자, 상기 코너 스위칭 소자에 연결되어 있는 코너 화소 전극을 포함하며, 상기 코너 화소 전극의 크기는 상기 일반 화소 전극의 크기와 서로 다를 수 있다.
- [0009] 상기 코너 화소 전극의 크기는 상기 일반 화소 전극의 크기보다 크거나 작을 수 있다.
- [0010] 상기 코너 화소 전극은 상기 코너 실린트의 외곽선과 동일한 형상으로 형성되어 있을 수 있다.
- [0011] 상기 코너 화소 전극은 상기 코너 실린트와 중첩하고 있지 않을 수 있다.
- [0012] 상기 표시 기관의 비표시 영역 위에 형성되어 있는 하부 댐, 상기 표시 기관과 마주하는 대향 기관, 상기 대향 기관 위에 형성되어 있는 상부 댐을 더 포함하고, 상기 하부 댐과 상기 상부 댐은 서로 대응하는 위치에 형성되어 있을 수 있다.
- [0013] 상기 하부 댐은 상기 실린트와 상기 코너 화소 사이에 형성되어 있을 수 있다.
- [0014] 상기 일반 화소 전극 및 코너 화소 전극 아래에 형성되어 있는 복수개의 색필터를 더 포함하고, 상기 하부 댐은 상기 색필터와 동일한 층에 형성되어 있을 수 있다.
- [0015] 상기 대향 기관 위에 형성되어 있는 공통 전극, 상기 공통 전극 위에 형성되어 있는 스페이서를 더 포함하고, 상기 상부 댐은 상기 스페이서와 동일한 층에 형성되어 있을 수 있다.

발명의 효과

- [0016] 본 발명에 따르면, 코너 화소의 코너 화소 전극의 크기를 축소하거나 확장시킴으로써, 코너 화소 전극이 실린트와 중첩하지 않도록 하여 화소 불량을 방지할 수 있다. 따라서, 직각으로 실린트를 형성할 수 있는 실린트 도포 장치를 별도로 개발하지 않고도 코너부에 위치하는 화소의 불량을 제거할 수 있다.
- [0017] 또한, 코너 실린트가 라운드지게 형성되므로 액정 표시 장치의 코너부를 라운드지게 형성할 수 있으므로, 외부 충격에 의한 영향을 최소화할 수 있으며, 디자인 경쟁력을 강화시킬 수 있다.
- [0018] 또한, 실린트와 코너 화소가 중첩되지 않으므로, 실린트 도포 후 합착 시 실린트의 퍼지는 정도가 균일해진다. 따라서, 실린트와 코너 화소가 중첩되는 경우에 발생하는 실린트 퍼짐폭의 불균일을 방지할 수 있다.
- [0019] 또한, 실린트 내측에 서로 대응되는 위치에 하부 댐과 상부 댐으로 이루어진 댐을 형성함으로써, 하부 표시판과 상부 표시판의 합착 시 실린트가 표시 영역까지 퍼지는 것을 차단할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소의 등가 회로도이다.
- 도 4는 도 2의 A 부분의 확대 평면도이다.
- 도 5는 도 4의 B 부분의 확대 배치도이다.
- 도 6은 도 5의 제1 드레인 전극과 제2 드레인 전극의 확대 배치도이다.

도 7은 도 4의 일반 화소(PX1)의 확대 배치도이다.

도 8은 도 5의 VIII-VIII 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0022] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0023] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0024] 또한, 명세서 전체에서 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 발명이 없는 한 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, "~ 상에" 또는 "~ 위에"라 함은 대상 부분의 위 또는 아래에 위치하는 것을 의미하며, 반드시 중력 방향을 기준으로 상측에 위치하는 것을 의미하지 않는다. 그리고, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0025] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0026] 그러면 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 상세하게 설명한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 블록도이다.
- [0028] 도 1에 도시한 바와 같이, 액정 표시 장치는 신호 제어부(1100), 게이트 구동부(1200), 데이터 구동부(1300), 계조 전압 생성부(1400) 및 액정 표시판 조립체(liquid crystal panel assembly)(1500)를 포함한다.
- [0029] 액정 표시판 조립체(1500)는 복수개의 게이트선(S1~Sn), 복수개의 데이터선(D1~Dm) 및 복수개의 화소(PX)를 포함한다. 복수개의 화소(PX)는 복수개의 게이트선(S1~Sn) 및 복수개의 데이터선(D1~Dm)에 연결되어 대략 행렬의 형태로 배열된다. 복수개의 게이트선(S1~Sn)은 대략 행 방향으로 연장되어 서로가 거의 평행하다. 복수개의 데이터선(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다. 여기서는 복수개의 화소(PX)에 복수개의 게이트선(S1~Sn) 및 복수개의 데이터선(D1~Dm)만이 연결되어 있는 것으로 도시하였으나, 화소(PX)의 구조나 구동 방법 등에 따라 복수개의 화소(PX)에는 전원선, 분압 기준 전압선 등의 다양한 신호선들이 추가적으로 연결될 수 있을 것이다.
- [0030] 한편, 액정 표시판 조립체(1500)의 후면에는 액정 표시판 조립체(1500)에서 표시되는 영상의 휘도를 조절하는 백라이트(back light)(도시하지 않음)가 마련될 수 있다. 백라이트는 액정 표시판 조립체(1500)로 광을 방출한다.
- [0031] 신호 제어부(1100)는 영상 신호(R, G, B) 및 입력 제어 신호(DE, Hsync, Vsync, MCLK)를 수신한다. 영상 신호(R, G, B)는 복수개의 화소의 휘도(luminance) 정보를 담고 있다. 휘도는 정해진 수효, 예를 들어, $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호는 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭 신호(MCLK)를 포함한다.
- [0032] 신호 제어부(1100)는 영상 신호(R, G, B), 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭 신호(MCLK)에 따라 게이트 제어신호(CONT1), 데이터 제어신호(CONT2) 및 영상 데이터 신호(DAT)를 생성한다. 신호 제어부(1100)는 수직 동기 신호(Vsync)에 따라 프레임 단위로 영상 신호(R, G, B)를 구분하고, 수평 동기 신호(Hsync)에 따라 게이트선 단위로 영상 신호(R, G, B)를 구분하여 영상 데이터 신호

(DAT)를 생성한다.

- [0033] 신호 제어부(1100)는 영상 데이터 신호(DAT) 및 데이터 제어신호(CONT2)를 데이터 구동부(1300)에 제공한다. 데이터 제어신호(CONT2)는 데이터 구동부(1300)의 동작을 제어하는 신호로써, 영상 데이터 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH), 데이터선(D1~Dm)에 데이터 신호의 출력을 지시하는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어신호(CONT2)는 공통 전압(Vcom)에 대한 영상 데이터 신호(DAT)의 전압 극성을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- [0034] 신호 제어부(1100)는 게이트 제어신호(CONT1)를 게이트 구동부(1200)에 제공한다. 게이트 제어신호(CONT1)는 게이트 구동부(1200)에서의 주사 시작 신호(STV) 및 게이트 온 전압의 출력을 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어신호(CONT1)는 게이트 온 전압의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- [0035] 데이터 구동부(1300)는 액정 표시판 조립체(1500)의 데이터선(D1~Dm)에 연결되며, 계조 전압 생성부(1400)로부터의 계조 전압을 선택한다. 데이터 구동부(1300)는 선택한 계조 전압을 데이터 신호로서 데이터선(D1~Dm)에 인가한다. 계조 전압 생성부(1400)는 모든 계조에 대한 전압을 제공하지 않고 정해진 수의 기준 계조 전압만을 제공할 수 있다. 이때, 데이터 구동부(1300)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고, 이 중에서 데이터 신호를 선택할 수 있다.
- [0036] 게이트 구동부(1200)는 액정 표시판 조립체(1500)의 게이트선(S1~Sn)에 연결되어 있는 스위칭 소자(도2의 Qa, Qb, Qc)를 턴 온(turn on)시키는 게이트 온 전압과 턴 오프(turn off)시키는 게이트 오프 전압의 조합으로 이루어진 게이트 신호를 게이트선(S1~Sn)에 인가한다.
- [0037] 상술한 신호 제어부(1100), 게이트 구동부(1200), 데이터 구동부(1300) 및 계조 전압 생성부(1400) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(1500) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(미도시) 위에 장착되거나 TCP(tape carrier package)의 형태로 액정 표시판 조립체(1500)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(미도시) 위에 장착될 수 있다. 또는 신호 제어부(1100), 게이트 구동부(1200), 데이터 구동부(1300) 및 계조 전압 생성부(1400)는 신호선(S1~Sn, D1~Dm)과 함께 액정 표시판 조립체(1500)에 집적될 수도 있다.
- [0038] 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
- [0039] 도 2에 도시한 바와 같이, 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(1500), 액정 표시판 조립체(1500) 위에 장착되어 있는 집적 회로 칩(1000)을 포함한다. 집적 회로 칩(1000)은 신호 제어부(1100), 게이트 구동부(1200), 데이터 구동부(1300), 그리고 계조 전압 생성부(1400)에 해당한다.
- [0040] 액정 표시판 조립체(1500)는 서로 마주보고 있는 하부 표시판(100)과 상부 표시판(200), 그리고 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)(도 6에 도시함)을 포함한다. 상부 표시판(200)은 하부 표시판(100)에 대향하는 대향 표시판이라 할 수 있다. 이러한 하부 표시판(100)과 상부 표시판(200)은 실런트(sealant)(300)에 의해 함착되어 있다.
- [0041] 하부 표시판(100)은 평면 구조로 볼 때 복수개의 화소(PX)를 포함하는 표시 영역(DA)과, 표시 영역(DA) 외곽의 비표시 영역(NDA)을 포함한다. 도 2에서, 점선 사각형의 내부는 표시 영역(DA)이고 그 외부는 비표시 영역(NDA)을 나타낸다. 즉, 액정 표시판 조립체(1500)는 복수개의 화소(PX)에 의해 영상이 표시되는 표시 영역(DA)과 베젤(bezel)에 해당하는 비표시 영역(NDA)으로 구분될 수 있다.
- [0042] 표시 영역(DA)은 표시 영역(DA)의 중앙에 해당하는 중앙 영역(DA1), 표시 영역(DA)의 주변에 해당하는 주변 영역(DA2)을 포함한다. 주변 영역(DA2)은 주변 영역(DA2) 중 모서리에 해당하는 모서리 영역(DA21), 주변 영역(DA2) 중 코너에 해당하는 코너 영역(DA22)을 포함한다.
- [0043] 복수개의 화소(PX)는 중앙 영역(DA1)과 모서리 영역(DA21)에 형성되어 있는 복수개의 일반 화소(PX1), 코너 영역(DA22)에 형성되어 있는 복수개의 코너 화소(PX2)를 포함한다.
- [0044] 비표시 영역(NDA)은 제1 비표시 영역(NDA1)과 제2 비표시 영역(NDA2)을 포함할 수 있다. 제1 비표시 영역(NDA1)은 액정 표시판 조립체(1500)의 일측 변에 해당하는 영역으로 제2 비표시 영역(NDA2)에 비해 상대적으로 넓은 부분이다. 제1 비표시 영역(NDA1)에는 집적 회로 칩(1000)이 배치될 수 있다.
- [0045] 제2 비표시 영역(NDA2)은 제1 비표시 영역(NDA1)에 비해 상대적으로 좁은 부분으로, 내로우 베젤(narrow beze

1)에 해당한다. 제2 비표시 영역(NDA2)은 액정 표시판 조립체(1500)의 다른 3변에 해당하는 영역일 수 있다. 제2 비표시 영역(NDA2)의 폭은 대략 0.5mm 이하일 수 있다.

- [0046] 하부 표시판(100)의 4개의 코너부는 라운드지게 형성되어 있으며, 상부 표시판(200)의 4개의 코너부도 라운드지게 형성되어 있다.
- [0047] 비표시 영역(NDA)에는 실런트(300)가 형성되어 있다. 실런트(300)는 코너 영역(DA22)에 대응하는 위치에 형성되어 있는 코너 실런트(310), 모서리 영역(DA21)에 대응하는 위치에 형성되어 있는 모서리 실런트(320)를 포함한다. 코너 실런트(310)는 상부 표시판(200)의 4개의 코너부에 대응하는 위치에 라운드지게 형성되어 있다. 이와 같이, 코너 실런트(310)가 라운드지게 형성되므로 액정 표시 장치의 코너부를 라운드지게 형성할 수 있으므로, 외부 충격에 의한 영향을 최소화할 수 있으며, 디자인 경쟁력을 강화시킬 수 있다.
- [0048] 이하, 도 3, 도 4, 도 5, 도 6, 도 7 및 도 8을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에서 표시 영역(DA)에 배치되어 있는 화소(PX) 및 비표시 영역(NDA)에 배치되어 있는 실런트(300)의 구조에 대하여 상세하게 설명한다.
- [0049] 우선, 본 발명의 일 실시예에 따른 액정 표시 장치에서 표시 영역(DA)에 배치되어 있는 화소(PX)의 개략적인 구조 및 동작에 대해 도 3을 참고로 설명한다.
- [0050] 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소의 등가 회로도이다.
- [0051] 도 3에 도시한 바와 같이, 액정 표시 장치는 복수의 신호선(121, 171, 177)과 이에 연결되어 있는 복수개의 화소(PX)를 포함한다.
- [0052] 신호선(121, 171, 177)은 게이트 신호("주사 신호"라고도 함)(Gn)를 전달하는 게이트선(121), 데이터 전압(Dn)을 전달하는 데이터선(171), 그리고, 일정한 유지 전압(SL)이 인가되는 유지 전극선(177)을 포함한다.
- [0053] 동일한 게이트선(121) 및 동일한 데이터선(171)에 연결되어 있는 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)가 형성되어 있다. 또한, 제1 및 제2 박막 트랜지스터(T1, T2)와 동일한 게이트선(121)에 연결되어 있고, 제2 박막 트랜지스터(T2) 및 유지 전극선(177)에 연결되어 있는 제3 박막 트랜지스터(T3)가 더 형성되어 있다.
- [0054] 각 화소(PX)는 두 개의 부화소(PXa, PXb)를 포함하고, 제1 부화소(PXa)는 제1 박막 트랜지스터(T1), 제1 액정 축전기(C1ca), 그리고 제1 유지 축전기(Csta)를 포함한다. 제2 부화소(PXb)는 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제2 액정 축전기(C1cb), 제2 유지 축전기(Cstb), 그리고 감압 축전기(Cstd)를 포함한다.
- [0055] 제1 박막 트랜지스터(T1)의 제1 단자는 게이트선(121)에 연결되어 있고, 제2 단자는 데이터선(171)에 연결되어 있으며, 제3 단자는 제1 액정 축전기(C1ca)와 제1 유지 축전기(Csta)에 연결되어 있다. 제2 박막 트랜지스터(T2)의 제1 단자는 게이트선(121)에 연결되어 있고, 제2 단자는 데이터선(171)에 연결되어 있으며, 제3 단자는 제2 액정 축전기(C1cb)와 제2 유지 축전기(Cstb)에 연결되어 있다. 제3 박막 트랜지스터(T3)의 제1 단자는 게이트선(121)에 연결되어 있고, 제2 단자는 제2 박막 트랜지스터(T2)의 제3 단자에 연결되어 있으며, 제3 단자는 감압 축전기(Cstd)에 연결되어 있다. 감압 축전기(Cstd)는 제3 박막 트랜지스터(Qc)의 출력 단자와 유지 전극선(177)에 연결되어 있다.
- [0056] 이러한 화소(PX)의 동작에 대해 설명하면, 게이트선(121)에 게이트 온 전압이 인가되면 이에 연결된 제1, 제2, 및 제3 박막 트랜지스터(T1, T2, T3)는 턴 온 되고, 데이터선(171)을 통해 전달된 데이터 전압에 의해 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)가 충전된다.
- [0057] 이때, 제3 박막 트랜지스터(T3)가 턴 온 상태에 있으므로, 제2 액정 축전기(C1cb)에 충전된 전압의 일부가 유지 전극선(177)으로 빠져 나간다. 따라서, 데이터선(171)을 통해 제1 부화소(PXa) 및 제2 부화소(PXb)에 전달된 데이터 전압이 동일하더라도 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb)에 충전되는 전압은 서로 달라진다. 즉, 제2 액정 축전기(C1cb)에 충전되는 전압이 제1 액정 축전기(C1ca)에 충전되는 전압보다 낮아진다. 이로 인해 동일한 화소(PX) 내의 서로 다른 부화소(PXa, PXb)에 충전되는 전압을 달리하여 측면 시인성을 향상시킬 수 있다.
- [0058] 이하에서, 도 4, 도 5, 도 6, 도 7 및 도 8을 참고하여 일반 화소 및 코너 화소의 구체적인 구조 및 실런트의 구조에 대해 상세히 설명한다.
- [0059] 도 4는 도 2의 A 부분의 확대 평면도이고, 도 5는 도 4의 B 부분의 확대 배치도이며, 도 6은 도 5의 제1 트레인

전극과 제2 드레인 전극의 확대 배치도이고, 도 7은 도 4의 일반 화소(PX1)의 확대 배치도이며, 도 8은 도 5의 VIII-VIII 선을 따라 자른 단면도이다.

- [0060] 도 2 및 도 4에 도시한 바와 같이, 중앙 영역(DA1) 및 모서리 영역(DA21)에는 복수개의 일반 화소(PX1)가 형성되어 있고, 코너 영역(DA22)에는 복수개의 코너 화소(PX2)가 형성되어 있다. 도 4에는 하나의 코너 화소(PX2)만을 지시하고 있으나 이에 한정되는 것은 아니며, 코너 화소(PX2)는 코너 실린트(310)와 인접하고 있는 복수개의 화소가 모두 해당한다.
- [0061] 먼저, 하부 표시판(100)에 위치한 일반 화소(PX1)에 대하여 상세히 설명한다.
- [0062] 하부 표시판(100)에는 투명한 유리 또는 플라스틱 따위로 만들어진 표시 기관(110) 위에 게이트선(121), 제1 게이트 전극(124a), 제2 게이트 전극(124b), 및 제3 게이트 전극(124c)을 포함하는 게이트 금속층이 형성되어 있다.
- [0063] 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)은 게이트선(121)으로부터 확장된 부분이다. 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 서로 인접하여 있으며 평면 상에서 게이트선(121)으로부터 위쪽으로 돌출되어 있고, 제1 게이트 전극(124a)이 제2 게이트 전극(124b)보다 오른쪽에 위치할 수 있다. 제3 게이트 전극(124c)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)과 소정의 간격을 두고 서로 이격되어 있다. 제3 게이트 전극(124c)은 평면 상에서 게이트선(121)으로부터 위쪽으로 돌출되어 있다.
- [0064] 제1 게이트 전극(124a), 제2 게이트 전극(124b), 및 제3 게이트 전극(124c)은 동일한 게이트선(121)에 연결되어, 동일한 게이트 신호(Gn)를 인가 받는다.
- [0065] 제1 기관(110) 위에는 유지 전극(133)이 더 형성될 수 있다. 유지 전극(133)은 두 개의 부화소(PXa, PXb)의 가장자리를 둘러싸도록 형성될 수 있다. 서로 이웃한 화소(PX)에 위치하는 복수의 유지 전극(133)은 서로 연결되어 있다. 유지 전극(133)에는 공통 전압 등과 같은 일정한 전압이 인가된다.
- [0066] 게이트선(121), 제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c), 그리고 유지 전극(133) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 게이트 절연막(140)은 단일막 또는 다중막으로 이루어질 수 있다.
- [0067] 게이트 절연막(140) 위에는 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)가 형성되어 있다. 제1 반도체(154a)는 제1 게이트 전극(124a)의 위에 위치하고, 제2 반도체(154b)는 제2 게이트 전극(124b)의 위에 위치하며, 제3 반도체(154c)는 제3 게이트 전극(124c)의 위에 위치할 수 있다. 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)는 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 금속 산화물(metal oxide) 등으로 이루어질 수 있다.
- [0068] 도시는 생략하였으나, 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c) 위에는 각각 저항성 접촉 부재가 더 위치할 수 있다. 저항성 접촉 부재는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어질 수 있다.
- [0069] 제1, 제2, 및 제3 반도체(154a, 154b, 154c) 및 게이트 절연막(140) 위에는 유지 전극선(177), 데이터선(171), 제1 소스 전극(173a), 제1 드레인 전극(175a), 제2 소스 전극(173b), 제2 드레인 전극(175b), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)을 포함하는 데이터 금속층이 형성되어 있다.
- [0070] 도시된 바와 같이, 제1, 제2, 및 제3 반도체(154a, 154b, 154c)가 제1, 제2, 및 제3 게이트 전극(124a, 124b, 124c) 위에만 형성되어 있고, 제1 반도체(154a)와 제2 반도체(154b)는 서로 연결되어 있다. 다만, 본 발명은 이에 한정되지 않으며, 도 있고, 제1, 제2, 및 제3 반도체(154a, 154b, 154c)는 데이터선(171) 아래에도 형성될 수 있으며, 제1 반도체(154a)와 제2 반도체(154b)가 서로 분리될 수도 있다.
- [0071] 유지 전극선(177)은 일정한 전압을 전달하며, 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 유지 전극선(177)은 각 부화소(PXa, PXb)의 중앙에 세로 방향으로 형성될 수 있다. 유지 전극선(177)은 두 개의 부화소(PXa, PXb) 사이의 영역에서 가장자리로 우회하도록 형성되어 있다. 유지 전극선(177)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)과 중첩하지 않는다. 유지 전극선(177)에는 유지 전극(133)에 인가되는 전압과 동일한 전압이 인가될 수도 있고, 상이한 전압이 인가될 수도 있다. 예를 들면, 유지 전극선(177)에 인가되

는 전압과 유지 전극(133)에 인가되는 전압은 약 3V 가량 차이가 날 수도 있다.

- [0072] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 데이터선(171)은 유지 전극선(177)과 대략 나란한 방향으로, 유지 전극선(177)과 동일한 층에 형성되어 있다.
- [0073] 제1 소스 전극(173a)은 데이터선(171)으로부터 제1 게이트 전극(124a) 위로 돌출되어 형성되어 있다. 제1 소스 전극(173a)은 제1 게이트 전극(124a) 위에서 C자형으로 구부러진 형태를 가질 수 있다.
- [0074] 제1 드레인 전극(175a)은 제1 게이트 전극(124a) 위에서 제1 소스 전극(173a)과 이격되도록 형성되어 있다. 서로 이격되도록 형성된 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이로 노출된 부분의 제1 반도체(154a)에 채널이 형성되어 있다.
- [0075] 도 6에 도시한 바와 같이, 제1 드레인 전극(175a)은 제1 게이트 전극(124a)과 중첩하는 제1 막대부(176a), 제1 막대부(176a)로부터 연장되어 있는 제1 연장부(177a), 및 제1 연장부(177a)로부터 확장되어 있는 제1 확장부(178a)를 포함한다. 제1 막대부(176a)는 제1 소스 전극(173a)에 의해 둘러싸여 있다.
- [0076] 제2 소스 전극(173b)은 제1 소스 전극(173a)으로부터 제2 게이트 전극(124b) 위로 연장되어 형성되어 있다. 제2 소스 전극(173b)은 제2 게이트 전극(124b) 위에서 C자형으로 구부러진 형태를 가질 수 있다.
- [0077] 제2 드레인 전극(175b)은 제2 게이트 전극(124b) 위에서 제2 소스 전극(173b)과 이격되도록 형성되어 있다. 서로 이격되도록 형성된 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이로 노출된 부분의 제2 반도체(154b)에 채널이 형성되어 있다.
- [0078] 도 6에 도시한 바와 같이, 제2 드레인 전극(175b)은 제2 게이트 전극(124b)과 중첩하는 제2 막대부(176b), 제2 막대부(176b)로부터 연장되어 있는 제2 연장부(177b), 및 제2 연장부(177b)로부터 확장되어 있는 제2 확장부(178b)를 포함한다. 제2 막대부(176b)는 제2 소스 전극(173b)에 의해 둘러싸여 있다.
- [0079] 제3 소스 전극(173c)은 제2 드레인 전극(175b), 특히 제2 드레인 전극(175b)의 제2 확장부(178b)와 연결되어 있으며, 제3 게이트 전극(124c) 위에 위치한다. 제3 소스 전극(173c)은 막대형으로 이루어진다.
- [0080] 제3 드레인 전극(175c)은 제3 게이트 전극(124c) 위에서 제3 소스 전극(173c)과 이격되도록 형성되어 있다. 제3 드레인 전극(175c)은 제3 게이트 전극(124c) 위에서 C자형으로 구부러진 형태를 가질 수 있다. 서로 이격되도록 형성된 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이로 노출된 부분의 제3 반도체(154c)에 채널이 형성되어 있다.
- [0081] 상기에서 설명한 제1 게이트 전극(124a), 제1 반도체(154a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 박막 트랜지스터(T1)를 이룬다. 또한, 제2 게이트 전극(124b), 제2 반도체(154b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 박막 트랜지스터(T2)를 이룬다. 제3 게이트 전극(124c), 제3 반도체(154c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 박막 트랜지스터를 이룬다. 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)는 일반 스위칭 소자를 이룬다.
- [0082] 데이터선(171), 제1, 제2, 및 제3 소스 전극(173a, 173b, 173c), 제1, 제2, 및 제3 드레인 전극(175a, 175b, 175c) 위에는 이를 덮는 제1 보호막(180)이 형성되어 있다. 제1 보호막(180)은 무기 절연 물질로 이루어질 수 있다.
- [0083] 제1 보호막(180) 위에는 제2 보호막(230)이 형성되어 있다. 제2 보호막(230)은 유기 절연 물질로 이루어질 수 있으며, 특히 색필터(color filter)로 이루어질 수 있다. 색필터는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 또한, 색필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색필터로 이루어질 수도 있다.
- [0084] 제1 보호막(180) 및 제2 보호막(230)에는 제1 드레인 전극(175a)의 적어도 일부를 노출시키는 제1 접촉 구멍(185a)이 형성되어 있고, 제2 드레인 전극(175b)의 적어도 일부를 노출시키는 제2 접촉 구멍(185b)이 형성되어 있다. 제1 접촉 구멍(185a)은 제1 드레인 전극(175a)의 제1 확장부(178a)를 노출시킬 수 있다. 제2 접촉 구멍(185b)은 제2 드레인 전극(175b)의 제2 확장부(178b)를 노출시킬 수 있다.
- [0085] 도 7에 도시한 바와 같이, 제2 보호막(230) 위에는 일반 화소(PX1)의 일반 화소 전극(1911)이 형성되어 있으며, 일반 화소 전극(1911)은 제1 부화소 전극(191a)과 제2 부화소 전극(191b)을 포함한다.

- [0086] 제1 부화소 전극(191a)은 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)과 연결되어 있고, 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)과 연결되어 있다. 특히, 제1 부화소 전극(191a)은 제1 드레인 전극(175a)의 제1 확장부(178a)와 연결될 수 있고, 제2 부화소 전극(191b)은 제2 드레인 전극(175b)의 제2 확장부(178b)와 연결될 수 있다.
- [0087] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(173c)을 통해 분압되어, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작아지게 된다. 이는 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에 인가되는 데이터 전압이 정극성(+)인 경우이고, 이와 반대로, 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)에 인가되는 데이터 전압이 부극성(-)인 경우에는 제1 부화소 전극(191a)에 인가되는 전압이 제2 부화소 전극(191b)에 인가되는 전압보다 작아지게 된다.
- [0088] 제2 부화소 전극(191b)의 면적은 제1 부화소 전극(191a)의 면적 대비하여 1배 이상 2배 이하일 수 있다.
- [0089] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 열 방향으로 이웃하고, 전체적인 모양은 사각형이며 가로 줄기부(192a, 192b) 및 이와 교차하는 세로 줄기부(193a, 193b)로 이루어진 십자형 줄기부를 포함한다. 또한 가로 줄기부(192a, 192b)와 세로 줄기부(193a, 193b)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 미세 가지부(194a, 194b)를 포함한다.
- [0090] 네 개의 부영역에 위치하는 미세 가지부(194a, 194b) 중 하나는 가로 줄기부(192a, 192b) 또는 세로 줄기부(193a, 193b)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 다른 하나의 미세 가지부(194a, 194b)는 가로 줄기부(192a, 192b) 또는 세로 줄기부(193a, 193b)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 다른 하나의 미세 가지부(194a, 194b)는 가로 줄기부(192a, 192b) 또는 세로 줄기부(193a, 193b)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 나머지 하나의 미세 가지부(194a, 194b)는 가로 줄기부(192a, 192b) 또는 세로 줄기부(193a, 193b)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0091] 각 미세 가지부(194a, 194b)는 게이트선(121) 또는 가로 줄기부(192a, 192b)와 대략 40도 내지 45도의 각을 이룬다. 또한, 이웃하는 두 부영역의 미세 가지부(194a, 194b)는 서로 직교할 수 있다.
- [0092] 일반 화소 전극(1911) 위에는 제1 배향막(11)이 형성되어 있다.
- [0093] 이어, 대향 표시판(200)에 대하여 설명한다.
- [0094] 대향 표시판(200)에는 투명한 유리 또는 플라스틱 등으로 만들어진 대향 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220)는 게이트선(121), 데이터선(171), 제1, 제2, 및 제3 박막 트랜지스터, 제1 접촉 구멍(185a), 및 제2 접촉 구멍(185b)과 중첩할 수 있다.
- [0095] 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성될 수 있고, 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 또한, 공통 전극(270) 위에는 하부 표시판(100)과 상부 표시판(200) 간의 간격을 유지하기 위한 스페이서(spacer)(32)가 형성될 수 있다.
- [0096] 공통 전극(270) 및 스페이서(320) 위에는 이를 덮는 제2 배향막(21)이 형성되어 있다.
- [0097] 상기에서 차광 부재(220) 및 공통 전극(270)은 대향 표시판(200)에 형성되어 있는 것으로 설명하였으나 본 발명은 이에 한정되지 않는다. 차광 부재(220) 및 공통 전극(270)은 하부 표시판(100)에 형성될 수도 있다.
- [0098] 액정층(3)은 하부 표시판(100)과 상부 표시판(200) 사이에 위치한다. 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자들(31)로 이루어질 수 있으며, 액정 분자들(31)은 하부 표시판(100)에 대해 수직인 방향으로 서 있을 수 있다. 즉, 수직 배향이 이루어질 수 있다.
- [0099] 한편, 코너 영역(DA22)에 형성되어 있는 복수개의 코너 화소(PX2)와 코너 실런트(310)는 평면상 서로 중첩되지 않고, 서로 이격되어 있다. 즉, 코너 실런트(310)는 코너 화소(PX2)의 외부 경계면과 평면상 서로 이격되어 있다.
- [0100] 코너 화소(PX2)는 일반 화소의 구조와 대부분 동일하며, 단지 코너 화소 전극의 구조만이 일반 화소 전극의 구조와 구별되므로, 반복되는 설명은 생략한다.

- [0101] 코너 화소(PX2)의 코너 화소 전극(1912)은 일부가 절단되어 크기가 축소되거나, 일부가 연장되어 크기가 확장되어 있다. 즉, 코너 화소 전극(1912)의 크기는 일반 화소 전극(1911)의 크기와 서로 다르게 형성되어 있으며, 코너 화소 전극(1912)의 크기는 일반 화소 전극의 크기보다 크거나 작을 수 있다.
- [0102] 코너 화소 전극(1912)은 코너 실런트(310)의 외곽선과 동일한 형상으로 형성되어 있으며, 코너 화소 전극(1912)은 코너 실런트(310)와 중첩하고 있지 않다.
- [0103] 코너 화소 전극(1912)은 일반 화소 전극(1911)의 크기보다 작은 제1 코너 화소 전극(1912a), 일반 화소 전극(1912)의 크기보다 큰 제2 코너 화소 전극(1912b)을 포함한다.
- [0104] 제1 코너 화소 전극(1912a)은 제3 부화소 전극(191c)과 제4 부화소 전극(191d)을 포함한다. 제1 코너 화소 전극(1912a)의 제4 부화소 전극(191d)은 일반 화소 전극(1911)의 제2 부화소 전극(191b)보다 크기가 작게 형성되어 있다. 즉, 제1 코너 화소 전극(1912a)의 제4 부화소 전극(191d)은 코너 실런트(310)와 중첩하는 부분에서 절단되어 있으며, 결국 제1 코너 화소 전극(1912a)의 제4 부화소 전극(191d)은 코너 실런트(310)와 중첩하지 않게 된다.
- [0105] 제2 코너 화소 전극(1912b)은 제5 부화소 전극(191e)과 제6 부화소 전극(191f)을 포함한다. 제2 코너 화소 전극(1912b)의 제6 부화소 전극(191f)은 일반 화소 전극(1911)의 제2 부화소 전극(191b)보다 크기가 크게 형성되어 있다. 즉, 제2 코너 화소 전극(1912b)의 제6 부화소 전극(191f)은 코너 실런트(310)의 바로 앞까지 연장되어 있으며, 제2 코너 화소 전극(1912b)의 제6 부화소 전극(191f)은 코너 실런트(310)와 중첩하지 않고 있다.
- [0106] 이와 같이, 코너 화소의 코너 화소 전극의 크기를 축소하거나 확장시킴으로써, 코너 화소 전극이 실런트와 중첩하지 않도록 하여 화소 불량을 방지할 수 있다. 따라서, 직각으로 실런트를 형성할 수 있는 실런트 도포 장치를 별도로 개발하지 않고도 코너부에 위치하는 화소의 불량을 제거할 수 있다.
- [0107] 또한, 코너 실런트(310)가 라운드지게 형성되므로 액정 표시 장치의 코너부를 라운드지게 형성할 수 있으므로, 외부 충격에 의한 영향을 최소화할 수 있으며, 디자인 경쟁력을 강화시킬 수 있다.
- [0108] 또한, 실런트와 코너 화소가 중첩되지 않으므로, 실런트 도포 후 합착 시 실런트의 퍼지는 정도가 균일해진다. 따라서, 실런트와 코너 화소가 중첩되는 경우에 발생하는 실런트 퍼짐폭의 불균일을 방지할 수 있다.
- [0109] 이제, 제2 비표시 영역(NDA2)에서 하부 표시판(100) 및 상부 표시판(200)에 대하여 설명한다.
- [0110] 도 8에 도시한 바와 같이, 하부 표시판(100)에서, 표시 기관(110) 위에 게이트 절연막(140)이 형성되어 있다. 그리고, 게이트 절연막(140) 위에 코너 실런트(310) 및 하부 댐(331)이 형성되어 있다. 하부 댐(331)은 코너 실런트(310)와 코너 화소(PX2) 사이에 형성되어 있다. 이러한 하부 댐(331)은 제2 보호막(230)과 동일한 층에 형성되어 있으며, 제2 보호막(230)과 동일한 물질로 형성되어 있다.
- [0111] 상부 표시판(200)에서, 대향 기관(210) 위에 차광 부재(220)이 형성되어 있으며, 차광 부재(220) 위에 덮개막(250)이 형성되어 있으며, 덮개막(250) 위에 공통 전극(270)이 형성되어 있다. 그리고, 공통 전극(270) 위에 상부 댐(332)이 형성되어 있다. 상부 댐(332)은 하부 댐(331)과 서로 대응하는 위치에 형성되어 있다. 상부 댐(332)은 스페이서(SP)와 동일한 층에 형성되어 있으며, 스페이서(SP)와 동일한 물질로 형성되어 있다.
- [0112] 이러한 하부 댐(331)과 상부 댐(332)은 함께 댐(330)을 이루며, 하부 표시판(100)과 상부 표시판(200)의 합착 시 실런트(310)가 표시 영역까지 퍼지는 것을 차단할 수 있다.
- [0113] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

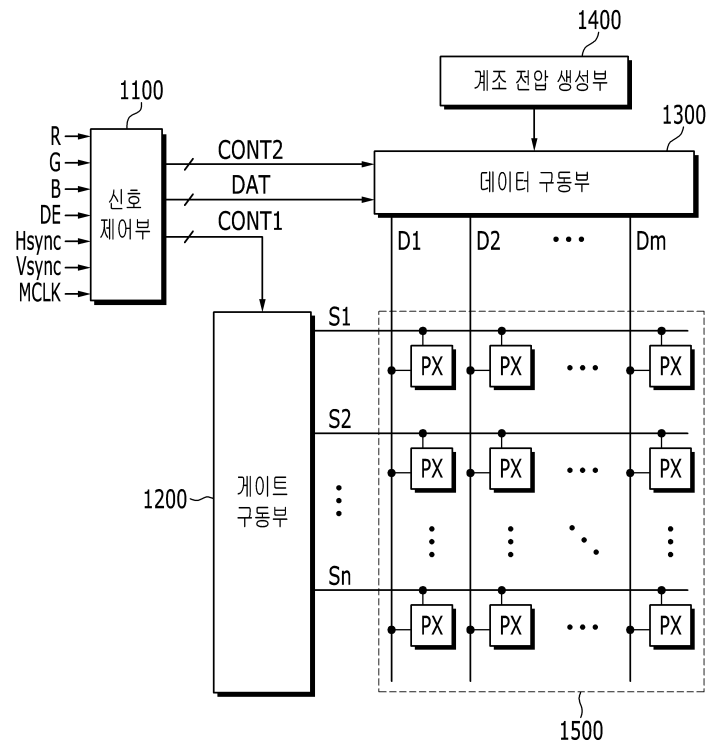
부호의 설명

- [0114]
- | | |
|-----------------|--------------------|
| 300: 실런트 | 310: 코너 실런트 |
| 320: 모서리 실런트 | 1911: 일반 화소 전극 |
| 1912: 코너 화소 전극 | 191a: 제1 부화소 전극 |
| 191b: 제2 부화소 전극 | 1912a: 제1 코너 화소 전극 |

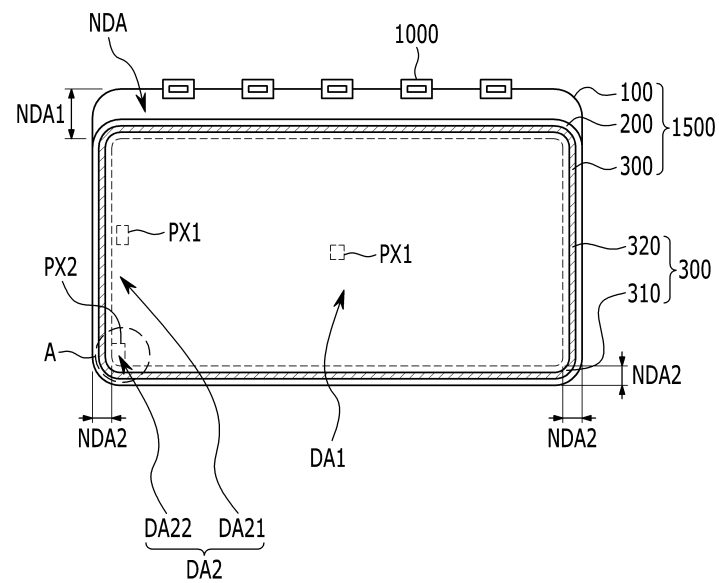
1912b: 제2 코너 화소 전극 191c: 제3 부화소 전극
 191d: 제4 부화소 전극 191e: 제5 부화소 전극
 191f: 제6 부화소 전극

도면

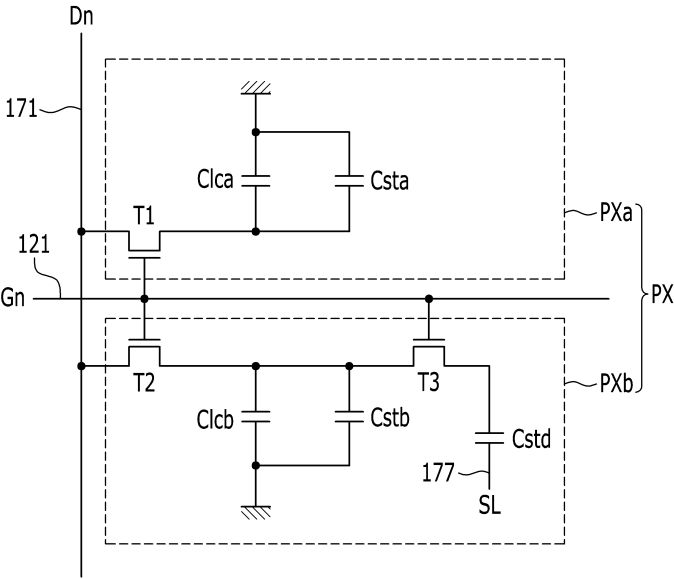
도면1



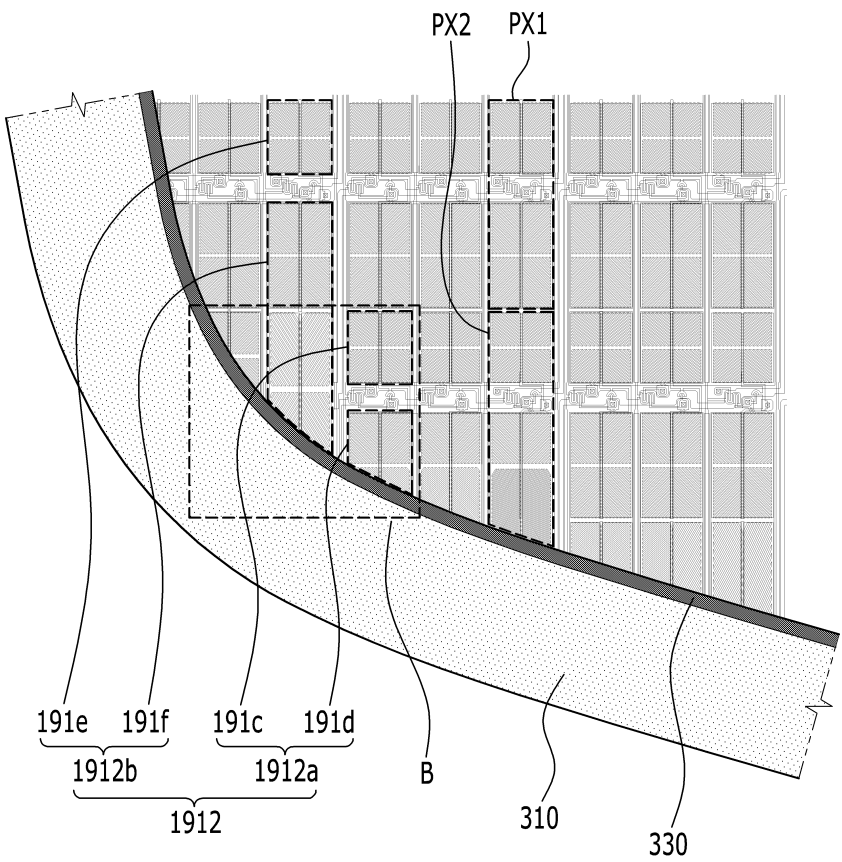
도면2



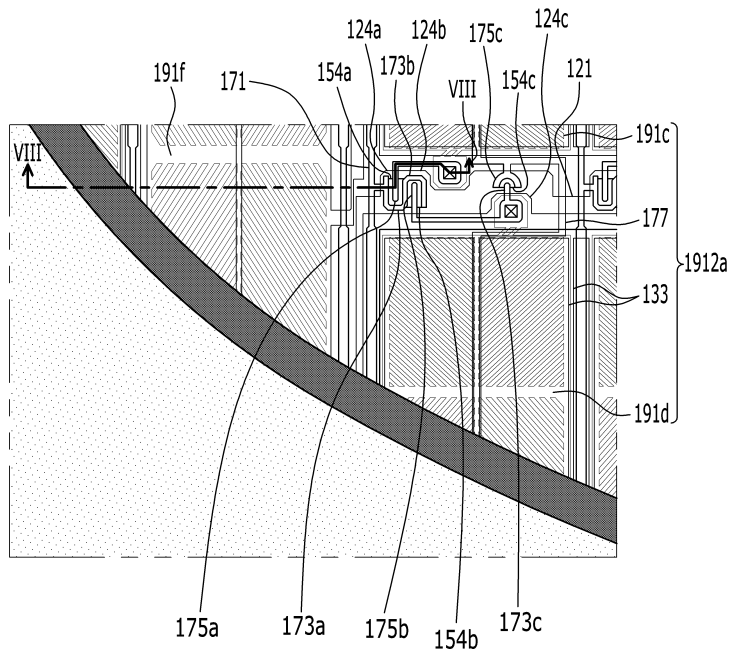
도면3



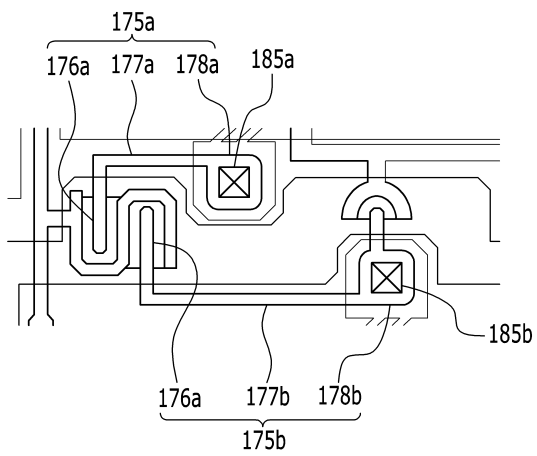
도면4



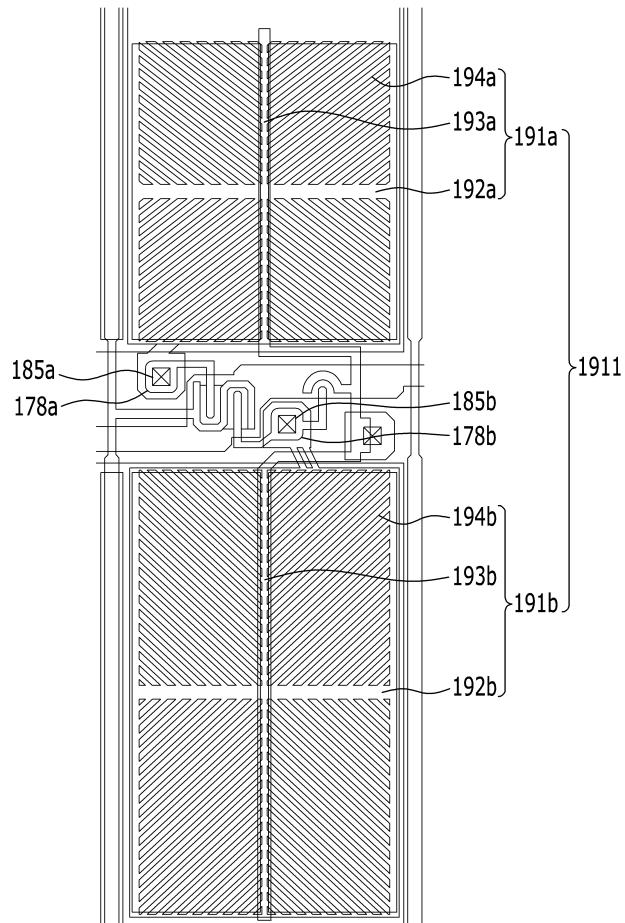
도면5



도면6



도면7



도면8

