



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월18일
(11) 등록번호 10-2290821
(24) 등록일자 2021년08월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1335 (2019.01)
(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 1/1333 (2013.01)
(21) 출원번호 10-2015-0075704
(22) 출원일자 2015년05월29일
심사청구일자 2020년04월08일
(65) 공개번호 10-2016-0141189
(43) 공개일자 2016년12월08일
(56) 선행기술조사문헌
KR1020070000547 A*
KR1020140141833 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김진호
경기도 파주시 한빛로 70 514동 1701호 (야당
동, 한빛마을5단지캐슬엔칸타빌아파트)
(74) 대리인
특허법인천문

전체 청구항 수 : 총 12 항

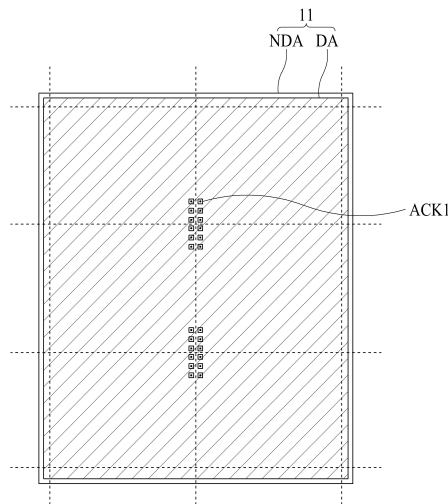
심사관 : 이우리

(54) 발명의 명칭 표시장치

(57) 요약

본 발명의 실시예는 컬러필터의 정렬 오차를 판단할 수 있는 정렬 확인 키(또는 "오버레이 키(overlay key)"라고도 칭함)를 표시영역에 형성함으로써 정렬 확인 키를 이용하여 컬러필터의 정렬 오차를 판단할 수 있는 표시장치에 관한 것이다. 본 발명의 실시예에 따른 표시장치는 하부 기판, 상부 기판, 및 상기 하부 기판과 상기 상부 기판 사이에 개재된 액정층을 구비한다. 상기 하부 기판에는 게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 접속된 트랜지스터들과 상기 트랜지스터들에 접속된 화소 전극들을 포함하는 화소들을 포함하는 표시영역과 상기 표시영역의 주변의 비표시영역이 마련된다. 상기 하부 기판의 표시영역에는 제1 정렬 확인 키가 마련된다.

대표도 - 도3a



(52) CPC특허분류
G02F 1/133514 (2021.01)

명세서

청구범위

청구항 1

게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 접속된 트랜지스터들과 상기 트랜지스터들에 접속된 화소 전극들을 포함하는 화소들을 포함하는 표시영역과 상기 표시영역의 주변의 비표시영역이 마련되는 하부 기판;

상기 하부 기판 상에 배치되는 상부 기판; 및

상기 하부 기판과 상기 상부 기판 사이에 개재된 액정층을 구비하고,

상기 화소들 각각은 화소 전극이 마련되는 개구 영역과 트랜지스터가 마련되는 비개구 영역을 포함하며,

상기 화소들 중 어느 한 화소의 상기 비개구 영역에는 제1 정렬 확인 키가 마련되며,

상기 제1 정렬 확인 키는 상기 비개구 영역에 구비된 복수의 컬러필터들에 의해 둘러싸인 노출 홀 및 상기 노출 홀 내에 마련되는 컬러필터 키를 포함하는, 표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 하부 기판에는 상기 개구 영역에 하나의 컬러필터가 마련되는 표시장치.

청구항 4

제 1 항에 있어서,

상기 복수의 컬러필터들은 적색 컬러필터와 청색 컬러필터를 포함하는 표시장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 하부 기판에는 상기 게이트 라인들과 나란하게 마련된 공통 라인이 마련되고,

상기 노출 홀은 상기 공통 라인 또는 상기 게이트 라인에 의해 둘러싸인 표시장치.

청구항 7

게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 접속된 트랜지스터들과 상기 트랜지스터들에 접속된 화소 전극들을 포함하는 화소들을 포함하는 표시영역과 상기 표시영역의 주변의 비표시영역이 마련되는 하부 기판;

상기 하부 기판 상에 배치되는 상부 기판; 및

상기 하부 기판과 상기 상부 기판 사이에 개재된 액정층을 구비하고,

상기 화소들 각각은 화소 전극이 마련되는 개구 영역과 트랜지스터가 마련되는 비개구 영역을 포함하며,

상기 상부 기판에는 상기 개구 영역에 컬러필터가 마련되고, 상기 비개구 영역에 블랙 매트릭스가 마련되며,

상기 상부 기관의 비개구 영역에는 제1 정렬 확인 키가 마련되며,

상기 제1 정렬 확인 키는 상기 블랙 매트릭스에 의해 둘러싸인 노출 홀 및 상기 노출 홀 내에 마련되는 컬러필터 키를 포함하는, 표시장치.

청구항 8

삭제

청구항 9

제 1 항 또는 제 7 항에 있어서,

상기 컬러필터 키는 상기 개구 영역에 마련된 컬러필터와 동일한 색인 표시장치.

청구항 10

제 1 항 또는 제 7 항에 있어서,

상기 제1 정렬 확인 키를 가리도록 상기 상부 기관에 마련되는 블랙 컬럼 스페이서를 더 포함하는 표시장치.

청구항 11

제 10 항에 있어서,

상기 화소들 중 또 다른 화소의 상기 비개구 영역에는 제2 정렬 확인 키가 마련되는 표시장치.

청구항 12

제 11 항에 있어서,

상기 제2 정렬 확인 키는 상기 블랙 컬럼 스페이서와 동일한 물질인 것인 표시장치.

청구항 13

제 12 항에 있어서,

상기 제2 정렬 확인 키의 두께는 상기 블랙 컬럼 스페이서의 두께보다 얇거나 동일한 표시장치.

청구항 14

제 1 항 또는 제 7 항에 있어서,

서로 인접한 화소 전극들 사이에는 복수의 게이트 라인들과 복수의 공통 라인들이 마련되며,

상기 제1 정렬 확인 키는 상기 복수의 게이트 라인들이 배치되는 영역에 형성되는 표시장치.

청구항 15

제 1 항 또는 제 7 항에 있어서,

상기 하부 기관에는 상기 화소들이 마련되는 표시 영역의 주변에 마련되는 비표시 영역에 복수의 제1 정렬 확인 키들이 마련되는 표시장치.

발명의 설명

기술 분야

본 발명의 실시예는 표시장치에 관한 것이다.

배경 기술

최근에 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 다양한 평판표시장치들(flat display

[0001]

[0002]

devices)이 개발되고 있다. 이러한 평판표시장치들로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 유기발광표시장치(Organic Light Emitting Display) 등이 있다.

- [0003] 또한, 최근에는 기술의 개발에 따라 100 인치 이상의 대화면 평판표시장치가 개발되고 있으며, 100 인치 이상의 대화면 평판표시장치에 대한 수요가 증가하고 있다. 100 인치 이상의 대화면 평판표시장치를 제조하기 위해서는 $2200 \times 2500\text{mm}$ 의 모기관(mother substrate, 또는 마더 기판, 원장 기판이라고도 칭함)을 통째로 이용해야 한다.
- [0004] $2200 \times 2500\text{mm}$ 의 모기관을 이용하여 제조할 수 있는 가장 큰 인치의 대화면 평판표시장치는 128 인치로 알려져 있다. 128 인치 대화면 평판표시장치는 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 모기관과 컬러필터 어레이가 형성된 컬러필터 모기관을 합착하여 제조할 수 있다.
- [0005] 도 1은 대화면 표시장치의 경우 컬러필터 어레이를 형성하기 위한 컬러필터 마스크와 컬러필터 모기관을 보여주는 일 예시도면이다. 도 1을 참조하면, 대화면 표시장치의 경우 컬러필터 어레이(CA)의 크기가 크기 때문에, 컬러필터 모기관(MS)을 복수의 영역들(A1~A20)로 분할하고, 컬러필터 마스크(CM)를 복수의 영역들(A1~A20) 각각으로 이동하면서 컬러필터를 형성한다. 컬러필터 마스크(CM)는 도 1과 같이 마스크잉 영역(MA), 패턴된 개구 영역(OA), 및 제2 얼라인 키(AK2)들을 포함한다.
- [0006] 대화면 표시장치의 경우 컬러필터 모기관(MS) 전체에 컬러필터 어레이(CA)를 형성하기 때문에, 더미 영역(DA)이 컬러필터 모기관(MS)의 테두리에만 존재한다. 더미 영역(DA)은 컬러필터 모기관(MS)에서 스크라이빙 라인(SL) 바깥쪽 영역이다. 박막 트랜지스터 모기관과 컬러필터 모기관은 서로 합착된 후 스크라이빙 라인(SL)을 따라 절단된다. 따라서, 더미 영역(DA)은 스크라이빙 공정 후에 버려지는 영역이다.
- [0007] 컬러필터는 컬러필터 마스크(CM)를 컬러필터 모기관(MS)상에 정렬한 후 포토리소그래피 공정을 수행함으로써 컬러필터 어레이(CA)에 형성될 수 있다. 구체적으로, 컬러필터 모기관(MS)과 컬러필터 마스크(CM)는 컬러필터 모기관(MS)에 형성된 제1 얼라인 키(AK1)들 각각을 컬러필터 마스크(CM)에 형성된 제2 얼라인 키(AK2)들 각각에 정렬함으로써 정렬될 수 있다. 제1 얼라인 키(AK1)들이 컬러필터 어레이(CA)에 형성되는 경우 컬러필터 어레이(CA)의 개구 영역이 감소될 수 있으므로, 컬러필터 어레이(CA)의 바깥쪽에 형성된다. 도 1에서는 설명의 편의를 위해 제1 얼라인 키(AK1)들의 일부만을 도시하였다.
- [0008] 컬러필터 모기관(MS)과 컬러필터 마스크(CM)를 올바르게 정렬하기 위해서는 대각선 방향의 제1 얼라인 키들과 제2 얼라인 키들을 이용하여 정렬하는 것이 바람직하다. 예를 들어, 도 1과 같이 컬러필터 어레이(CA)의 제6 영역(A6)에 컬러필터를 형성하는 경우, 제1 및 제2 얼라인 키들(AK1, AK2) 중에서 대각선 방향으로 위치하는 제1 얼라인 키(AK1_D)들과 제2 얼라인 키(AK2_D)들을 이용하여 컬러필터 모기관(MS)과 컬러필터 마스크(CM)를 정렬할 수 있다. 제7, 제14 및 제15 영역들(A6, A7, A14, A15)에 컬러필터들을 형성하는 경우에도 제1 및 제2 얼라인 키들(AK1, AK2) 중에서 대각선 방향으로 위치하는 제1 얼라인 키들과 제2 얼라인 키들을 이용하여 컬러필터 모기관(MS)과 컬러필터 마스크(CM)를 정렬할 수 있다.
- [0009] 하지만, 대화면 표시장치의 경우 더미 영역(DA)이 컬러필터 모기관(MS)의 테두리에만 존재하므로, 대각선 방향의 제1 얼라인 키들과 제2 얼라인 키들을 이용하여 정렬하지 못하고, 수직 방향의 제1 얼라인 키들과 제2 얼라인 키들만을 이용하여 정렬하는 경우가 발생할 수 있다. 예를 들어, 도 1과 같이 컬러필터 어레이(CA)의 제11 영역(A11)에 컬러필터들을 형성하는 경우, 제1 및 제2 얼라인 키들(AK1, AK2) 중에서 수직 방향(y축 방향)으로 위치하는 제1 얼라인 키(AK1_V)들과 제2 얼라인 키(AK2_V)들을 이용하여 컬러필터 모기관(MS)과 컬러필터 마스크(CM)를 정렬할 수 있다. 제1 내지 제5, 제8 내지 제10, 제12, 제13, 및 제16 내지 제20 영역들(A1~A5, A8~A10, A12, A13, A16~A20)에 컬러필터들을 형성하는 경우에도 제1 및 제2 얼라인 키들(AK1, AK2) 중에서 수직 방향(y축 방향)으로 위치하는 제1 얼라인 키들과 제2 얼라인 키들만을 이용하여 컬러필터 모기관(MS)과 컬러필터 마스크(CM)를 정렬할 수 있다.
- [0010] 결국, 대화면 표시장치의 경우 컬러필터 모기관(MS)과 컬러필터 마스크(CM)은 컬러필터 어레이(CA)의 영역에 따라 대각선 방향의 제1 얼라인 키들과 제2 얼라인 키들을 이용하여 정렬되거나 수직 방향(y축 방향)의 제1 얼라인 키들과 제2 얼라인 키들을 이용하여 정렬된다. 그러므로, 컬러필터들의 정렬 오차가 발생할 수 있으며, 이로 인해 컬러필터가 제대로 정렬되어 형성되었는지를 판단하기 위한 별도의 정렬 확인 키(alignment checking key, 또는 오버레이 키(overlay key)라고도 칭함)가 필요하다.

발명의 내용

해결하려는 과제

- [0011] 본 발명의 실시예는 컬러필터의 정렬 오차를 판단할 수 있는 정렬 확인 키를 표시영역에 형성함으로써 정렬 확인 키를 이용하여 컬러필터의 정렬 오차를 판단할 수 있는 표시장치를 제공한다.

과제의 해결 수단

- [0012] 본 발명의 실시예에 따른 표시장치는 하부 기판, 상부 기판, 및 상기 하부 기판과 상기 상부 기판 사이에 개재된 액정층을 구비한다. 상기 하부 기판에는 게이트 라인들, 데이터 라인들, 및 상기 게이트 라인들과 데이터 라인들에 접속된 트랜지스터들과 상기 트랜지스터들에 접속된 화소 전극들을 포함하는 화소들을 포함하는 표시영역과 상기 표시영역의 주변의 비표시영역이 마련된다. 상기 하부 기판의 표시영역에는 제1 정렬 확인 키가 마련된다.

발명의 효과

- [0013] 본 발명의 실시예는 표시영역에 컬러필터 키를 포함하는 제1 정렬 확인 키를 형성한다. 그 결과, 본 발명의 실시예는 대화면 표시장치에서도 제1 정렬 확인 키를 이용하여 표시영역에서 컬러필터들이 제대로 형성되었는지를 확인할 수 있다.
- [0014] 또한, 본 발명의 실시예는 화소의 비개구 영역에 제1 및 제2 정렬 확인 키들을 형성한다. 그 결과, 본 발명의 실시예는 제1 및 제2 정렬 확인 키들로 인한 개구 영역의 손실이 없으므로, 제1 및 제2 정렬 확인 키들을 표시영역에 형성함에도 개구 영역 손실에 따른 휘도 저하가 발생하지 않는다.
- [0015] 또한, 본 발명의 실시예는 화소 전극들 사이에 복수의 게이트 라인들과 복수의 공통 라인들을 배치한다. 이 경우, 본 발명의 실시예는 복수의 게이트 라인들과 복수의 공통 라인들이 형성된 영역에 제1 및 제2 정렬 확인 키들을 형성할 수 있으므로, 화소 전극들 사이에 하나의 게이트 라인을 배치하는 경우보다 개구 영역의 폭을 넓힐 수 있다.
- [0016] 나아가, 본 발명의 실시예는 제1 정렬 확인 키들을 비표시영역에 형성함으로써, 표시영역에서 노출 홀이 형성된 영역과 노출 홀이 형성되지 않은 영역 사이에서 러빙 포가 느끼는 마찰력의 차이를 줄일 수 있다. 따라서, 본 발명의 실시예는 표시영역에서 노출 홀이 형성된 영역과 노출 홀이 형성되지 않은 영역에서 배향 차이가 발생하는 것을 줄일 수 있으며, 그 결과 러빙 방향을 따라 소정의 라인이 시인되는 문제를 방지할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 대화면 표시장치의 경우 컬러필터 어레이를 형성하기 위한 컬러필터 마스크와 컬러필터 모기판을 보여주는 일 예시도면.
- 도 2는 본 발명의 실시예에 따른 표시장치를 보여주는 평면도.
- 도 3a 및 도 3b는 컬러필터가 박막 트랜지스터 기판에 형성되는 경우, 박막 트랜지스터 기판과 블랙 컬럼 스페이서 기판을 상세히 보여주는 평면도들.
- 도 4는 본 발명의 실시예에 따른 하부 기판의 표시 영역을 보여주는 예시도면.
- 도 5는 제1 및 제2 정렬 확인 키들이 마련되지 않은 화소의 제1 실시예를 보여주는 평면도.
- 도 6은 도 5의 I-I'와 II-II'의 단면도.
- 도 7은 제1 정렬 확인 키가 마련된 화소의 제1 실시예를 보여주는 평면도.
- 도 8는 도 7의 III-III'와 IV-IV'의 단면도.

도 9는 제2 정렬 확인 키가 마련된 화소의 제1 실시예를 보여주는 평면도.

도 10은 도 9의 V-V'와 VI-VI'의 단면도.

도 11은 본 발명의 또 다른 실시예에 따른 하부 기관의 표시 영역을 보여주는 예시도면.

도 12a 및 도 12b는 컬러필터가 컬러필터 기관에 형성되는 경우, 박막 트랜지스터 기관과 컬러필터 기관을 상세히 보여주는 평면도들.

도 13은 제1 및 제2 정렬 확인 키들이 마련되지 않은 화소의 제2 실시예를 보여주는 평면도.

도 14는 도 13의 VII-VII'와 VIII-VIII'의 단면도.

도 15는 제1 정렬 확인 키가 마련된 화소의 제2 실시예를 보여주는 평면도.

도 16은 도 15의 IX-IX'와 X-X'의 단면도.

도 17은 제2 정렬 확인 키가 마련된 화소의 제2 실시예를 보여주는 평면도.

도 18은 도 17의 i-i'와 ii-ii'의 단면도.

도 19a 및 도 19b는 컬러필터가 박막 트랜지스터 기관에 형성되는 경우, 박막 트랜지스터 기관과 블랙 컬럼 스페이서 기관을 상세히 보여주는 또 다른 평면도들.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0019] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0020] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0023] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0024] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0025] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0026] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

- [0027] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0029] 도 2는 본 발명의 실시예에 따른 표시장치를 보여주는 평면도이다. 본 발명의 실시예에 따른 표시장치는 액정 표시장치(Liquid Crystal Display)인 것을 중심으로 설명하였으나, 유기발광 표시장치(Organic Light Emitting Display), 전계 방출 표시장치(Field Emission Display), 또는 전기영동 표시장치(Electrophoresis display)로도 구현될 수 있다.
- [0030] 도 2를 참조하면, 본 발명의 실시예에 따른 표시장치는 표시패널(10), 게이트 구동부(20), 소스 드라이브 집적 회로(integrated circuit, 이하 "IC"라 칭함)(30), 연성필름(40), 회로보드(50), 및 타이밍 제어부(60)를 포함한다.
- [0031] 표시패널(10)은 하부 기관(11), 상부 기관(12), 하부 기관(11)과 상부 기관(12) 사이에 개재된 액정층을 포함한다. 하부 기관(11)은 박막 트랜지스터들이 마련되는 박막 트랜지스터 어레이 기관일 수 있다. 상부 기관(12)은 블랙 매트릭스와 컬러필터들이 마련되는 컬러필터 어레이 기관일 수 있다. 또는, 컬러필터들은 COT(colorfilter on tft array) 방식으로 하부 기관(11)에 형성될 수 있다. 도 3a 및 도 3b, 도 5 내지 도 11, 도 19a 및 도 19b에서는 컬러필터들이 COT 방식으로 하부 기관(11)에 형성된 것을 예시하였다. 도 12a 및 도 12b, 도 13 내지 도 18, 도 20a 및 도 20b에서는 상부 기관(12)이 컬러필터 어레이 기관인 것을 예시하였다.
- [0032] 표시패널(10)의 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 게이트 라인들과 데이터 라인들의 교차 영역들에 배치되는 화소들이 형성된다. 표시영역(DA)은 화소들로 인하여 화상을 표시할 수 있다.
- [0033] 표시영역(DA)의 화소들 각각은 박막 트랜지스터, 화소 전극, 및 스토리지 커패시터를 포함할 수 있다. 박막 트랜지스터는 게이트 라인의 게이트 신호에 응답하여 데이터 라인의 데이터 전압을 화소전극에 공급한다. 이로 인해, 화소들 각각은 화소 전극에 공급된 데이터 전압과 공통 전극에 공급된 공통 전압의 전위차에 의해 발생하는 전계에 의해 액정층의 액정을 구동하여 백라이트 유닛으로부터 입사되는 빛의 투과량을 조절할 수 있다. 공통 전극은 공통 라인으로부터 공통전압을 공급받는다. 또한, 스토리지 커패시터는 화소 전극과 공통 전극 사이에 마련되어 화소 전극과 공통 전극 간의 전압차를 일정하게 유지한다. 화소들에 대한 자세한 설명은 도 5 내지 도 11 및 도 13 내지 도 18을 결부하여 후술한다.
- [0034] 게이트 구동부(20)는 타이밍 제어부(60)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 도 2에서는 게이트 구동부(20)가 표시패널(10)의 표시영역(DA)의 일 측 바깥쪽에 GIP(gate driver in panel) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않는다. 즉, 게이트 구동부(20)는 표시패널(10)의 표시영역(DA)의 양 측 바깥쪽에 GIP 방식으로 형성될 수도 있고, 또는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(10)에 부착될 수도 있다.
- [0035] 소스 드라이브 IC(30)는 타이밍 제어부(60)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(30)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(30)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(40)에 실장될 수 있다.
- [0036] 하부 기관(11)의 크기는 상부 기관(12)의 크기보다 크며, 이로 인해 하부 기관(11)의 상면 일부는 노출된다. 하부 기관(11)의 노출된 상면 일부에는 데이터 패드들과 같은 패드들이 마련된다. 연성필름(40)에는 패드들과 소스 드라이브 IC(30)를 연결하는 배선들, 패드들과 회로보드(50)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(40)은 이방성 도전 필름(ant isotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(40)의 배선들이 연결될 수 있다.
- [0037] 회로보드(50)는 연성필름(40)들에 부착될 수 있다. 회로보드(50)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(50)에는 타이밍 제어부(60)가 실장될 수 있다. 회로보드(50)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0038] 타이밍 제어부(60)는 외부의 시스템 보드(미도시)로부터 디지털 비디오 데이터와 타이밍 신호를 입력받는다. 타이밍 제어부(60)는 타이밍 신호에 기초하여 게이트 구동부(20)의 동작 타이밍을 제어하기 위한 게이트 제어신

호와 소스 드라이브 IC(30)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(60)는 게이트 제어신호를 게이트 구동부에 공급하고, 소스 제어신호를 소스 드라이브 IC(30)들에 공급한다.

- [0039] 표시장치가 액정표시장치로 구현되는 경우, 표시장치는 백라이트 유닛을 더 포함한다. 백라이트 유닛은 표시패널(10)에 빛을 조사하기 위해 표시패널(10)의 아래에 배치될 수 있다. 백라이트 유닛은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.
- [0040] 도 3a 및 도 3b는 컬러필터가 하부 기판에 형성되는 경우, 박막 트랜지스터 기판과 블랙 컬럼 스페이서 기판을 상세히 보여주는 평면도들이다.
- [0041] 도 3a 및 도 3b에서는 하부 기판이 컬러필터들이 형성되는 박막 트랜지스터 기판이고, 상부 기판이 블랙 컬럼 스페이서 기판인 것을 예시하였다. 도 3a 및 도 3b에는 설명의 편의를 위해 표시영역(DA), 비표시영역(NDA), 제1 정렬 확인 키(ACK1)들, 및 제2 정렬 확인 키(ACK2)들만을 도시하였다.
- [0042] 도 3a 및 도 3b를 참조하면, 하부 기판(11)은 표시영역(DA)과 비표시영역(NDA)을 포함한다. 표시영역(DA)은 화소들이 형성되어 화상을 표시하는 영역이고, 비표시영역(NDA)은 표시영역(DA)의 주변 영역으로 화상을 표시하지 않는 영역이다.
- [0043] 하부 기판(11)의 표시영역(DA)에 제1 정렬 확인 키(ACK1)들이 형성된다. 제1 정렬 확인 키(ACK1)들은 컬러필터가 제대로 정렬되어 형성되었는지를 판단하기 위한 키들이다. 제1 정렬 확인 키(ACK1)들은 업계에서 오버레이 키(overlay key)라고 칭한다.
- [0044] 구체적으로, 제1 정렬 확인 키(ACK1)에 형성된 컬러필터 키(CFK)의 위치를 확인하여 컬러필터가 제대로 정렬되어 형성되었는지를 판단한다. 제1 정렬 확인 키(ACK1)는 도 4 및 도 11과 같이 공통 라인 또는 게이트 라인에 의해 형성된 노출 홀(EH)과 노출 홀(EH) 내에 형성되는 컬러필터 키(CFK)를 포함한다. 노출 홀(EH)은 도 4와 같이 공통 라인 또는 게이트 라인에 의해 둘러싸여 있을 수 있다. 컬러필터 키(CFK)는 컬러필터와 동일한 물질로 형성된다.
- [0045] 컬러필터의 정렬은 노출 홀(EH) 내에서 컬러필터 키(CFK)가 어디에 형성되었는지에 따라 판단할 수 있다. 예를 들어, 컬러필터 키(CFK)는 노출 홀(EH)의 중앙에 형성되도록 설계될 수 있으며, 광학 현미경과 같은 장비를 이용하여 컬러필터 키(CFK)가 노출 홀(EH)의 중앙으로부터 얼마나 벗어났는지를 판단함으로써 컬러필터가 제대로 정렬되었는지를 판단할 수 있다.
- [0046] 또한, 상부 기판(12)의 표시영역(DA)에 제2 정렬 확인 키(ACK2)들이 형성된다. 제2 정렬 확인 키(ACK2)들은 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단하기 위한 키들이다. 제2 정렬 확인 키(ACK2)들은 업계에서 TP 키(TP key)라고 칭한다.
- [0047] 구체적으로, 제2 정렬 확인 키(ACK2)들 간의 거리를 측정하여 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단한다. 제2 정렬 확인 키(ACK2)는 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단하기 위한 것이므로, 블랙 컬럼 스페이서와 동일한 물질로 형성된다. 도 4 및 도 11에서는 제2 정렬 확인 키(ACK2)가 "+" 형태로 형성된 것을 예시하였으나, 이에 한정되지 않는다.
- [0048] 한편, 발명의 배경이 되는 기술에서 살펴보았듯이 대화면 표시장치에서는 컬러필터의 정렬 오차 확인이 중요하다. 본 발명의 실시예는 하부 기판(11)의 표시영역(DA)에 컬러필터 키(CFK)를 포함하는 제1 정렬 확인 키(ACK1)를 형성한다. 그 결과, 본 발명의 실시예는 대화면 표시장치에서도 제1 정렬 확인 키(ACK1)를 이용하여 표시영역(DA)에서 컬러필터들이 제대로 형성되었는지를 확인할 수 있다.
- [0049] 도 4는 본 발명의 실시예에 따른 하부 기판의 표시 영역을 보여주는 예시도면이다. 도 4를 참조하면, 본 발명의 실시예에 따른 표시영역(DA)에는 게이트 라인들(GLn, GLn+1), 데이터 라인들(DLm~DLm+2), 공통 라인들(CLn, CLn+1), 및 박막 트랜지스터(T)와 화소 전극(PE)을 각각 포함하는 화소(P)들이 형성된다.
- [0050] *화소(P)들 각각은 개구 영역(OA)과 비개구 영역(NOА)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)이 형성되며, 비개구 영역(NOА)에는 박막 트랜지스터(T)가 형성된다.

- [0051] 게이트 라인들(GL_n , GL_{n+1})과 데이터 라인들($DL_m \sim DL_{m+2}$)은 서로 교차되게 형성된다. 게이트 라인들(GL_n , GL_{n+1})과 공통 라인들(CL_n , CL_{n+1})은 서로 나란하게 형성된다. 즉, 게이트 라인들(GL_n , GL_{n+1})과 공통 라인들(CL_n , CL_{n+1})은 수평 방향(x축 방향)으로 형성되고, 데이터 라인들($DL_m \sim DL_{m+2}$)은 수직 방향(y축 방향)으로 형성될 수 있다.
- [0052] 박막 트랜지스터(T)는 게이트 라인의 일부인 게이트 전극, 반도체층, 데이터 라인으로부터 연장된 소스 전극, 및 화소 전극(PE)에 접속된 드레인 전극을 포함한다. 박막 트랜지스터(T)는 게이트 라인에 게이트 신호가 공급되는 경우 턴-온되며, 이 경우 데이터 라인의 데이터 전압은 소스 전극, 반도체층, 드레인 전극을 경유하여 화소 전극(PE)에 공급될 수 있다.
- [0053] 화소 전극(PE)들 각각은 화소 전극의 아래에 배치된 게이트 라인(GL_n)에 접속된 박막 트랜지스터(T)의 드레인 전극에 접속된다. 따라서, 수직 방향(y축 방향)으로 화소 전극(PE), 제 n 공통 라인(CL_n), 제 n 게이트 라인(GL_n), 화소 전극(PE), 제 $n+1$ 공통 라인(CL_{n+1}), 및 제 $n+1$ 게이트 라인(GL_{n+1})이 순서대로 배치된다.
- [0054] 제1 및 제2 정렬 확인 키들(ACK1, ACK2)은 표시영역(DA)의 개구 영역(OA) 손실을 최소화하기 위해 비개구 영역(NOA)에 형성되는 것이 바람직하다. 이를 위해, 도 4와 같이 제1 정렬 확인 키(ACK1)는 비개구 영역(NOA)에서 게이트 라인(GL_n)과 공통 라인(CL_n)이 배치되는 영역에 형성될 수 있고, 제2 정렬 확인 키(ACK2)는 게이트 라인(GL_{n+1})이 배치되는 영역에 형성될 수 있다.
- [0055] 이 경우, 제1 정렬 확인 키(ACK1)는 도 4와 같이 공통 라인(CL_n)에 의해 둘러싸인 노출 홀(EH) 및 노출 홀(EH) 내에 형성된 컬러필터 키(CFK)를 포함할 수 있다. 제2 정렬 확인 키(ACK2)는 도 4와 같이 게이트 라인상에 형성될 수 있다.
- [0056] 한편, 공통 라인(CL_n)과 게이트 라인(GL_n)은 불투명물질이며 비개구 영역(NOA)의 대부분을 차지하므로, 제1 정렬 확인 키(ACK1)의 노출 홀(EH)은 공통 라인(CL_n) 또는 게이트 라인(GL_n)을 패터닝하여 노출시키는 것이 바람직하다. 따라서, 제1 정렬 확인 키(ACK1)의 노출 홀(EH)은 공통 라인(CL_n) 또는 게이트 라인(GL_n)에 의해 둘러싸이게 된다.
- [0057] 이상에서 살펴본 바와 같이, 제1 및 제2 정렬 확인 키들(ACK1, ACK2)은 표시영역(DA)의 개구 영역(OA) 손실을 최소화하기 위해 화소(P)의 비개구 영역(NOA)에 형성되는 것이 바람직하다. 이하에서는 도 5 내지 도 10을 결부하여 본 발명의 제1 실시 예에 따른 제1 및 제2 정렬 확인 키들(ACK1, ACK2)이 형성되지 않은 화소, 제1 정렬 확인 키(ACK1)가 형성된 화소, 제2 정렬 확인 키(ACK2)가 형성된 화소에 대하여 상세히 설명한다.
- [0058] 도 5는 제1 및 제2 정렬 확인 키들이 마련되지 않은 화소의 제1 실시예를 보여주는 평면도이다. 도 6은 도 5의 I-I'와 II-II'의 단면도이다.
- [0059] 도 5 및 도 6을 결부하여 제1 및 제2 정렬 확인 키들이 마련되지 않은 화소를 상세히 설명한다.
- [0060] 도 5 및 도 6에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기판(12)에 형성될 수 있다.
- [0061] 먼저, 도 5를 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)에는 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 및 블랙 컬럼 스페이서(BCS)가 형성된다.
- [0062] 개구 영역(OA)에는 하나의 컬러필터가 형성되고, 비개구 영역(OA)에는 복수의 컬러필터들이 형성된다. 하나의 컬러필터는 적색 컬러필터, 녹색 컬러필터, 및 청색 컬러필터 중 어느 하나일 수 있다. 본 발명의 실시예에서는 적색, 녹색 및 청색 컬러필터들을 포함하는 것을 예시하여 설명하였으나, 이에 한정되지 않는다. 복수의 컬러필터들은 비개구 영역(OA)을 가리도록 형성된다. 적색 컬러필터(RC)와 청색 컬러필터(BC)를 적층하는 경우 외부광의 대부분을 차단할 수 있으므로, 적색 컬러필터(RC)와 청색 컬러필터(BC)는 블랙 매트릭스와 같은 역할을 할 수 있다. 한편, 복수의 컬러필터들이 도 6과 같이 적색 컬러필터(RC)와 청색 컬러필터(BC)를 포함하는 것이 바람직하나, 이에 한정되지 않는다.
- [0063] 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차되도록 형성된다. 공통 라인(CL)은 게이트 라인(GL)과 개구 영

역(OA) 사이에서 게이트 라인(GL)과 나란하게 형성될 수 있다.

- [0064] 박막 트랜지스터(T)는 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 인접하게 형성될 수 있다. 박막 트랜지스터(T)는 게이트 라인(GL)의 일부인 게이트 전극(GE), 반도체층(SM), 데이터 라인(DL)으로부터 연장된 소스 전극(SE), 및 드레인 전극(DE)을 포함한다. 드레인 전극(DE)은 제1 콘택홀(CNT1)을 통해 화소 전극(PE)과 접속된다. 따라서, 게이트 라인(GL)에 게이트 신호가 인가되는 경우 데이터 라인(DL)의 데이터 전압은 화소 전극(PE)에 공급될 수 있다.
- [0065] 드레인 전극(DE)은 공통 라인(CL) 상에 형성될 수 있으며, 이로 인해 드레인 전극(DE) 및 드레인 전극(DE)과 중첩되는 공통 라인(CL)은 스토리지 커패시터(Cst)로 역할을 한다.
- [0066] 공통 라인(CL)은 제2 콘택홀(CNT2)을 통해 공통 전극(CE)과 접속된다. 화소 전극(PE)과 공통 전극(CE)은 개구 영역(OA)에서 슬릿 형태로 형성될 수 있다. 화소 전극(PE)의 슬릿(slp)들 사이에는 공통 전극(CE)의 슬릿(slc)이 형성될 수 있다. 화소 전극(PE)과 공통 전극(CE)은 동일한 평면 상에서 동일한 금속물질로 형성될 수 있다. 이로 인해, 화소 전극(PE)의 슬릿(slp)들과 공통 전극(CE)의 슬릿(slc)들 사이에는 수평 전계가 형성될 수 있다.
- [0067] 데이터 라인(DL)과 인접하게 형성된 화소 전극(PE)의 슬릿(slp)은 데이터 라인(DL)의 전압 변화에 의해 영향을 받을 수 있다. 데이터 라인(DL)의 전압 변화에 의해 화소 전극(PE)의 슬릿(slp)이 영향을 받는 것을 줄이기 위해 공통 라인(CL)으로부터 연장된 전계 차단층(EB)이 데이터 라인(DL)과 화소 전극(PE)의 슬릿(slp) 사이에 형성될 수 있다.
- [0068] 블랙 컬럼 스페이서(BCS)는 액정층(LC)의 셀 갭을 유지하기 위해 비개구 영역(NOA)에 형성될 수 있다. 도 5에서는 블랙 컬럼 스페이서(BCS)가 비개구 영역(NOA)의 게이트 라인(GL) 상에 형성된 것을 예시하였으나, 이에 한정되지 않는다. 블랙 컬럼 스페이서(BCS)는 컬럼 스페이서(BCS)의 역할 뿐만 아니라, 제1 정렬 확인 키(ACK1)를 가리기 위한 역할을 하므로, 광을 차단할 수 있는 물질로 구현되는 것이 바람직하다. 이에 대한 자세한 설명은 도 7 및 도 8을 결부하여 후술한다.
- [0069] 이하에서는 도 6을 결부하여 화소(P)의 비개구 영역(OA)의 단면을 상세히 설명한다.
- [0070] 하부 기판(11) 상에는 게이트 라인(GL), 게이트 전극(GE), 및 공통 라인(CL)을 포함하는 게이트 금속층이 형성된다. 게이트 금속층은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 및 크롬(Cr) 중 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [0071] 게이트 금속층상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiN_x)의 단일막으로 형성되거나 산화 실리콘(SiO_2)과 질화 실리콘(SiN_x)의 복합막으로 형성될 수 있다.
- [0072] 게이트 절연막(GI)상에는 반도체층(SM)이 형성된다. 반도체층(SM)은 게이트 전극(GE)과 중첩되게 형성된다. 반도체층(SM)상에는 반도체층(SM)의 일측에 접속되는 소스 전극(SE)과 타측에 접속되는 드레인 전극(DE)을 포함하는 소스/드레인 금속층이 형성된다. 소스/드레인 금속층은 몰리브덴(Mo) 및 몰리브덴 합금으로 형성될 수 있다.
- [0073] 반도체층(SM), 소스 전극(SE), 및 드레인 전극(DE)상에는 보호막(PAS)이 형성된다. 컬러필터가 하부 기판(11)에 형성되는 경우, 컬러필터가 보호막(PAS)상에 형성될 수 있다. 개구 영역(OA)에는 하나의 컬러필터가 형성되는데 비해, 비개구 영역(NOA)에는 복수의 컬러필터들이 형성된다. 예를 들어, 도 6과 같이 비개구 영역(NOA)에는 보호막(PAS)상에 적색 컬러필터(RC)가 형성되고, 적색 컬러필터(RC)상에 청색 컬러필터(BC)가 형성될 수 있다. 복수의 컬러필터들(RC, BC)상에는 포토 아크릴(photo acryl, PAC)이 형성될 수 있다.
- [0074] 포토 아크릴(PAC)상에는 화소 전극(PE)과 공통 전극(CE)이 형성될 수 있다. 보호막(PAS), 복수의 컬러필터들(RC, BC), 및 포토 아크릴(PAC)을 관통하여 드레인 전극(DE)을 노출시키는 제1 콘택홀(CNT1)이 형성될 수 있다. 화소 전극(PE)은 제1 콘택홀(CNT1)을 통해 드레인 전극(DE)과 접속될 수 있다. 게이트 절연막(GI), 보호막(PAS), 복수의 컬러필터들(RC, BC), 및 포토 아크릴(PAC)을 관통하여 공통 라인(CL)을 노출시키는 제2 콘택홀(CNT2)이 형성될 수 있다. 공통 전극(CE)은 제2 콘택홀(CNT2)을 통해 공통 라인(CL)과 접속될 수 있다.
- [0075] 포토 아크릴(PAC), 화소 전극(PE), 및 공통 전극(CE) 상에는 배향막인 폴리이미드막(PI)이 형성된다.
- [0076] 상부 기판(12)상에는 블랙 컬럼 스페이서(BCS)가 형성된다. 블랙 컬럼 스페이서(BCS)는 비개구영역(NOA)에 형성될 수 있다. 상부 기판(12)과 블랙 컬럼 스페이서(BCS)상에는 배향막인 폴리이미드막(PI)이 형성된다. 하부

기관(11)의 폴리이미드막(PI)과 상부 기관(12)의 폴리이미드막(PI) 사이에는 액정층(LC)이 개재된다.

- [0077] 도 7은 제1 정렬 확인 키가 마련된 화소의 제1 실시예를 보여주는 평면도이다. 도 8은 도 7의 III-III'와 IV-IV'의 단면도이다.
- [0078] 도 7 및 도 8을 결부하여 제1 정렬 확인 키(ACK1)가 마련된 화소(P)를 상세히 설명한다.
- [0079] 도 7 및 도 8에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기관(12)에 형성될 수 있다.
- [0080] 먼저, 도 7을 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)에는 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 블랙 컬럼 스페이서(BCS), 및 제1 정렬 확인 키(ACK1)가 형성된다.
- [0081] 박막 트랜지스터(T), 스토리지 커패시터(Cst), 화소 전극(PE), 공통 전극(CE), 및 전계 차단층(EB)은 도 5를 결부하여 설명한 바와 실질적으로 동일하므로, 이들에 대한 자세한 설명은 생략한다.
- [0082] 개구 영역(OA)에는 하나의 컬러필터가 형성되고, 비개구 영역(OA)에는 복수의 컬러필터들이 형성된다. 하나의 컬러필터는 적색 컬러필터, 녹색 컬러필터, 및 청색 컬러필터 중 어느 하나일 수 있다. 복수의 컬러필터들은 비개구 영역(OA)을 가리도록 형성된다. 적색 컬러필터(RC)와 청색 컬러필터(BC)를 적층하는 경우 외부광의 대부분을 차단할 수 있으므로, 복수의 컬러필터들은 도 8과 같이 적색 컬러필터(RC)와 청색 컬러필터(BC)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0083] 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차되도록 형성된다. 공통 라인(CL)은 게이트 라인(GL)과 개구 영역(OA) 사이에서 게이트 라인(GL)과 나란하게 형성될 수 있다.
- [0084] 제1 정렬 확인 키(ACK1)는 비개구 영역(NOA)에 형성된다. 제1 정렬 확인 키(ACK1)는 복수의 컬러필터들(RC, BC) 및 공통 라인(CL)과 같은 불투명 물질로 둘러싸여 투명하게 노출되는 노출 홀(EH)과 노출 홀(EH) 내에 형성되는 컬러필터 키(CFK)를 포함한다. 도 7 및 도 8에서는 노출 홀(EH)이 복수의 컬러필터들(RC, BC) 및 공통 라인(CL)에 둘러싸인 홀인 것을 예시하였으나, 이에 한정되지 않는다. 즉, 노출 홀(EH)은 복수의 컬러필터들(RC, BC) 및 게이트 라인(GL)에 둘러싸인 홀 일 수 있다.
- [0085] 또한, 제1 정렬 확인 키(ACK1)를 이용하여 컬러필터의 정렬 오차를 확인하기 위해서 제1 정렬 확인 키(ACK1)는 $130\mu\text{m} \times 130\mu\text{m}$ 이상의 크기로 형성되고, 비개구 영역(NOA)보다 작은 크기로 형성되는 것이 바람직하다. 이는 제1 정렬 확인 키(ACK1)가 $130\mu\text{m} \times 130\mu\text{m}$ 보다 작은 경우 컬러필터가 제대로 정렬되었는지 확인이 어려우며, 비개구 영역(NOA)보다 큰 크기로 형성되는 경우 개구 영역(OA)에 손실이 발생하기 때문이다.
- [0086] 노출 홀(EH)은 광을 투과시킬 수 있으므로, 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)의 노출 홀(EH)을 가리도록 제1 정렬 확인 키(ACK1)상에 형성될 수 있다. 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)를 가려야 하므로, 제1 정렬 확인 키(ACK1)보다 넓은 면적으로 형성되는 것이 바람직하다.
- [0087] 이하에서는 도 8을 결부하여 화소(P)의 비개구 영역(OA)의 단면을 상세히 설명한다. 도 8의 III-III' 단면도는 도 6의 I-I' 단면도와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략하고, IV-IV'의 단면도 위주로 설명한다.
- [0088] 하부 기관(11) 상에는 게이트 라인(GL), 게이트 전극(GE), 및 공통 라인(CL)을 포함하는 게이트 금속층이 형성된다. 게이트 금속층은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 및 크롬(Cr) 중 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [0089] 게이트 금속층상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiN_x)의 단일막으로 형성되거나 산화 실리콘(SiO_2)과 질화 실리콘(SiN_x)의 복합막으로 형성될 수 있다.
- [0090] 게이트 절연막(GI)상에는 보호막(PAS)이 형성된다. 컬러필터가 하부 기관(11)에 형성되는 경우, 컬러필터가 보호막(PAS)상에 형성될 수 있다. 개구 영역(OA)에는 하나의 컬러필터가 형성되는데 비해, 비개구 영역(NOA)에는

복수의 컬러필터들이 형성된다. 예를 들어, 도 8과 같이 비개구 영역(NOA)에는 보호막(PAS)상에 적색 컬러필터(RC)가 형성되고, 적색 컬러필터(RC)상에 청색 컬러필터(BC)가 형성될 수 있다.

- [0091] 비개구 영역(NOA)에서 공통 라인(CL)과 복수의 컬러필터들이 형성되지 않은 노출 홀(EH)의 보호막(PAS)상에는 컬러필터 키(CFK)가 형성된다. 노출 홀(EH)은 공통 라인(CL)과 복수의 컬러필터들에 의해 둘러싸여 있다. 노출 홀(EH)은 게이트 라인(GL)과 복수의 컬러필터들에 의해 둘러싸이도록 설계될 수도 있다.
- [0092] 컬러필터 키(CFK)는 개구 영역(OA)에 형성된 컬러필터와 동일한 색으로 형성된다. 컬러필터 키(CFK)를 개구 영역(OA)에 형성된 컬러필터와 동일한 색으로 형성함으로써, 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터 각각의 정렬 오차를 판단할 수 있다.
- [0093] 복수의 컬러필터들(RC, BC)과 컬러필터 키(CFK)상에는 포토 아크릴(photo acryl, PAC)이 형성될 수 있다. 포토 아크릴(PAC)상에는 화소 전극(PE)과 공통 전극(CE)이 형성될 수 있다. 포토 아크릴(PAC)상에는 배향막인 폴리이미드막(PI)이 형성된다.
- [0094] 상부 기판(12)상에는 블랙 컬럼 스페이서(BCS)가 형성된다. 노출 홀(EH)은 광을 투과시킬 수 있으므로, 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)의 노출 홀(EH)을 가리도록 제1 정렬 확인 키(ACK1)상에 형성될 수 있다. 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)를 가려야 하므로, 제1 정렬 확인 키(ACK1)보다 넓은 면적으로 형성되는 것이 바람직하다.
- [0095] 상부 기판(12)과 블랙 컬럼 스페이서(BCS)상에는 배향막인 폴리이미드막(PI)이 형성된다. 하부 기판(11)의 폴리이미드막(PI)과 상부 기판(12)의 폴리이미드막(PI) 사이에는 액정층(LC)이 개재된다.
- [0096] 이상에서 살펴본 바와 같이, 본 발명의 제1 실시예는 화소(P)의 비개구 영역(NOA)에 제1 정렬 확인 키(ACK1)를 형성한다. 그 결과, 본 발명의 제1 실시예는 제1 정렬 확인 키(ACK1)로 인한 개구 영역(OA)의 손실이 없으므로, 제1 정렬 확인 키(ACK1)를 표시영역(DA)에 형성함에도 개구 영역(OA) 손실에 따른 휘도 저하가 발생하지 않는다.
- [0097] 도 9는 제2 정렬 확인 키가 마련된 화소의 제1 실시예를 보여주는 평면도이다. 도 10은 도 9의 V-V'와 VI-VI'의 단면도이다.
- [0098] 도 9 및 도 10을 결부하여 제2 정렬 확인 키(ACK2)가 마련된 화소(P)를 상세히 설명한다.
- [0099] 도 9 및 도 10에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기판(12)에 형성될 수 있다.
- [0100] 먼저, 도 9를 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)은 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 및 제2 정렬 확인 키(ACK2)가 형성된다.
- [0101] 도 9 및 도 10에 도시된 화소 전극(PE), 공통 전극(CE), 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL) 및 공통 라인(CL)은 도 5 및 도 6을 결부하여 설명한 바와 실질적으로 동일하므로, 이들에 대한 자세한 설명은 생략한다.
- [0102] 제2 정렬 확인 키(ACK2)가 마련된 화소(P)에는 블랙 컬럼 스페이서(BCS) 대신에 제2 정렬 확인 키(ACK2)가 형성된다. 제2 정렬 확인 키(ACK2)는 비개구 영역(NOA)에 형성된다. 제2 정렬 확인 키(ACK2)가 "+" 형태로 형성된 것을 예시하였으나, 이에 한정되지 않는다.
- [0103] 제2 정렬 확인 키(ACK2)는 블랙 컬럼 스페이서(BCS)들이 제대로 정렬되어 형성되었는지를 판단하기 위한 것이므로, 블랙 컬럼 스페이서(BCS)와 동일한 물질로 형성된다. 제2 정렬 확인 키(ACK2)는 TP 키로 역할을 하기 위한 것이므로, 블랙 컬럼 스페이서(BCS)와 동일한 두께로 형성될 필요가 없다. 예를 들어, 제2 정렬 확인 키(ACK2)의 두께는 블랙 컬럼 스페이서(BCS)의 두께보다 얇거나 동일하게 형성될 수 있다.
- [0104] 이상에서 살펴본 바와 같이, 본 발명의 제1 실시예는 화소(P)의 비개구 영역(NOA)에 제2 정렬 확인 키(ACK2)를 형성한다. 그 결과, 본 발명의 제2 실시예는 제2 정렬 확인 키(ACK2)로 인한 개구 영역(OA)의 손실이

없으므로, 제2 정렬 확인 키(ACK2)를 표시영역(DA)에 형성함에도 개구 영역(OA) 손실에 따른 휘도 저하가 발생하지 않는다.

- [0105] 도 11은 본 발명의 또 다른 실시예에 따른 하부 기관의 표시 영역을 보여주는 예시도면이다. 도 11을 참조하면, 본 발명의 또 다른 실시예에 따른 표시영역(DA)에는 게이트 라인들($GL_n \sim GL_{n+3}$), 데이터 라인들($DL_m \sim DL_{m+2}$), 공통 라인들($CL_n \sim CL_{n+3}$), 및 박막 트랜지스터(T)와 화소 전극(PE)을 각각 포함하는 화소(P)들이 형성된다.
- [0106] 화소(P)들 각각은 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)이 형성되며, 비개구 영역(NOA)에는 게이트 라인들($GL_n \sim GL_{n+3}$), 데이터 라인들($DL_m \sim DL_{m+2}$), 공통 라인들($CL_n \sim CL_{n+3}$), 및 박막 트랜지스터(T)가 형성된다.
- [0107] 게이트 라인들($GL_n \sim GL_{n+3}$)과 데이터 라인들($DL_m \sim DL_{m+2}$)은 서로 교차되게 형성된다. 게이트 라인들($GL_n \sim GL_{n+3}$)과 공통 라인들($CL_n \sim CL_{n+3}$)은 서로 나란하게 형성된다. 즉, 게이트 라인들($GL_n \sim GL_{n+3}$)과 공통 라인들($CL_n \sim CL_{n+3}$)은 수평 방향(x축 방향)으로 형성되고, 데이터 라인들($DL_m \sim DL_{m+2}$)은 수직 방향(y축 방향)으로 형성될 수 있다.
- [0108] 박막 트랜지스터(T)는 화소들에는 게이트 라인의 일부인 게이트 전극, 반도체층, 데이터 라인으로부터 연장된 소스 전극, 및 화소 전극(PE)에 접속된 드레인 전극을 포함한다. 박막 트랜지스터(T)는 게이트 라인에 게이트 신호가 공급되는 경우 턴-온되며, 이 경우 데이터 라인의 데이터 전압은 소스 전극, 반도체층, 드레인 전극을 경유하여 화소 전극(PE)에 공급될 수 있다.
- [0109] 제 n 게이트 라인(G_n)이 제 $n+1$ 게이트 라인(G_{n+1})과 인접하게 배치되며, 서로 인접하는 제 n 및 제 $n+1$ 게이트 라인(G_n , G_{n+1})들은 서로 반대 방향에 배치된 화소 전극(PE)들과 접속된다. 이로 인해, 제 n 게이트 라인(G_n)에 접속된 박막 트랜지스터(T)를 포함하는 화소(P)와 제 $n+1$ 게이트 라인(G_{n+1})에 접속된 박막 트랜지스터(T)를 포함하는 화소(P)는 비개구 영역(NOA)을 공유한다.
- [0110] 또한, 기수 게이트 라인에 접속된 화소의 화소 전극(PE)은 그의 아래에 배치된 게이트 라인에 접속된 박막 트랜지스터(T)의 드레인 전극에 접속된다. 우수 게이트 라인에 접속된 화소의 화소 전극(PE)은 그의 위에 배치된 게이트 라인에 접속된 박막 트랜지스터(T)의 드레인 전극에 접속된다. 예를 들어, 제 n 게이트 라인(GL_n)이 기수 게이트 라인인 경우, 제 n 게이트 라인(GL_n)에 접속된 화소의 화소 전극(PE)은 그의 아래에 배치된 제 n 게이트 라인(GL_n)에 접속된 박막 트랜지스터(T)의 드레인 전극에 접속될 수 있다. 이 경우, 제 $n+1$ 게이트 라인(GL_{n+1})은 우수 게이트 라인이므로, 제 $n+1$ 게이트 라인(GL_{n+1})에 접속된 화소의 화소 전극(PE)은 그의 위에 배치된 제 n 게이트 라인(GL_n)에 접속된 박막 트랜지스터(T)의 드레인 전극에 접속될 수 있다. 따라서, 수직 방향(y축 방향)으로 화소 전극(PE), 제 n 공통 라인(CL_n), 제 n 게이트 라인(GL_n), 제 $n+1$ 게이트 라인(GL_{n+1}), 제 $n+1$ 공통 라인(CL_{n+1}), 및 화소 전극(PE)이 순서대로 배치될 수 있다.
- [0111] 제1 및 제2 정렬 확인 키들(ACK1, ACK2)은 표시영역(DA)의 개구 영역(OA) 손실을 최소화하기 위해 비개구 영역(NOA)에 형성되는 것이 바람직하다. 이를 위해, 도 11과 같이 제1 및 제2 정렬 확인 키들(ACK1, ACK2)는 서로 인접한 게이트 라인들(GL_n , GL_{n+1})이 배치되는 영역에 형성될 수 있다.
- [0112] 이 경우, 제1 정렬 확인 키(ACK1)는 도 11과 같이 제 n 및 제 $n+1$ 게이트 라인들에 의해 형성되는 노출 홀(EH) 및 노출 홀(EH) 내에 형성된 컬러필터 키(CFK)를 포함할 수 있다. 제2 정렬 확인 키(ACK2)는 도 11과 같이 제 n 및 제 $n+1$ 게이트 라인들(GL_n , GL_{n+1})상에 형성될 수 있다.
- [0113] 한편, 컬러필터들의 정렬 오차를 확인하기 위해 제1 및 제2 정렬 확인 키들(ACK1, ACK2) 각각은 $130\mu m \times 130\mu m$ 이상의 크기로 형성되는 것이 바람직하다. 이는 제1 및 제2 정렬 확인 키들(ACK1, ACK2) 각각이 $130\mu m \times 130\mu m$ 보다 작은 경우 컬러필터가 제대로 정렬되었는지 확인이 어려우며, 비개구 영역(NOA)보다 큰 크기로 형성되는 경우 개구 영역(OA)에 손실이 발생하기 때문이다.
- [0114] 도 4와 같이 화소 전극(PE)들 사이에 하나의 게이트 라인을 배치하는 경우, 게이트 라인과 공통 라인의 폭 내에 제1 및 제2 정렬 확인 키들(ACK1, ACK2)을 설계하여야 한다. 이를 위해, 게이트 라인과 공통 라인의 폭은 도 4와 같이 제1 폭(W1)으로 설계될 수 있다. 이로 인해, 도 4와 같이 화소 전극(PE)들 사이에 하나의 게이트 라인을 배치하는 경우, 개구 영역(OA)의 폭은 제2 폭(W2)으로 설계될 수 있다.
- [0115] 이에 비해, 도 11과 같이 화소 전극(PE)들 사이에 복수의 게이트 라인들을 배치하는 경우, 복수의 게이트 라인

들과 복수의 공통 라인들의 폭 내에 제1 및 제2 정렬 확인 키들(ACK1, ACK2)을 설계하여야 한다. 이를 위해, 복수의 게이트 라인들과 복수의 공통 라인들의 폭은 도 11과 같이 제3 폭(W3)으로 설계될 수 있다. 제3 폭(W3)은 제1 폭(W1) 이상이고 제1 폭(W1)의 두 배보다 작을 수 있다. 이로 인해, 도 11과 같이 화소 전극(PE)들 사이에 복수의 게이트 라인들을 배치하는 경우, 개구 영역(OA)의 폭은 제2 폭(W2)보다 넓은 제4 폭(W4)으로 설계될 수 있다.

[0116] 결국, 도 11과 같이 화소 전극(PE)들 사이에 복수의 게이트 라인들을 배치하는 경우, 도 4와 같이 화소 전극(PE)들 사이에 하나의 게이트 라인을 배치하는 경우보다 개구 영역(OA)의 폭을 넓힐 수 있다.

[0117] 한편, 도 11에 도시된 화소와 제1 및 제2 정렬 확인 키들(ACK1, ACK2)은 제1 정렬 확인 키(ACK1)의 노출 홀(EH)이 복수의 게이트 라인들에 의해 노출되도록 형성되는 홀인 것과 제2 정렬 확인 키(ACK2)가 복수의 게이트 라인들상에 형성되는 것을 제외하고는, 도 5 내지 도 10을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 11에 도시된 화소와 제1 및 제2 정렬 확인 키들(ACK1, ACK2)에 대한 자세한 설명은 생략한다.

[0118] 도 12a 및 도 12b는 컬러필터가 컬러필터 기판에 형성되는 경우, 박막 트랜지스터 기판과 컬러필터 기판을 상세히 보여주는 평면도들이다.

[0119] 도 12a 및 도 12b에서는 하부 기판이 박막 트랜지스터들이 형성되는 박막 트랜지스터 기판이고, 상부 기판이 블랙 컬럼 스페이서들과 컬러 필터들이 형성된 컬러필터 기판인 것을 예시하였다. 도 12a 및 도 12b에는 설명의 편의를 위해 표시영역(DA), 비표시영역(NDA), 제1 정렬 확인 키(ACK1)들, 및 제2 정렬 확인 키(ACK2)들만을 도시하였다.

[0120] 도 12a 및 도 12b를 참조하면, 하부 기판(11)은 표시영역(DA)과 비표시영역(NDA)을 포함한다. 표시영역(DA)은 화소들이 형성되어 화상을 표시하는 영역이고, 비표시영역(NDA)은 표시영역(DA)의 주변 영역으로 화상을 표시하지 않는 영역이다.

[0121] 하부 기판(11)에는 제1 및 제2 정렬 확인 키들(ACK1, ACK2)이 형성되지 않고, 상부 기판(12)에 제1 및 제2 정렬 확인 키들(ACK1, ACK2)이 형성된다. 상부 기판(12)의 표시영역(DA)에 제1 정렬 확인 키(ACK1)들이 형성된다. 제1 정렬 확인 키(ACK1)들은 컬러필터가 제대로 정렬되어 형성되었는지를 판단하기 위한 키들이다. 제1 정렬 확인 키(ACK1)들은 업계에서 오버레이 키(overlay key)라고 칭한다.

[0122] 구체적으로, 제1 정렬 확인 키(ACK1)에 형성된 컬러필터 키(CFK)의 위치를 확인하여 컬러필터가 제대로 정렬되어 형성되었는지를 판단한다. 제1 정렬 확인 키(ACK1)는 도 12b와 같이 블랙 매트릭스에 의해 형성된 노출 홀(EH)과 노출 홀(EH) 내에 형성되는 컬러필터 키(CFK)를 포함한다. 노출 홀(EH)은 도 16과 같이 블랙 매트릭스(BM)에 의해 둘러싸여 있을 수 있다. 컬러필터 키(CFK)는 컬러필터와 동일한 물질로 형성된다.

[0123] 컬러필터의 정렬은 노출 홀(EH) 내에서 컬러필터 키(CFK)가 어디에 형성되었는지에 따라 판단할 수 있다. 예를 들어, 컬러필터 키(CFK)는 노출 홀(EH)의 중앙에 형성되도록 설계될 수 있으며, 광학 현미경과 같은 장비를 이용하여 컬러필터 키(CFK)가 노출 홀(EH)의 중앙으로부터 얼마나 벗어났는지를 판단함으로써 컬러필터가 제대로 정렬되었는지를 판단할 수 있다. 제1 정렬 확인 키(ACK1)에 대한 자세한 설명은 도 15 및 도 16을 결부하여 후술한다.

[0124] 또한, 제2 정렬 확인 키(ACK2)들은 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단하기 위한 키들이다. 제2 정렬 확인 키(ACK2)들은 업계에서 TP 키(TP key)라고 칭한다. 구체적으로, 제2 정렬 확인 키(ACK2)들 간의 거리를 측정하여 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단한다. 제2 정렬 확인 키(ACK2)는 블랙 컬럼 스페이서들이 제대로 정렬되어 형성되었는지를 판단하기 위한 것이므로, 블랙 컬럼 스페이서와 동일한 물질로 형성된다. 제2 정렬 확인 키(ACK2)에 대한 자세한 설명은 도 17 및 도 18을 결부하여 후술한다.

[0125] 한편, 발명의 배경이 되는 기술에서 살펴보았듯이 대화면 표시장치에서는 컬러필터의 정렬 오차 확인이 중요하다. 본 발명의 실시예는 상부 기판(12)의 표시영역(DA)에 컬러필터 키(CFK)를 포함하는 제1 정렬 확인 키(ACK1)를 형성한다. 그 결과, 본 발명의 실시예는 대화면 표시장치에서도 제1 정렬 확인 키(ACK1)를 이용하여 표시영역(DA)에서 컬러필터들이 제대로 형성되었는지를 확인할 수 있다.

[0126] 이하에서는 도 5 내지 도 10을 결부하여 본 발명의 제2 실시 예에 따른 제1 및 제2 정렬 확인 키들(ACK1, ACK2)이 형성되지 않은 화소, 제1 정렬 확인 키(ACK1)가 형성된 화소, 제2 정렬 확인 키(ACK2)가 형성된 화소에 대

하여 상세히 설명한다.

- [0127] 도 13은 제1 및 제2 정렬 확인 키들이 마련되지 않은 화소의 제2 실시예를 보여주는 평면도이다. 도 14는 도 13의 VII-VII'와 VIII-VIII'의 단면도이다.
- [0128] 도 13 및 도 14에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기판(12)에 형성될 수 있다.
- [0129] 먼저, 도 13을 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)에는 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 및 블랙 컬럼 스페이스(BCS)가 형성된다.
- [0130] 개구 영역(OA)에는 컬러필터가 형성되고, 비개구 영역(OA)에는 블랙 매트릭터가 형성된다. 컬러필터는 적색 컬러필터, 녹색 컬러필터, 및 청색 컬러필터 중 어느 하나일 수 있다.
- [0131] 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차되도록 형성된다. 공통 라인(CL)은 게이트 라인(GL)과 개구 영역(OA) 사이에서 게이트 라인(GL)과 나란하게 형성될 수 있다.
- [0132] 박막 트랜지스터(T), 스토리지 커패시터(Cst), 화소 전극(PE), 공통 전극(CE), 전계 차단층(EB), 및 블랙 컬럼 스페이스(BCS)는 도 5를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 박막 트랜지스터(T), 스토리지 커패시터(Cst), 화소 전극(PE), 공통 전극(CE), 전계 차단층(EB), 및 블랙 컬럼 스페이스(BCS)에 대한 자세한 설명은 생략한다.
- [0133] 이하에서는 도 14를 결부하여 화소(P)의 비개구 영역(OA)의 단면을 상세히 설명한다.
- [0134] 하부 기판(11) 상에는 게이트 라인(GL), 게이트 전극(GE), 및 공통 라인(CL)을 포함하는 게이트 금속층이 형성된다. 게이트 금속층은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 및 크롬(Cr) 중 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [0135] 게이트 금속층상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiN_x)의 단일막으로 형성되거나 산화 실리콘(SiO_2)과 질화 실리콘(SiN_x)의 복합막으로 형성될 수 있다.
- [0136] 게이트 절연막(GI)상에는 반도체층(SM)이 형성된다. 반도체층(SM)은 게이트 전극(GI)과 중첩되게 형성된다. 반도체층(SM)상에는 반도체층(SM)의 일측에 접속되는 소스 전극(SE)과 타측에 접속되는 드레인 전극(DE)을 포함하는 소스/드레인 금속층이 형성된다. 소스/드레인 금속층은 몰리브덴(Mo) 및 몰리브덴 합금으로 형성될 수 있다.
- [0137] 반도체층(SM), 소스 전극(SE), 및 드레인 전극(DE)상에는 보호막(PAS)이 형성된다. 보호막(PAS)상에는 포토 아크릴(photo acryl, PAC)이 형성될 수 있다.
- [0138] 포토 아크릴(PAC)상에는 화소 전극(PE)과 공통 전극(CE)이 형성될 수 있다. 보호막(PAS), 및 포토 아크릴(PAC)을 관통하여 드레인 전극(DE)을 노출시키는 제1 콘택홀(CNT1)이 형성될 수 있다. 화소 전극(PE)은 제1 콘택홀(CNT1)을 통해 드레인 전극(DE)과 접속될 수 있다. 게이트 절연막(GI), 보호막(PAS), 및 포토 아크릴(PAC)을 관통하여 공통 라인(CL)을 노출시키는 제2 콘택홀(CNT2)이 형성될 수 있다. 공통 전극(CE)은 제2 콘택홀(CNT2)을 통해 공통 라인(CL)과 접속될 수 있다.
- [0139] 포토 아크릴(PAC), 화소 전극(PE), 및 공통 전극(CE) 상에는 배향막인 폴리이미드막(PI)이 형성된다.
- [0140] 상부 기판(12)상에는 블랙 매트릭스(BM)가 형성된다. 블랙 매트릭스(BM)는 화소(P)의 비개구 영역(NOA)을 가리기 위해 비개구 영역(NOA)에만 형성된다.
- [0141] 블랙 매트릭스(BM)상에는 컬러필터(CF)들이 형성된다. 컬러필터(CF)들은 화소(P)가 표시하고자 하는 색에 따라 다르게 형성된다. 예를 들어, 적색을 표시하는 화소(P)에는 적색 컬러필터가 형성되고, 녹색을 표시하는 화소(P)에는 녹색 컬러필터가 형성되며, 청색을 표시하는 화소(P)에는 청색 컬러필터가 형성될 수 있다. 컬러필터(CF)들은 도 14와 같이 화소(P)의 개구 영역(OA)과 비개구 영역(NOA)에 모두 형성될 수도 있고, 또는 화소(P)의

개구 영역(OA)에만 형성될 수도 있다.

- [0142] 컬러필터(CF)들상에는 평탄화를 위한 오버코트층(OC)이 형성된다. 오버코트층(OC)상에는 블랙 컬럼 스페이스(BCS)가 형성된다. 블랙 컬럼 스페이스(BCS)는 비개구영역(NOA)에 형성될 수 있다. 블랙 컬럼 스페이스(BCS)상에는 배향막인 폴리이미드막(PI)이 형성된다. 하부 기판(11)의 폴리이미드막(PI)과 상부 기판(12)의 폴리이미드막(PI) 사이에는 액정층(LC)이 개재된다.
- [0143] 도 15는 제1 정렬 확인 키가 마련된 화소의 제2 실시예를 보여주는 평면도이다. 도 16은 도 15의 IX-IX'와 X-X'의 단면도이다.
- [0144] 도 15 및 도 16을 결부하여 제1 정렬 확인 키(ACK1)가 마련된 화소(P)를 상세히 설명한다.
- [0145] 도 15 및 도 16에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기판(12)에 형성될 수 있다.
- [0146] 먼저, 도 15를 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)에는 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 블랙 컬럼 스페이스(BCS), 및 제1 정렬 확인 키(ACK1)가 형성된다.
- [0147] 개구 영역(OA)에는 컬러필터가 형성되고, 비개구 영역(OA)에는 블랙 매트릭터가 형성된다. 컬러필터는 적색 컬러필터, 녹색 컬러필터, 및 청색 컬러필터 중 어느 하나일 수 있다.
- [0148] 게이트 라인(GL)과 데이터 라인(DL)은 서로 교차되도록 형성된다. 공통 라인(CL)은 게이트 라인(GL)과 개구 영역(OA) 사이에서 게이트 라인(GL)과 나란하게 형성될 수 있다.
- [0149] 박막 트랜지스터(T), 스토리지 커패시터(Cst), 화소 전극(PE), 공통 전극(CE), 및 전계 차단층(EB)은 도 5를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 박막 트랜지스터(T), 스토리지 커패시터(Cst), 화소 전극(PE), 공통 전극(CE), 및 전계 차단층(EB)에 대한 자세한 설명은 생략한다.
- [0150] 제1 정렬 확인 키(ACK1)는 비개구 영역(NOA)에 형성된다. 제1 정렬 확인 키(ACK1)는 블랙 매트릭스에 의해 둘러싸여 투명하게 노출되는 노출 홀(EH)과 노출 홀(EH) 내에 형성되는 컬러필터 키(CFK)를 포함한다. 또한, 제1 정렬 확인 키(ACK1)를 이용하여 컬러필터의 정렬 오차를 확인하기 위해서 제1 정렬 확인 키(ACK1)는 $130\mu\text{m} \times 130\mu\text{m}$ 이상의 크기로 형성되고, 비개구 영역(NOA)보다 작은 크기로 형성되는 것이 바람직하다. 이는 제1 정렬 확인 키(ACK1)가 $130\mu\text{m} \times 130\mu\text{m}$ 보다 작은 경우 컬러필터가 제대로 정렬되었는지 확인이 어려우며, 비개구 영역(NOA)보다 큰 크기로 형성되는 경우 개구 영역(OA)에 손실이 발생하기 때문이다.
- [0151] 컬러필터 키(CFK)는 개구 영역(OA)에 형성된 컬러필터와 동일한 색으로 형성된다. 컬러필터 키(CFK)를 개구 영역(OA)에 형성된 컬러필터와 동일한 색으로 형성함으로써, 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터 각각의 정렬 오차를 판단할 수 있다.
- [0152] 노출 홀(EH)은 광을 투과시킬 수 있으므로, 블랙 컬럼 스페이스(BCS)는 제1 정렬 확인 키(ACK1)의 노출 홀(EH)을 가리도록 제1 정렬 확인 키(ACK1)상에 형성될 수 있다. 블랙 컬럼 스페이스(BCS)는 제1 정렬 확인 키(ACK1)를 가려야 하므로, 제1 정렬 확인 키(ACK1)보다 넓은 면적으로 형성되는 것이 바람직하다.
- [0153] 이하에서는 도 16을 결부하여 화소(P)의 비개구 영역(OA)의 단면을 상세히 설명한다. 도 16의 IX-IX' 단면도는 도 14의 VII-VII' 단면도와 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략하고, X-X'의 단면도 위주로 설명한다.
- [0154] 하부 기판(11) 상에는 게이트 라인(GL), 게이트 전극(GE), 및 공통 라인(CL)을 포함하는 게이트 금속층이 형성된다. 게이트 금속층은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 및 크롬(Cr) 중 어느 하나 또는 이들의 합금으로 형성될 수 있다.
- [0155] 게이트 금속층상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiNx)의 단일막으로 형성되거나 산화 실리콘(SiO_2)과 질화 실리콘(SiNx)의 복합막으로 형성될 수 있다.

- [0156] 게이트 절연막(GI)상에는 보호막(PAS)이 형성된다. 보호막(PAS)상에는 포토 아크릴(photo acryl, PAC)이 형성될 수 있다. 포토 아크릴(PAC)상에는 화소 전극(PE)과 공통 전극(CE)이 형성될 수 있다. 포토 아크릴(PAC)상에는 배향막인 폴리이미드막(PI)이 형성된다.
- [0157] 상부 기판(12)상에는 블랙 매트릭스(BM)가 형성된다. 블랙 매트릭스(BM)는 화소(P)의 비개구 영역(NOA)을 가리기 위해 비개구 영역(NOA)에만 형성된다. 비개구 영역(NOA)에는 블랙 매트릭스(BM)가 형성되지 않은 노출 홀(EH)이 형성된다. 노출 홀(EH)은 블랙 매트릭스(BM)에 의해 둘러싸여 있다. 노출 홀(EH)의 상부 기판(12)상에는 컬러필터 키(CFK)가 형성된다.
- [0158] 블랙 매트릭스(BM)상에는 컬러필터(CF)들이 형성된다. 노출 홀(EH)에는 컬러필터(CF)들이 형성되지 않는다. 컬러필터(CF)들은 화소(P)가 표시하고자 하는 색에 따라 다르게 형성된다. 예를 들어, 적색을 표시하는 화소(P)에는 적색 컬러필터가 형성되고, 녹색을 표시하는 화소(P)에는 녹색 컬러필터가 형성되며, 청색을 표시하는 화소(P)에는 청색 컬러필터가 형성될 수 있다. 컬러필터(CF)들은 도 16과 같이 화소(P)의 개구 영역(OA)과 비개구 영역(NOA)에 모두 형성될 수도 있고, 또는 화소(P)의 개구 영역(OA)에만 형성될 수도 있다.
- [0159] 컬러필터(CF)들과 노출 홀(EH)상에는 평탄화를 위한 오버코트층(OC)이 형성된다. 오버코트층(OC)상에는 블랙 컬럼 스페이서(BCS)가 형성된다. 노출 홀(EH)은 광을 투과시킬 수 있으므로, 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)의 노출 홀(EH)을 가리도록 제1 정렬 확인 키(ACK1)상에 형성될 수 있다. 블랙 컬럼 스페이서(BCS)는 제1 정렬 확인 키(ACK1)를 가려야 하므로, 제1 정렬 확인 키(ACK1)보다 넓은 면적으로 형성되는 것이 바람직하다.
- [0160] 블랙 컬럼 스페이서(BCS)상에는 배향막인 폴리이미드막(PI)이 형성된다. 하부 기판(11)의 폴리이미드막(PI)과 상부 기판(12)의 폴리이미드막(PI) 사이에는 액정층(LC)이 개재된다.
- [0161] 이상에서 살펴본 바와 같이, 본 발명의 제2 실시예는 화소(P)의 비개구 영역(NOA)에 제1 정렬 확인 키(ACK1)를 형성한다. 그 결과, 본 발명의 제2 실시예는 제1 정렬 확인 키(ACK1)로 인한 개구 영역(OA)의 손실이 없으므로, 제1 정렬 확인 키(ACK1)를 표시영역(DA)에 형성함에도 개구 영역(OA) 손실에 따른 휘도 저하가 발생하지 않는다.
- [0162] 도 17은 제2 정렬 확인 키가 마련된 화소의 제2 실시예를 보여주는 평면도이다. 도 18은 도 17의 i-i'와 ii-ii'의 단면도이다.
- [0163] 도 17 및 도 18을 결부하여 제2 정렬 확인 키(ACK2)가 마련된 화소(P)를 상세히 설명한다.
- [0164] 도 17 및 도 18에서는 설명의 편의를 위해 화소(P)가 IPS(in-plane switching) 모드의 수평전계 방식으로 구현된 것을 예시하였으나, 이에 한정되지 않으며, FFS(frindge field switching) 모드의 수평전계 방식, 또는 TN(twisted nematic) 모드나 VA(vertical alignment) 모드와 같은 수직전계 방식으로도 구현될 수 있다. 수직전계 방식으로 구현되는 경우, 공통전극(CE)은 상부 기판(12)에 형성될 수 있다.
- [0165] 먼저, 도 17을 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 개구 영역(OA)과 비개구 영역(NOA)을 포함한다. 개구 영역(OA)에는 화소 전극(PE)과 공통 전극(CE)이 형성된다. 비개구 영역(NOA)은 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL), 공통 라인(CL), 및 제2 정렬 확인 키(ACK2)가 형성된다.
- [0166] 도 17 및 도 18에 도시된 화소 전극(PE), 공통 전극(CE), 박막 트랜지스터(T), 스토리지 커패시터(Cst), 게이트 라인(GL) 및 공통 라인(CL)은 도 13 및 도 14를 결부하여 설명한 바와 실질적으로 동일하므로, 이들에 대한 자세한 설명은 생략한다.
- [0167] 제2 정렬 확인 키(ACK2)가 마련된 화소(P)에는 블랙 컬럼 스페이서(BCS) 대신에 제2 정렬 확인 키(ACK2)가 형성된다. 제2 정렬 확인 키(ACK2)는 비개구 영역(NOA)에 형성된다. 제2 정렬 확인 키(ACK2)가 "+" 형태로 형성된 것을 예시하였으나, 이에 한정되지 않는다.
- [0168] 제2 정렬 확인 키(ACK2)는 블랙 컬럼 스페이서(BCS)들이 제대로 정렬되어 형성되었는지를 판단하기 위한 것이므로, 블랙 컬럼 스페이서(BCS)와 동일한 물질로 형성된다. 제2 정렬 확인 키(ACK2)는 TP 키로 역할을 하기 위한 것이므로, 블랙 컬럼 스페이서(BCS)와 동일한 두께로 형성될 필요가 없다. 예를 들어, 제2 정렬 확인 키(ACK2)의 두께는 블랙 컬럼 스페이서(BCS)보다 얇거나 동일한 두께로 형성될 수 있다.
- [0169] 이상에서 살펴본 바와 같이, 본 발명의 제2 실시예는 화소(P)의 비개구 영역(NOA)에 제2 정렬 확인 키(ACK2)를

형성한다. 그 결과, 본 발명의 제2 실시예는 제2 정렬 확인 키(ACK2)로 인한 개구 영역(OA)의 손실이 없으므로, 제2 정렬 확인 키(ACK2)를 표시영역(DA)에 형성함에도 개구 영역(OA) 손실에 따른 휘도 저하가 발생하지 않는다.

- [0170] 도 19a 및 도 19b는 컬러필터가 박막 트랜지스터 기관에 형성되는 경우, 박막 트랜지스터 기관과 블랙 컬럼 스페이스 기관을 상세히 보여주는 또 다른 평면도들이다.
- [0171] 도 19a 및 도 19b에서는 하부 기관이 컬러필터들이 형성되는 박막 트랜지스터 기관이고, 상부 기관이 블랙 컬럼 스페이스 기관인 것을 예시하였다. 도 19a 및 도 19b에는 설명의 편의를 위해 표시영역(DA), 비표시영역(NDA), 제1 정렬 확인 키(ACK1)들, 및 제2 정렬 확인 키(ACK2)들만을 도시하였다.
- [0172] 도 19a 및 도 19b를 참조하면, 하부 기관(11)은 표시영역(DA)과 비표시영역(NDA)을 포함한다. 표시영역(DA)은 화소들이 형성되어 화상을 표시하는 영역이고, 비표시영역(NDA)은 표시영역(DA)의 주변 영역으로 화상을 표시하지 않는 영역이다.
- [0173] 하부 기관(11)의 표시영역(DA)에 형성된 제1 정렬 확인 키(ACK1)들은 도 3a를 결부하여 설명한 바와 실질적으로 동일하다. 또한, 상부 기관(12)의 표시영역(DA)에 형성된 제2 정렬 확인 키(ACK2)들은 도 3b를 결부하여 설명한 바와 실질적으로 동일하다.
- [0174] 한편, 도 3a와 같이 하부 기관(11)의 표시영역(DA)의 화소들 일부에만 제1 정렬 확인 키(ACK1)들을 형성하는 경우, 도 8과 같이 노출 홀(EH)이 형성된 영역에서 하부 기관(12)과 폴리이미드막(PI) 사이의 높이와 노출 홀(EH)이 형성되지 않은 영역에서 하부 기관(12)과 폴리이미드막(PI) 사이의 높이 사이에 차이가 발생한다. 이 경우, 폴리이미드막(PI)을 형성한 후 배향을 위해 러빙 공정을 진행하면, 노출 홀(EH)이 형성된 영역과 노출 홀(EH)이 형성되지 않은 영역 사이에서 러빙 포가 느끼는 마찰력이 달라지게 된다. 이로 인해, 노출 홀(EH)이 형성된 영역과 노출 홀(EH)이 형성되지 않은 영역에서 배향 차이가 발생하게 되며, 그 결과 러빙 방향을 따라 소정의 라인이 시인되는 문제가 발생할 수 있다.
- [0175] 본 발명의 실시 예는 상기 문제점을 해결하기 위해, 하부 기관(11)의 비표시영역(NDA)에 제1 정렬 확인 키(ACK1)들을 형성한다. 특히, 제1 정렬 확인 키(ACK1)들은 비표시영역(NDA)에서 게이트 라인 및/또는 공통 라인마다 형성될 수 있다. 비표시영역(NDA)에 형성된 제1 정렬 확인 키(ACK1)들은 컬러필터의 정렬 오차를 판단하기 위한 것이기 보다는, 러빙 방향을 따라 시인되는 소정의 라인을 방지하기 위함이다.
- [0176] 또한, 러빙 방향이 x 축 방향으로 진행되는 경우, 제1 정렬 확인 키(ACK1)들은 도 19a와 같이 x 축 방향으로 표시영역(DA)의 좌우 바깥쪽의 비표시영역(NDA)에 형성될 수 있다. 또한, 러빙 방향이 y 축 방향으로 진행되는 경우, 제1 정렬 확인 키(ACK1)들은 y 축 방향으로 표시영역(DA)의 좌우 바깥쪽의 비표시영역(NDA)에 형성될 수 있다.
- [0177] 이와 같이, 제1 정렬 확인 키(ACK1)들이 비표시영역(NDA)에 형성되는 경우, 표시영역(DA)에서 노출 홀(EH)이 형성된 영역과 노출 홀(EH)이 형성되지 않은 영역 사이에서 러빙 포가 느끼는 마찰력의 차이를 줄일 수 있다. 따라서, 본 발명의 실시예는 표시영역(DA)에서 노출 홀(EH)이 형성된 영역과 노출 홀(EH)이 형성되지 않은 영역에서 배향 차이가 발생하는 것을 줄일 수 있으며, 그 결과 러빙 방향을 따라 소정의 라인이 시인되는 문제를 방지할 수 있다.
- [0178] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0179]
- | | |
|----------------|-------------|
| 10: 표시패널 | 11: 하부 기관 |
| 12: 상부 기관 | 20: 게이트 구동부 |
| 30: 소스 드라이브 IC | 40: 연성필름 |

50: 회로보드

DA: 표시영역

ACK1: 제1 정렬 확인 키

EH: 노출 홀

T: 트랜지스터

SE: 소스 전극

PE: 화소 전극

CNT2: 제2 콘택홀

DL: 데이터 라인

BCS: 블랙 컬럼 스페이서

60: 타이밍 제어부

NDA: 비표시영역

ACK2: 제2 정렬 확인 키

CFK: 컬러필터 키

GE: 게이트 전극

DE: 드레인 전극

CNT1: 제1 콘택홀

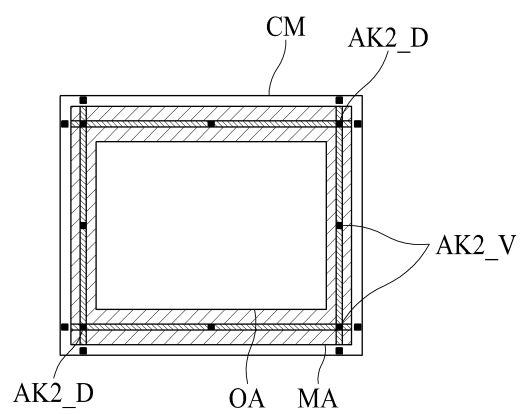
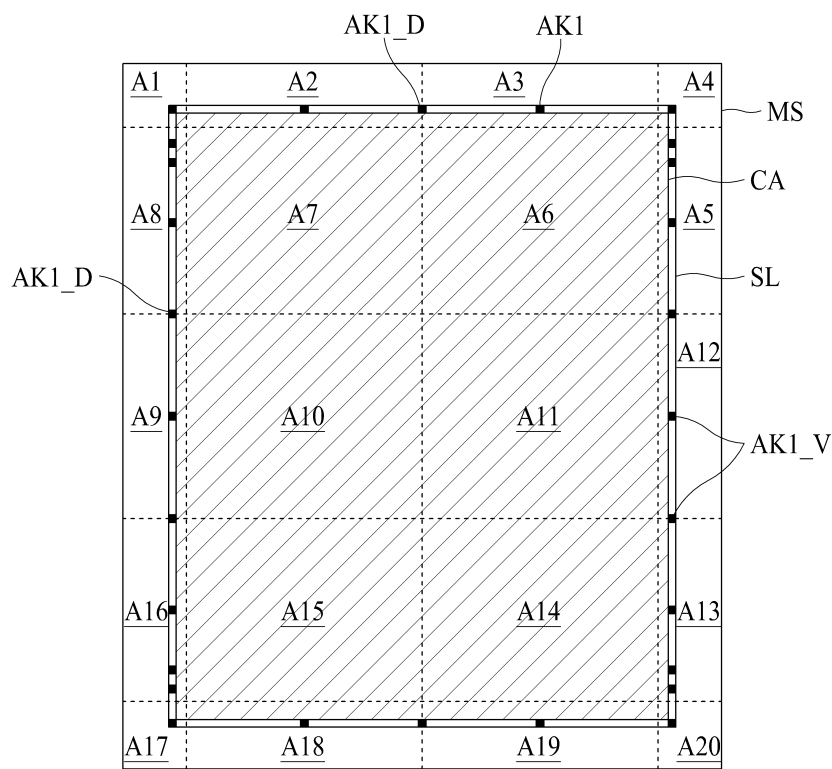
GL: 게이트 라인

CL: 공통 라인

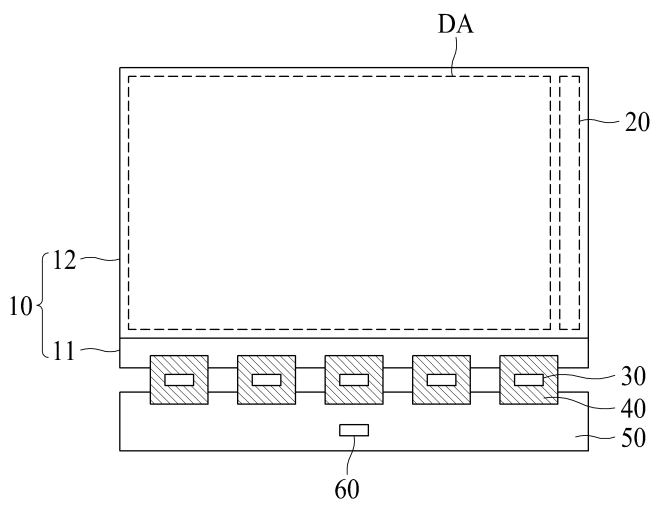
Cst: 스토리지 커패시터

도면

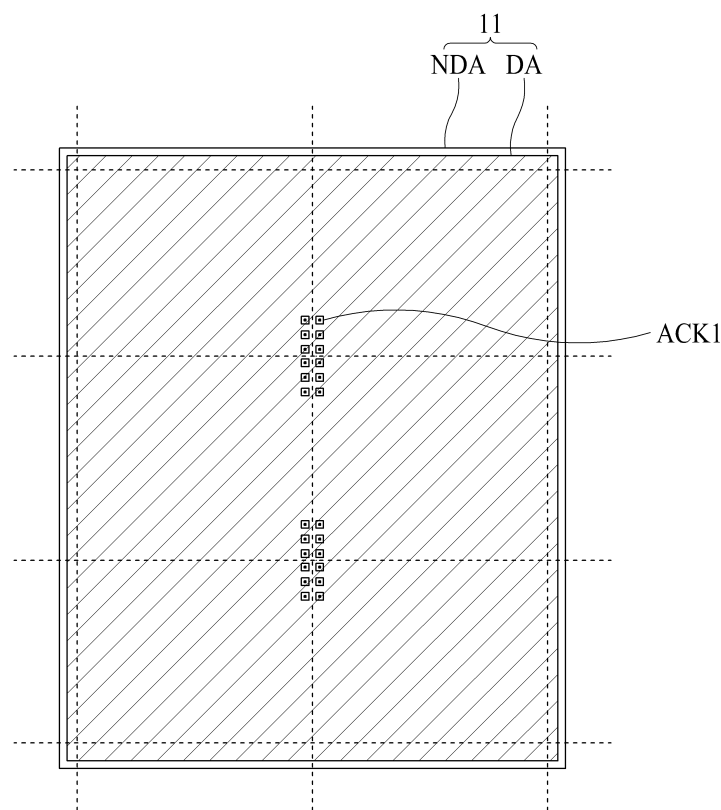
도면1



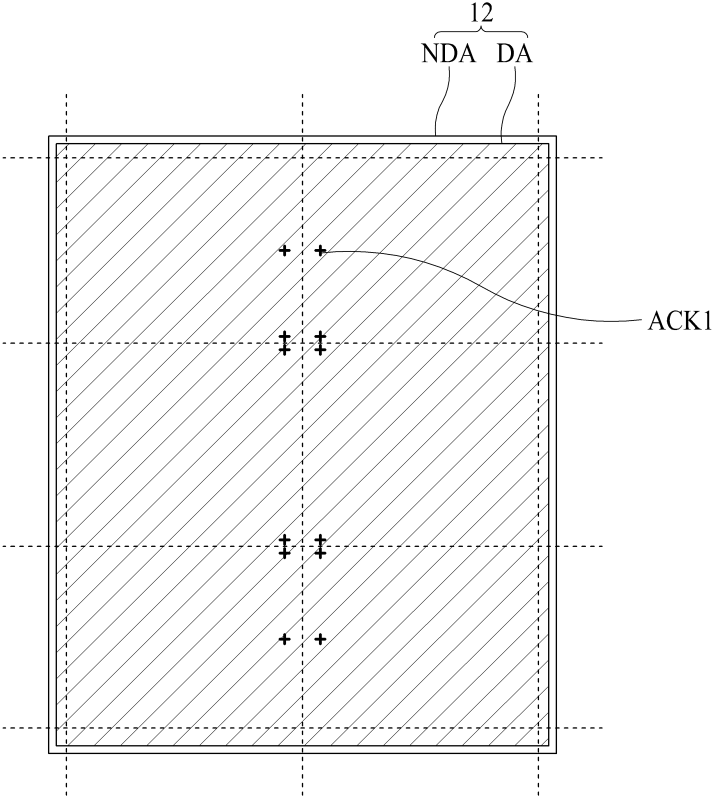
도면2



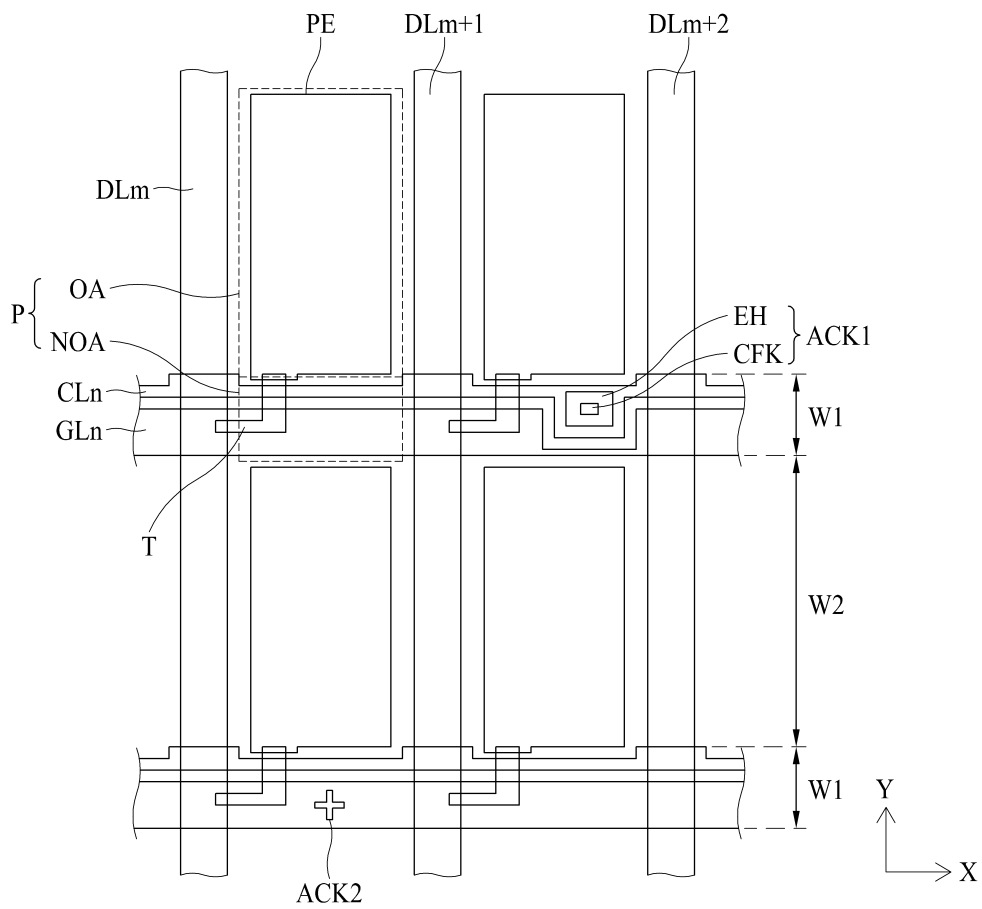
도면3a



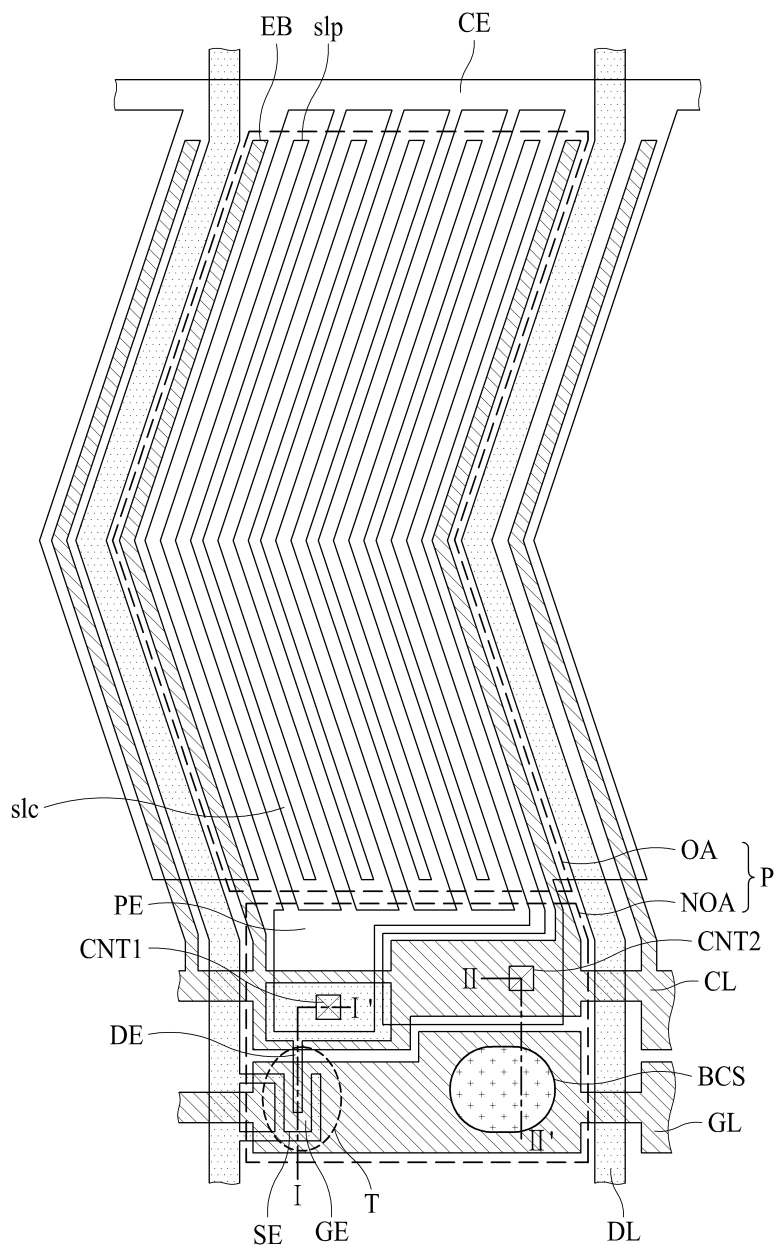
도면3b



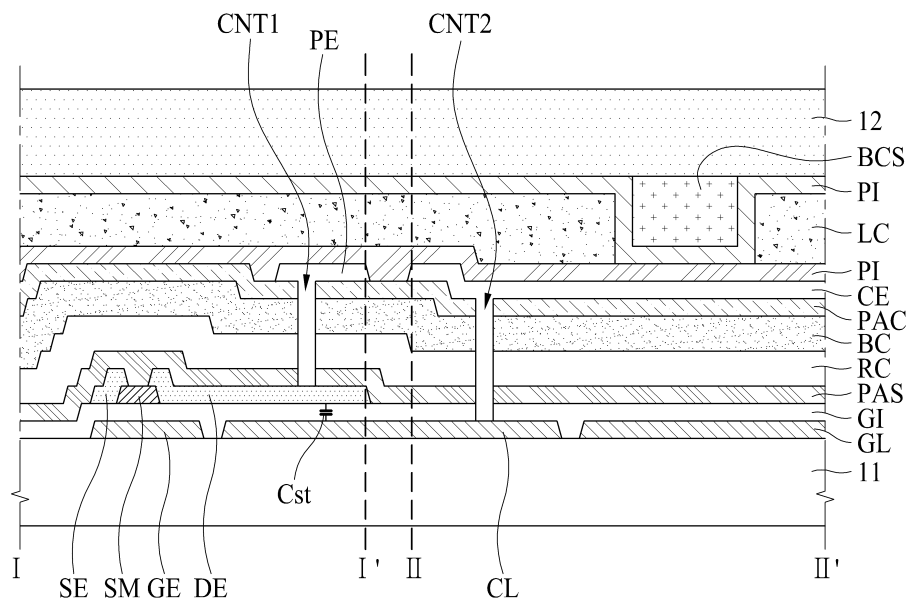
도면4



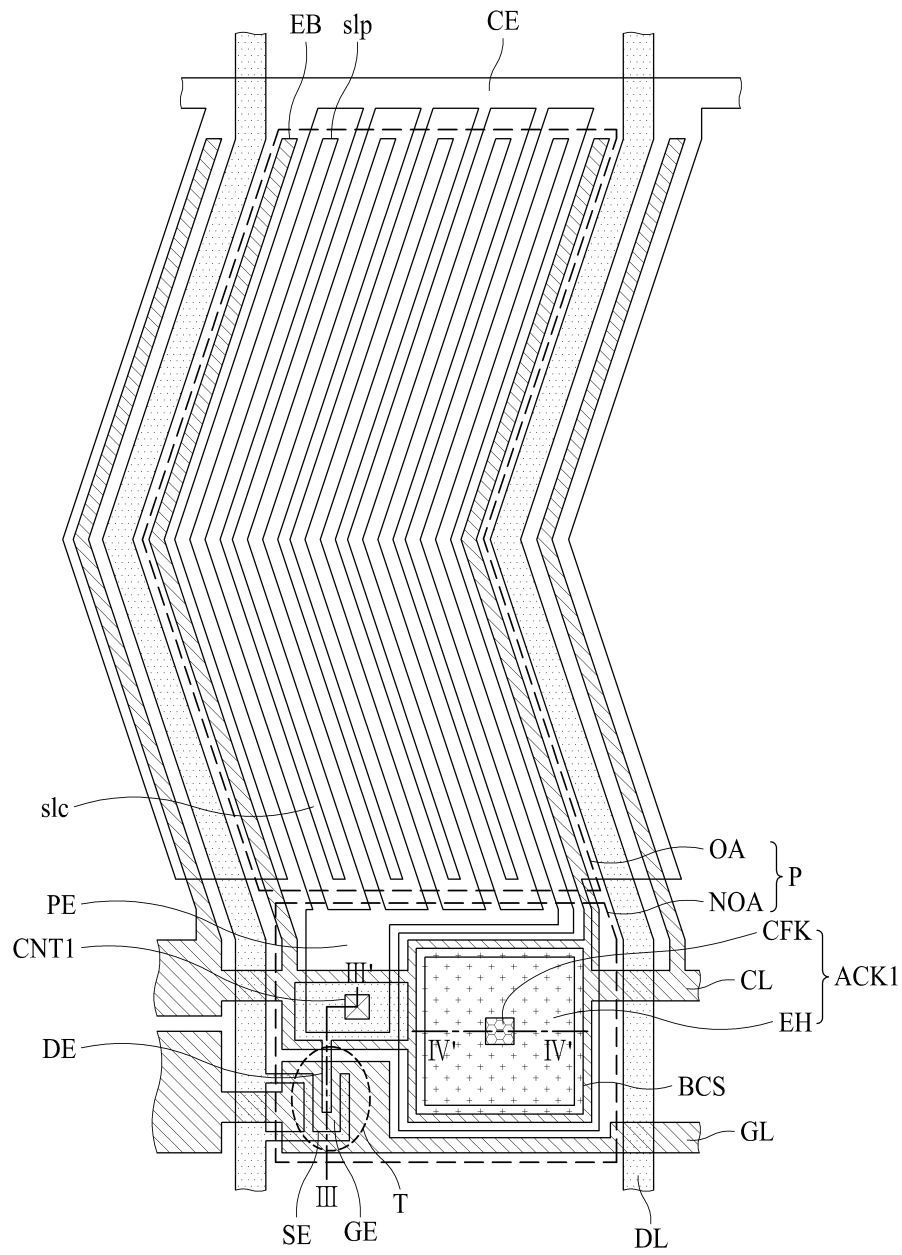
도면5



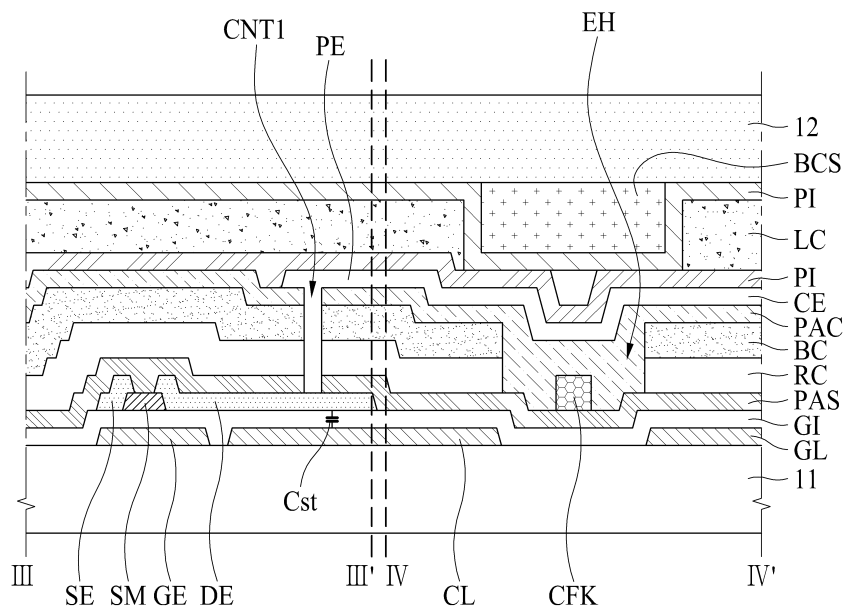
도면6



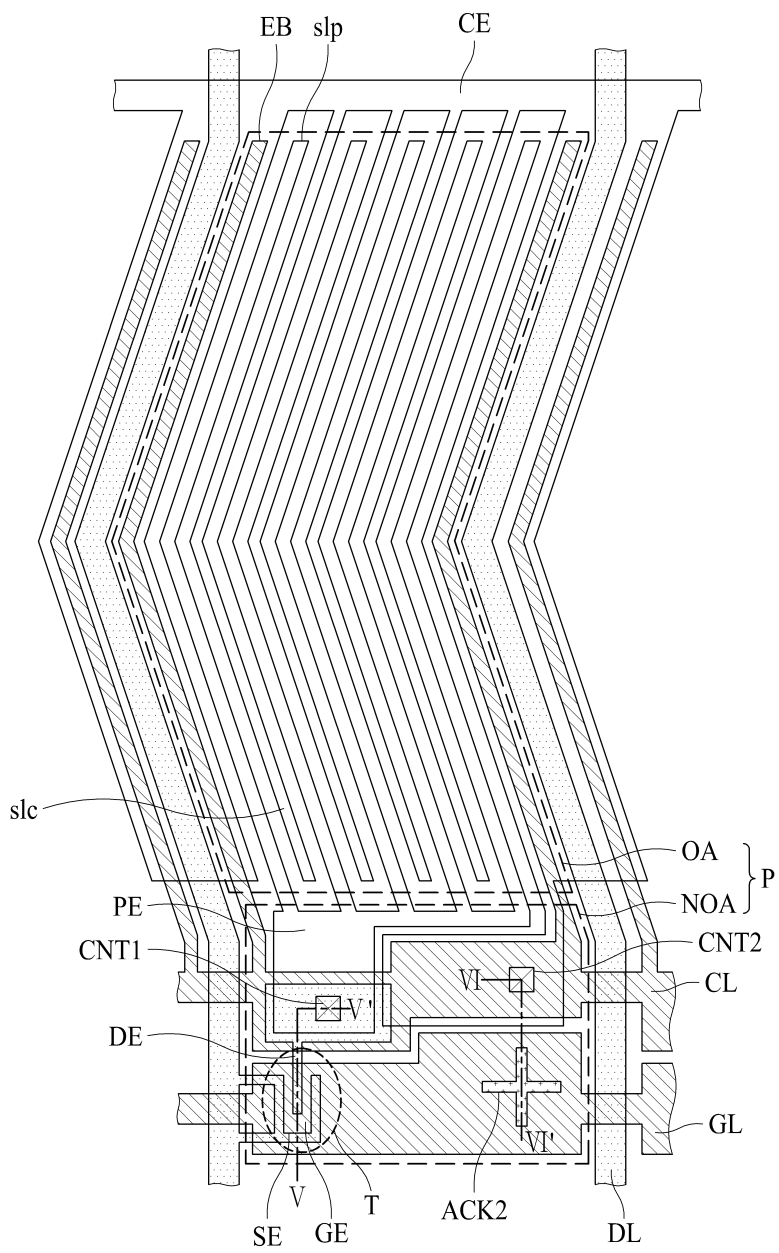
도면7



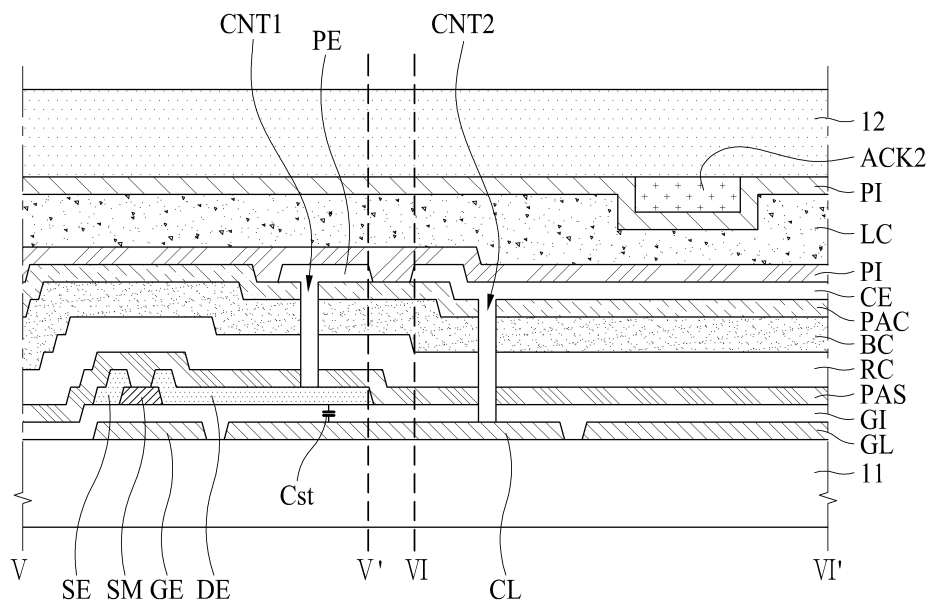
도면8



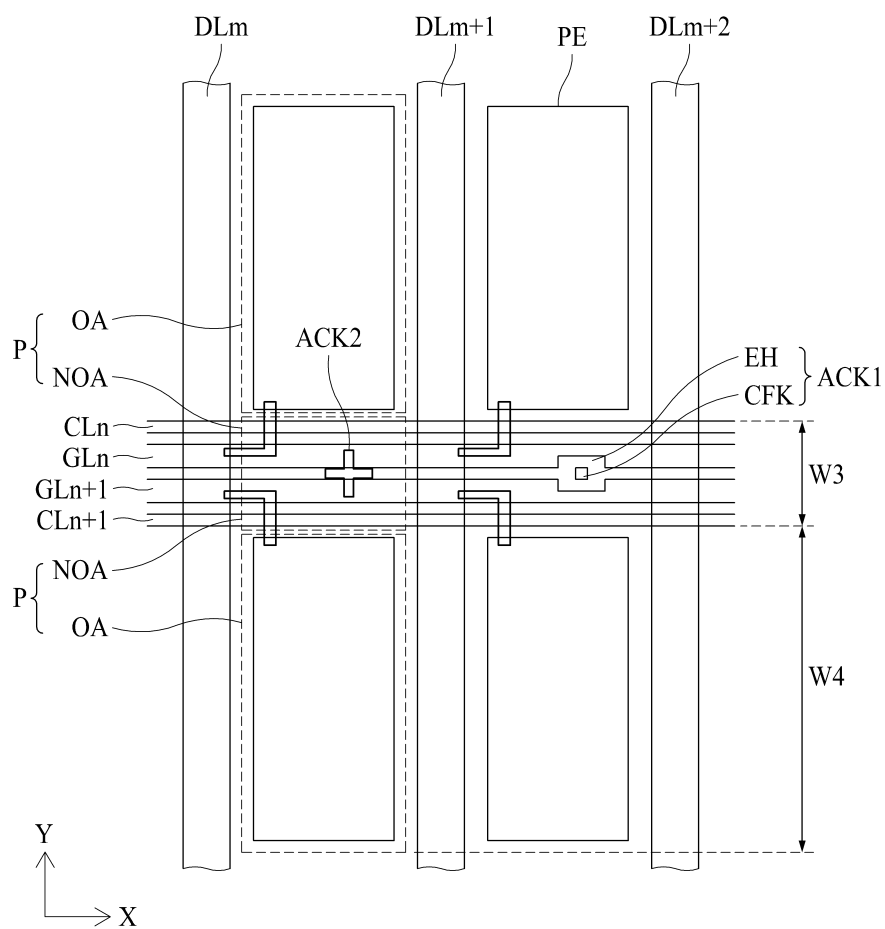
도면9



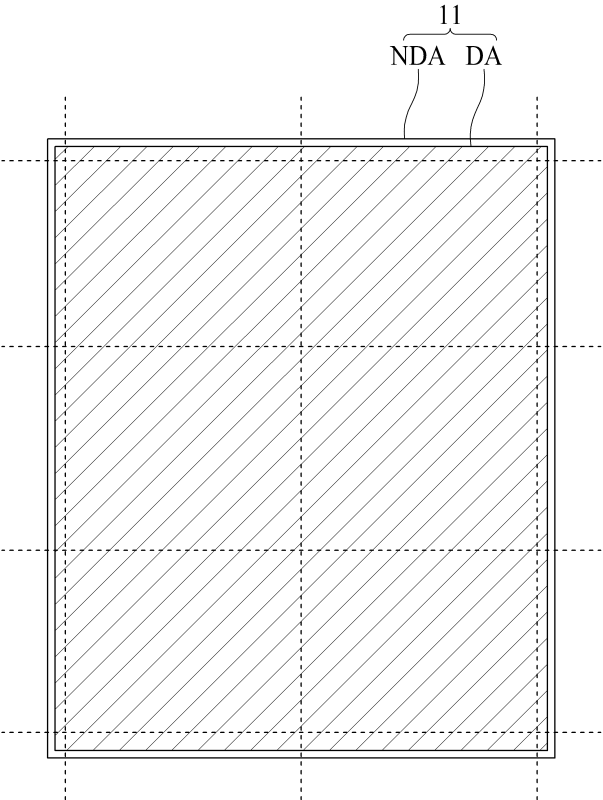
도면 10



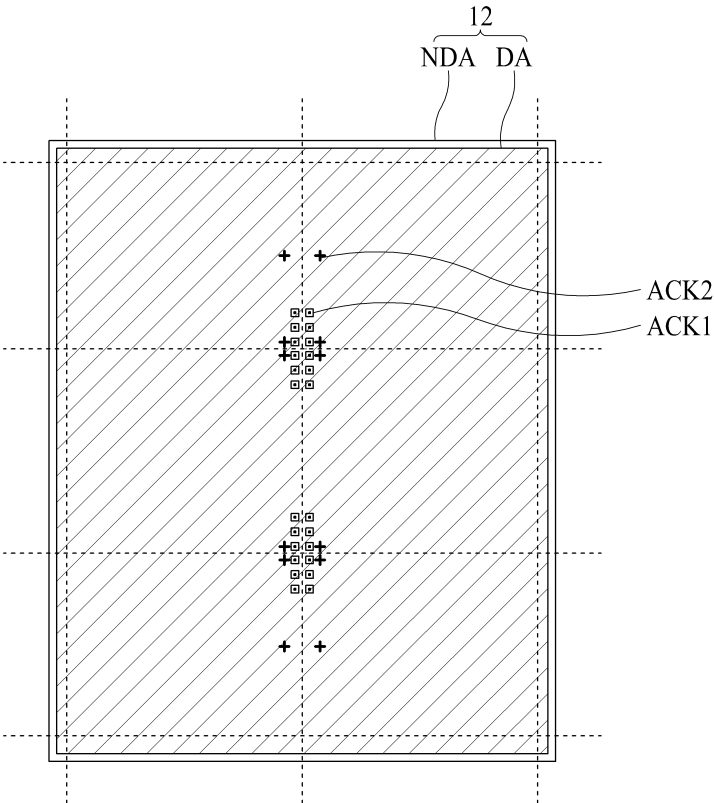
도면11



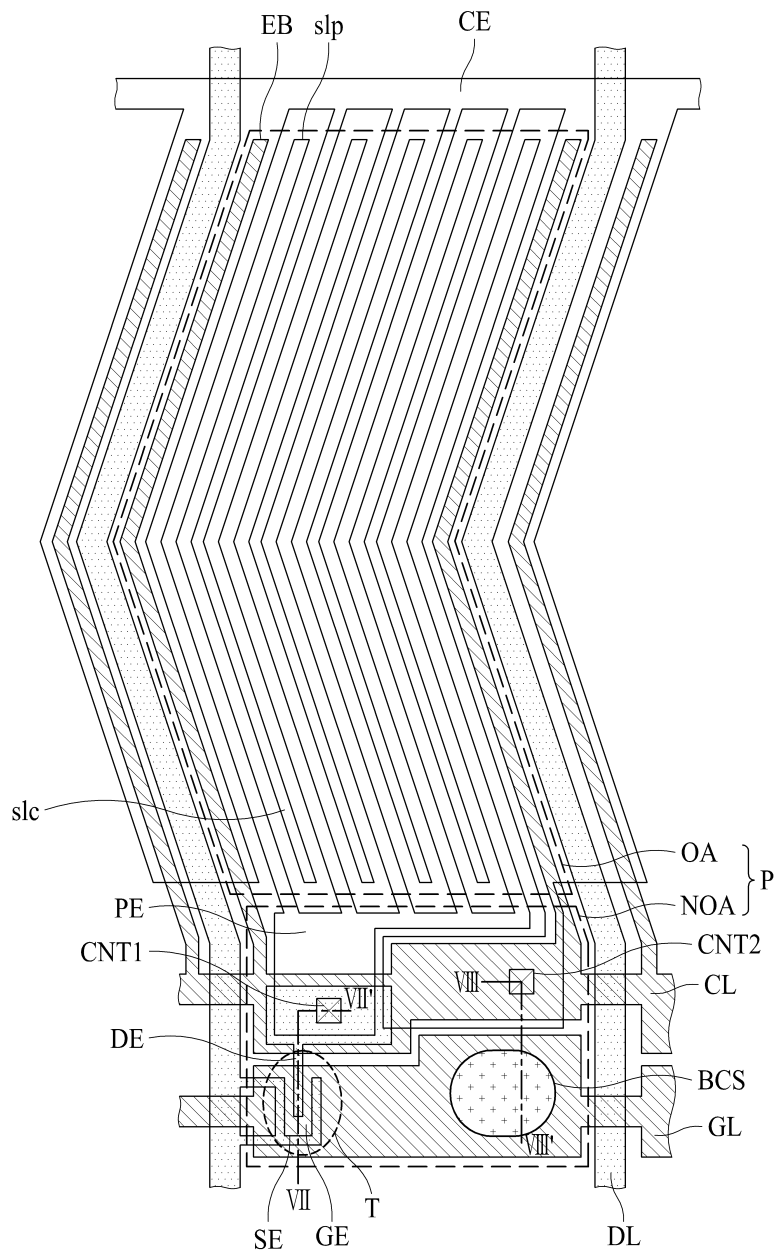
도면12a



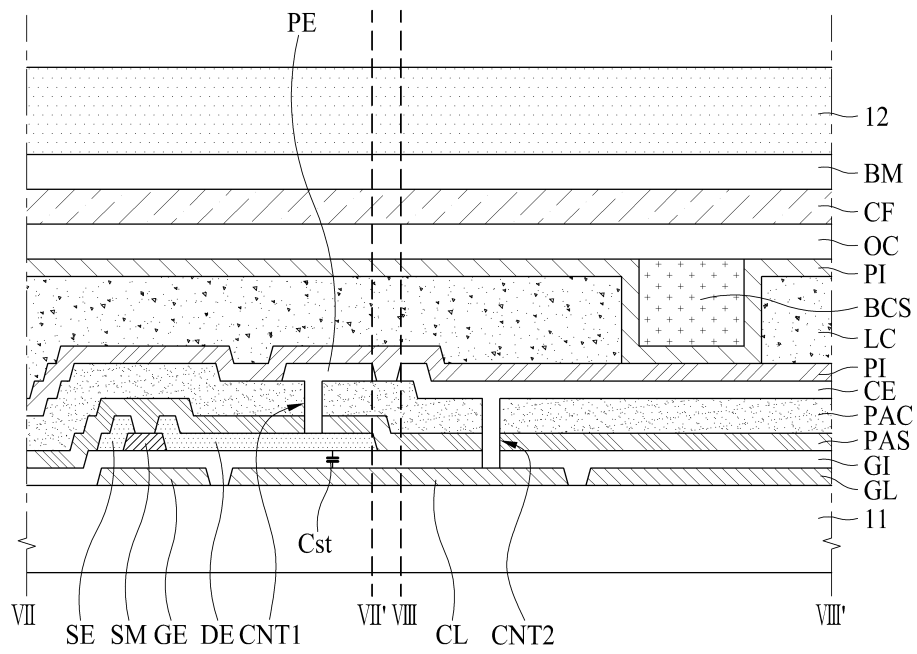
도면12b



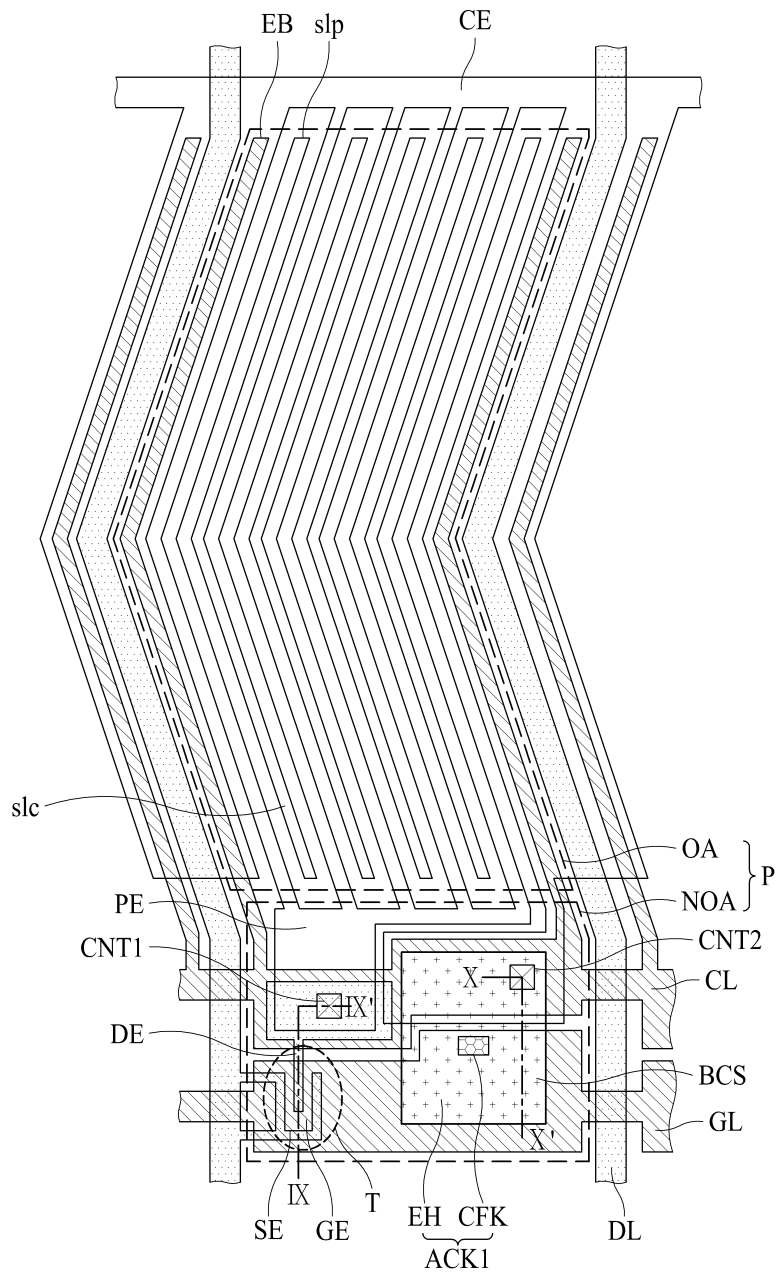
도면13



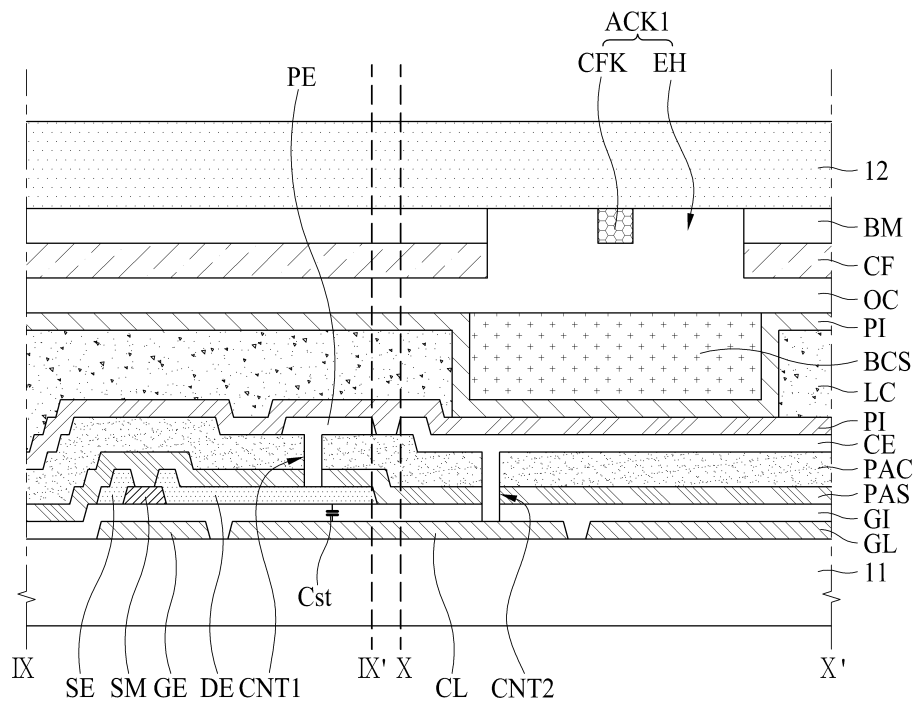
도면14



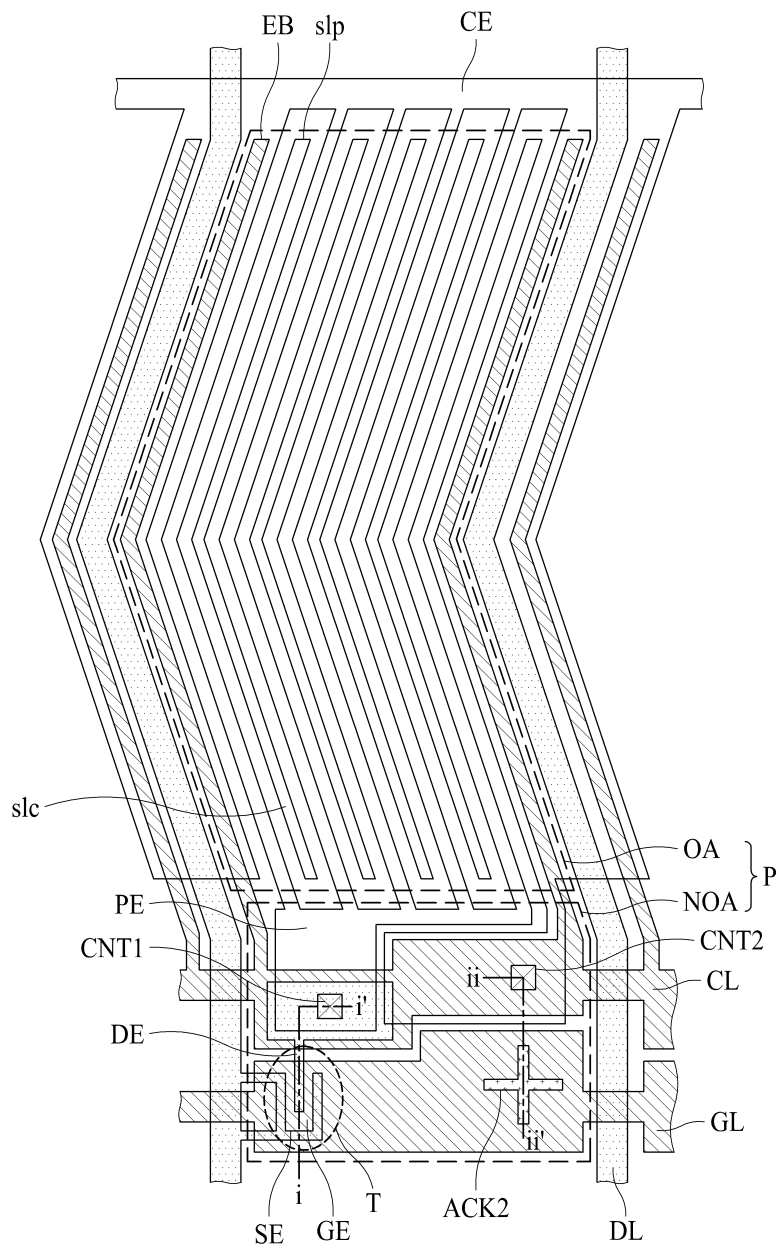
도면15



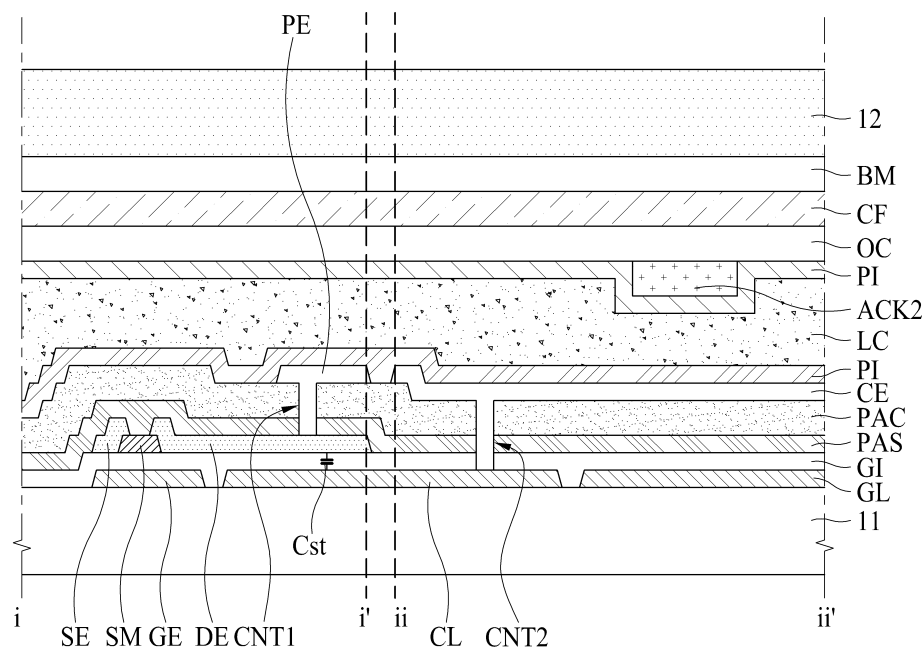
도면16



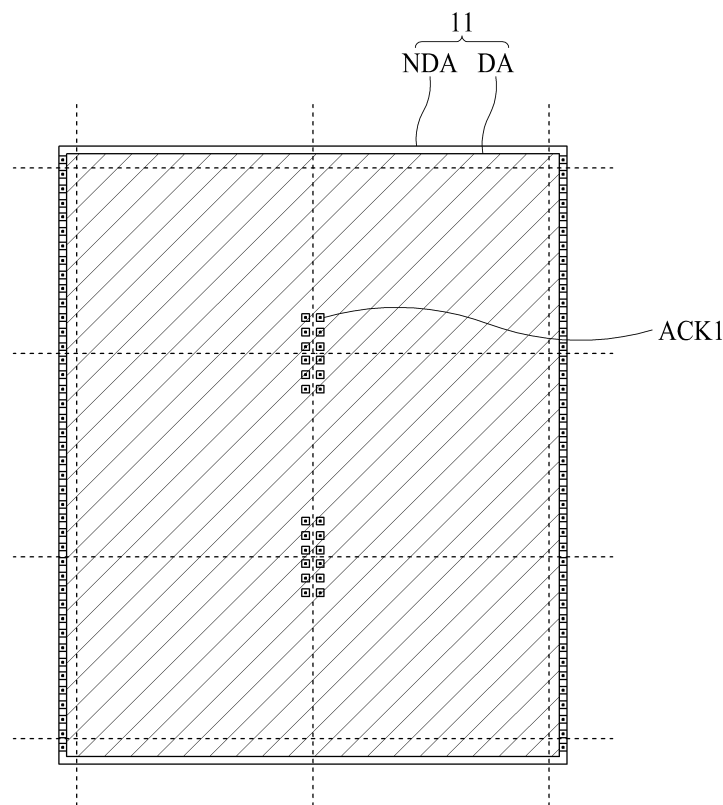
도면17



도면18



도면19a



도면19b

