



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월30일
(11) 등록번호 10-2283919
(24) 등록일자 2021년07월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G09G 3/36 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2015-0001278
(22) 출원일자 2015년01월06일
심사청구일자 2019년12월02일
(65) 공개번호 10-2016-0084927
(43) 공개일자 2016년07월15일
(56) 선행기술조사문헌
KR1020110117998 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정재훈
경기도 안양시 동안구 귀인로 213, 108동 302호
(평촌동, 향촌현대5차아파트)
박홍식
서울특별시 동작구 사당로27길 181 (사당동, 사
당롯데캐슬아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 16 항

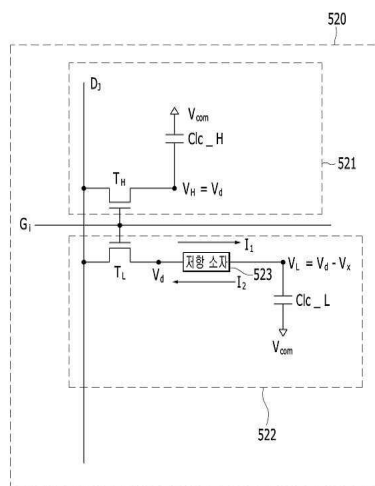
심사관 : 이종경

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 실시예에 따른 액정표시장치는 제1 게이트선을 포함하는 복수의 게이트선, 제1 데이터선을 포함하는 복수의 데이터선, 제1 화소를 포함하는 복수의 화소를 포함하는 액정패널; 상기 데이터선과 연결되어 데이터 전압을 인가하는 데이터 구동부; 및 상기 게이트선과 연결되어 게이트 전압을 인가하는 게이트 구동부를 포함한다. 여기서, 상기 제1 화소는 상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제1 박막 트랜지스터와, 상기 박막 트랜지스터에 일단이 전기적으로 연결되고 상기 공통전압이 타단에 인가되는 제1 액정 커패시터를 포함하는 제1 부화소; 및 상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제2 박막 트랜지스터, 상기 공통전압이 일단에 인가되는 제2 액정 커패시터, 상기 제2 박막 트랜지스터와 상기 제2 액정 커패시터의 타단 사이에 전기적으로 연결되는 박막 트랜지스터 저항소자를 포함하는 제2 부화소를 포함한다

대표도 - 도2



(72) 발명자

신기철

경기도 성남시 분당구 정자일로 55, 106동 1402호
(금곡동, 분당두산위브아파트)

양단비

경기도 군포시 고산로643번길 10, 1153동 1202호
(산본동, 신안모란아파트)

한민주

서울특별시 동작구 상도로55길 47, 206동 1104호
(상도동, 래미안상도2차아파트)

홍지표

경기도 평택시 참이슬길 13, 103동 301호 (합정동,
참이슬아파트)

(56) 선행기술조사문헌

KR1020080095739 A

KR1020030085894 A

KR1020130033802 A

JP2008287115 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 게이트선을 포함하는 복수의 게이트선, 제1 데이터선을 포함하는 복수의 데이터선, 상기 제1 게이트선과 상기 제1 데이터선에 연결되며 공통전압이 인가되는 제1 화소를 포함하는 복수의 화소를 포함하는 액정패널;

상기 데이터선과 연결되어 데이터 전압을 인가하는 데이터 구동부; 및

상기 게이트선과 연결되어 게이트 전압을 인가하는 게이트 구동부를 포함하며,

상기 제1 화소는

상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제1 박막 트랜지스터와, 상기 박막 트랜지스터에 일단이 전기적으로 연결되고 상기 공통전압이 타단에 인가되는 제1 액정 커패시터를 포함하는 제1 부화소; 및

상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제2 박막 트랜지스터, 상기 공통전압이 일단에 인가되는 제2 액정 커패시터, 상기 제2 박막 트랜지스터와 상기 제2 액정 커패시터의 타단 사이에 전기적으로 연결되는 박막 트랜지스터 저항소자를 포함하는 제2 부화소를 포함하고,

상기 박막 트랜지스터 저항소자는

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 절연막의 하부에 형성되는 제3 전극을 포함하며,

상기 제3 전극에 인가되는 전압에 의해 상기 박막 트랜지스터 저항소자의 저항 값이 조정되는 액정 표시 장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고, 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않는 액정표시장치.

청구항 4

제3 항에 있어서,

상기 절연막의 하부로부터 조사되는 백 라이트 광에 의해 저항 값이 조정되는 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성되는 액정표시장치.

청구항 6

제5 항에 있어서,

상기 절연막의 하부로부터 조사되는 백 라이트 광에 의해 저항 값이 조정되는 액정 표시 장치.

청구항 7

제1 게이트선을 포함하는 복수의 게이트선, 제1 데이터선을 포함하는 복수의 데이터선, 상기 제1 게이트선과 상기 제1 데이터선에 연결되며 공통전압이 인가되는 제1 화소를 포함하는 복수의 화소를 포함하는 액정패널;

상기 데이터선과 연결되어 데이터 전압을 인가하는 데이터 구동부; 및

상기 게이트선과 연결되어 게이트 전압을 인가하는 게이트 구동부를 포함하며,

상기 제1 화소는

상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제1 박막 트랜지스터와, 상기 박막 트랜지스터에 일단이 전기적으로 연결되고 상기 공통전압이 타단에 인가되는 제1 액정 커패시터를 포함하는 제1 부화소; 및

상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제2 박막 트랜지스터, 상기 공통전압이 일단에 인가되는 제2 액정 커패시터, 상기 제2 박막 트랜지스터와 상기 제2 액정 커패시터의 타단 사이에 전기적으로 연결되는 박막 트랜지스터 저항소자를 포함하는 제2 부화소를 포함하고,

상기 박막 트랜지스터 저항소자는

정극성 저항값이 부극성 저항값 보다 작은 제1 박막 트랜지스터 저항소자와;

상기 제1 박막 트랜지스터와 병렬로 연결되며, 상기 정극성 저항 값이 상기 부극성 저항 값보다 큰 제2 박막 트랜지스터 저항소자를 포함하는 액정표시장치.

청구항 8

제7 항에 있어서,

상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터 저항소자는

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 절연막의 영역의 하부에 형성되는 제3 전극을 공통으로 포함하며,

상기 제1 박막 트랜지스터 저항소자의 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않으며,

상기 제2 박막 트랜지스터 저항소자의 제3 전극은 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않는 액정 표시 장치.

청구항 9

제8 항에 있어서,

상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터는

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2

오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성되는 제3 전극을 공통으로 포함하는 액정표시장치.

청구항 10

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 절연막의 하부에 형성되는 제3 전극을 포함하며,

상기 제3 전극에 인가되는 전압에 의해 저항 값이 조정되는 박막 트랜지스터 저항소자.

청구항 11

제10항에 있어서,

상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고, 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않는 박막 트랜지스터 저항소자.

청구항 12

제11항에 있어서,

상기 절연막의 하부로부터 조사되는 광에 의해 저항 값이 조정되는 박막 트랜지스터 저항소자.

청구항 13

제10항에 있어서,

상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성되는 박막 트랜지스터 저항소자.

청구항 14

제13항에 있어서,

상기 절연막의 하부로부터 조사되는 광에 의해 저항 값이 조정되는 박막 트랜지스터 저항소자.

청구항 15

제10항에 있어서,

상기 박막 트랜지스터 저항소자는

정극성 저항값이 부극성 저항값 보다 작은 제1 박막 트랜지스터 저항소자와;

상기 제1 박막 트랜지스터와 병렬로 연결되며, 상기 정극성 저항값이 상기 부극성 저항 값 보다 큰 제2 박막 트랜지스터 저항소자를 포함하는 박막 트랜지스터 저항소자.

청구항 16

제15 항에 있어서,

상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터 저항소자는

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 절연막의 영역의 하부에 형성되는 제3 전극을 공통으로 포함하며,

상기 제1 박막 트랜지스터 저항소자의 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않으며,

상기 제2 박막 트랜지스터 저항소자의 제3 전극은 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않는 박막 트랜지스터 저항소자.

청구항 17

제15항에 있어서,

상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터는

절연막;

상기 절연막의 상부에 형성된 비정질 실리콘층;

서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층;

상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및

상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성되는 제3 전극을 공통으로 포함하는 박막 트랜지스터 저항소자.

발명의 설명

기술 분야

[0001] 본 발명은 측면 표시 품질을 향상시킬 수 있도록 하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 평판 표시 장치가 활발히 개발되고 있다. 평판 표시 장치의 예로서는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electroluminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)이 있다.

[0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 사용되고 있다.

[0004] 액정 표시 장치(LCD)는 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층을 포함하며, 양 전극에 인가되는 전압에 의해 형성되는 전계의 크기를 제어함으로써 액정층을 통과하는 빛의 투과율을 조절하여 화상을 표시하는 장치이다.

[0005] 액정 표시 장치는 또한 각 화소 전극에 연결되는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0006] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 기판에 대하여 수직을

이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다.

[0007] 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 둘 이상의 부화소로 분할하고 각 부화소에 인가되는 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되고 있다.

[0008] 부화소 형성을 위한 방법으로 CS (charge-shared), TT (two transistor) 등의 부화소 구조가 제안되고 있는데, 이러한 구조들은 추가적인 박막 트랜지스터, 커패시터 등이 필요하기 때문에, 개구율이 감소하게 되는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 과제는 고개율의 화소구조가 가능한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0010] 본 발명의 실시예에 따른 액정표시장치는 제1 게이트선을 포함하는 복수의 게이트선, 제1 데이터선을 포함하는 복수의 데이터선, 상기 제1 게이트선과 상기 제2 데이터선에 연결되며 공통전압이 인가되는 제1 화소를 포함하는 복수의 화소를 포함하는 액정패널; 상기 데이터선과 연결되어 데이터 전압을 인가하는 데이터 구동부; 및 상기 게이트선과 연결되어 게이트 전압을 인가하는 게이트 구동부를 포함한다.

[0011] 여기서, 상기 제1 화소는 상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제1 박막 트랜지스터와, 상기 박막 트랜지스터에 일단이 전기적으로 연결되고 상기 공통전압이 타단에 인가되는 제1 액정 커패시터를 포함하는 제1 부화소; 및 상기 제1 게이트선과 상기 제1 데이터선에 연결되는 제2 박막 트랜지스터, 상기 공통전압이 일단에 인가되는 제2 액정 커패시터, 상기 제2 박막 트랜지스터와 상기 제2 액정 커패시터의 타단 사이에 전기적으로 연결되는 박막 트랜지스터 저항소자를 포함하는 제2 부화소를 포함한다.

[0012] 여기서, 상기 박막 트랜지스터 저항소자는 절연막; 상기 절연막의 상부에 형성된 비정질 실리콘층; 서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층; 상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및 상기 절연막의 하부에 형성되는 제3 전극을 포함할 수 있으며, 상기 제3 전극에 인가되는 전압에 의해 상기 박막 트랜지스터 저항소자의 저항 값이 조정될 수 있다.

[0013] 이때, 상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고, 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않을 수 있다.

[0014] 또한, 상기 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성될 수 있다.

[0015] 또한, 상기 박막 트랜지스터 저항소자는 상기 절연막의 하부로부터 조사되는 백 라이트 광에 의해 저항 값이 조정될 수 있다.

[0016] 본 발명의 하나의 실시예에 따른 박막 트랜지스터 저항소자는 절연막; 상기 절연막의 상부에 형성된 비정질 실리콘층; 서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층; 상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및 상기 절연막의 하부에 형성되는 제3 전극을 포함하며, 상기 제3 전극에 인가되는 전압에 의해 저항 값이 조정된다.

[0017] 여기서, 상기 박막 트랜지스터 저항소자는 정극성 저항값이 부극성 저항값 보다 작은 제1 박막 트랜지스터 저항소자와; 상기 제1 박막 트랜지스터와 병렬로 연결되며, 상기 정극성 저항값이 상기 부극성 저항 값 보다 큰 제2 박막 트랜지스터 저항소자를 포함할 수 있다.

[0018] 상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터 저항소자는 절연막; 상기 절연막의 상부에 형성된 비정질 실리콘층; 서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는

제1 오믹 콘택층 및 제2 오믹 콘택층; 상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및 상기 절연막의 영역의 하부에 형성되는 제3 전극을 공통으로 포함할 수 있다. 이때, 상기 제1 박막 트랜지스터 저항소자의 제3 전극은 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않으며, 상기 제2 박막 트랜지스터 저항소자의 제3 전극은 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 형성되고 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부에는 형성되지 않을 수 있다.

[0019] 또한, 상기 제1 박막 트랜지스터 저항소자와 상기 제2 박막 트랜지스터는 절연막; 상기 절연막의 상부에 형성된 비정질 실리콘층; 서로 분리되는 상기 비정질 실리콘층의 제1 영역 및 제2 영역의 상부에 각각 형성되는 제1 오믹 콘택층 및 제2 오믹 콘택층; 상기 제1 오믹 콘택층 및 상기 제2 오믹 콘택층의 적어도 일부 영역의 상부에 각각 형성되는 제1 전극 및 제2 전극; 및 상기 제1 전극에 중첩되는 상기 절연막의 영역의 하부와 상기 제2 전극에 중첩되는 상기 절연막의 영역의 하부에 각각 분리되어 형성되는 제3 전극을 공통으로 포함할 수 있다.

발명의 효과

[0020] 본 발명의 실시예에 따르면, 고개울의 화소구조가 가능한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치를 제공할 수 있다.

[0021] 본 발명의 실시예에 따르면, 저항소자의 저항 특성의 비 대칭성이 개선되고 저항 크기가 감소되는 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.

도 2는 본 발명의 실시예에 따른 액정 표시 장치에 포함되는 화소를 나타내는 회로도이다.

도 3은 본 발명의 실시예에 따른 기본 비정질 실리콘 저항소자를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 비정질 실리콘의 광학적 저항 특성을 나타내는 도면이다.

도 5는 본 발명의 제1 실시예에 따른 TFT 저항 소자를 나타내는 도면이다.

도 6은 본 발명의 제1 실시예에 따른 TFT 저항소자의 I-V 특성을 나타내는 도면이다.

도 7 내지 도 9는 본 발명의 제2 실시예에 따른 TFT 저항 소자를 나타내는 도면이다.

도 10 및 도 11은 본 발명의 제3 실시예에 따른 TFT 저항 소자를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0024] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 하나의 실시예에서 설명하고, 그 외의 실시예에서는 다른 구성에 대해서만 설명하기로 한다.

[0025] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0026] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- [0028] 이제, 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하여 상세하게 설명한다.
- [0029] 도 1은 본 발명의 실시예에 따른 곡면형 액정 표시 장치를 나타내는 블록도이고, 도 2는 본 발명의 실시예에 따른 액정 표시 장치에 포함되는 화소를 나타내는 회로도이다.
- [0030] 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치는 신호 제어부(100), 게이트 구동부(200), 데이터 구동부(300), 계조전압 생성부(400), 액정패널(500) 및 공통전압 발생부(600)를 포함한다.
- [0031] 액정패널(500)은 상부 기관과 하부 기관 그리고 이들 기관들 사이에 개재된 액정물질을 포함한다. 또한, 액정패널(500)은 복수의 게이트선(S1~Sn), 복수의 데이터선(D1~Dm) 및 복수의 화소(PX, 510)를 포함한다. 복수의 화소(510)는 복수의 게이트선(S1~Sn) 및 복수의 데이터선(D1~Dm)에 연결되어 대략 행렬의 형태로 배열된다. 복수의 게이트선(S1~Sn)은 대략 행 방향으로 연장되어 서로가 거의 평행하다. 복수의 데이터선(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다. 여기서는 복수의 화소(510)에 복수의 게이트선(S1~Sn) 및 복수의 데이터선(D1~Dm)만이 연결되어 있는 것으로 도시하였으나, 화소(510)의 구조나 구동 방법 등에 따라 복수의 화소(PX)에는 전원선, 분압 기준 전압선 등의 다양한 신호선들이 추가적으로 연결될 수 있다.
- [0032] 한편, 액정패널(500)의 후면에는 액정패널(500)에 광을 조사하는 백라이트 유닛(도시하지 않음)이 마련된다.
- [0033] 신호 제어부(100)는 영상 신호(R, G, B) 및 입력 제어 신호를 수신한다. 영상 신호(R, G, B)는 복수의 화소의 휘도(luminance) 정보를 담고 있다. 입력 제어 신호는 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클록 신호(MCLK)를 포함한다.
- [0034] 신호 제어부(100)는 영상 신호(R, G, B), 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클록 신호(MCLK)에 따라 게이트 제어신호(CONT1), 데이터 제어신호(CONT2) 및 영상 데이터 신호(DAT)를 생성한다. 신호 제어부(100)는 수직 동기 신호(Vsync)에 따라 프레임 단위로 영상 신호(R, G, B)를 구분하고, 수평 동기 신호(Hsync)에 따라 게이트 라인 단위로 영상 신호(R, G, B)를 구분하여 영상 데이터 신호(DAT)를 생성한다.
- [0035] 신호 제어부(100)는 영상 데이터 신호(DAT) 및 데이터 제어신호(CONT2)를 데이터 구동부(300)에 제공한다. 데이터 제어신호(CONT2)는 데이터 구동부(300)의 동작을 제어하는 신호로서, 영상 데이터 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호, 데이터선(D1~Dm)에 데이터 신호의 출력을 지시하는 로드 신호 및 데이터 클록 신호를 포함한다. 데이터 제어신호(CONT2)는 공통전압 발생부(600)에 의해 공급되는 공통 전압(Vcom)에 대한 영상 데이터 신호(DAT)의 전압 극성을 반전시키는 반전 신호를 더 포함할 수 있다.
- [0036] 신호 제어부(100)는 게이트 제어신호(CONT1)를 게이트 구동부(200)에 제공한다. 게이트 제어신호(CONT1)는 게이트 구동부(200)에서의 주사 시작 신호 및 게이트 온 전압의 출력을 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어신호(CONT1)는 게이트 온 전압의 지속 시간을 한정하는 출력 인에이블 신호를 더 포함할 수 있다.
- [0037] 데이터 구동부(300)는 액정패널(500)의 데이터선(D1~Dm)에 연결되며, 계조 전압 생성부(400)로부터의 계조 전압을 선택한다. 데이터 구동부(300)는 선택한 계조 전압을 데이터 신호로서 데이터선(D1~Dm)에 인가한다. 계조 전압 생성부(400)는 모든 계조에 대한 전압을 제공하지 않고 정해진 수의 기준 계조 전압만을 제공할 수 있다. 이때, 데이터 구동부(300)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고, 이 중에서 데이터 신호를 선택할 수 있다.
- [0038] 게이트 구동부(200)는 액정패널(500)의 게이트선(S1~Sn)에 연결되어 있는 스위칭 소자를 턴 온(turn on)시키는 게이트 온 전압과 턴 오프(turn off)시키는 게이트 오프 전압의 조합으로 이루어진 게이트 신호를 게이트선(S1~Sn)에 인가한다.
- [0039] 도 2를 참조하면, 본 발명의 하나의 실시예에 따른 화소(520)는 게이트 신호를 전달하는 게이트선(Gi), 데이터 신호를 전달하는 데이터선(Dj)에 연결되며, 각 화소(PX)에는 공통 전압(Vcom)이 공급된다.
- [0040] 각 화소(520)는 색 표시를 구현하기 위해 기본색(레드, 그린, 블루) 중 하나를 표시하거나(공간 분할) 각 화소(520)가 시간에 따라 번갈아 기본색을 표시하여(시간 분할) 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 할 수 있다.
- [0041] 그리고, 각 화소(520)는 제1 박막 트랜지스터(thin film transistor, 이하, 'TFT'라고도 함, T_H), 제2 박막 트

랜지스터(T_L), 저항소자(523) 및 제1 액정 커패시터($C1c_H$) 및 제2 액정 커패시터($C1c_L$)를 포함한다.

- [0042] 화소(520)는 제1 및 제2 부화소(521, 522)를 포함하며, 제1 부화소(521)는 제1 TFT(T_H) 및 제1 액정 커패시터($C1c_H$)를 포함하고, 제2 부화소(522)는 제2 TFT(T_L), 저항소자(523) 및 제2 액정 커패시터($C1c_L$)를 포함한다.
- [0043] 제1 TFT(T_H) 및 제2 TFT(T_L)는 스위칭 소자로서 동작하며, 이하에서는 제1 TFT(T_H) 및 제2 TFT(T_L)를 저항소자와 구분하기 위해, '스위칭 TFT'라 칭한다.
- [0044] 제1 TFT(T_H) 및 제2 TFT(T_L)의 게이트 전극과 소스 전극(또는 드레인 전극)은 각각 게이트선(G_i) 및 데이터선(D_j)에 연결된다. 제1 TFT(T_H)의 드레인 전극(또는 소스전극)은 제1 액정 커패시터($C1c_H$)에 연결되고, 제2 TFT(T_L)의 드레인 전극(또는 소스전극)은 저항소자(523)의 일단에 연결되고, 저항 소자(523)의 타단은 제2 액정 커패시터($C1c_L$)에 연결된다.
- [0045] 도 2에 도시한 본 발명의 실시예에 따른 화소 구조에 따르면, 게이트선(G_i)에 게이트 온 신호가 인가되면, 이에 연결된 제1 TFT(T_H) 및 제2 TFT(T_L)가 턴 온 된다.
- [0046] 이에 따라 데이터선(D_j)에 인가된 동일한 데이터 전압이 턴 온 된 제1 TFT (T_H) 및 제2 TFT(T_L)를 통해 각각 제1 부화소(521) 및 제2 부화소(522)에 인가된다.
- [0047] 이 때, 제1 부화소(521) 및 제2 부화소(522)에는 동일한 데이터 전압이 인가되지만, 제2 액정 커패시터($C1c_L$)에는 저항소자(523)를 통해 전압 강하된 전압이 인가되기 때문에 제1 액정 커패시터($C1c_H$)와 제2 액정 커패시터($C1c_L$)에는 서로 상이한 값의 전압이 충전된다.
- [0048] 이와 같이 본 발명의 실시예에 따르면, 동일한 데이터 전압이 인가되더라도 제1 부화소(521)의 제1 액정 커패시터($C1c_H$)에 충전된 전압과 제2 부화소(522)의 제2 액정 커패시터($C1c_L$)에 충전된 전압이 서로 다르므로 제1 부화소(521)와 제2 부화소(522)에서 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 두 부화소(521, 522)의 휘도가 달라진다. 따라서, 제1 액정 커패시터($C1c_H$)에 충전되는 전압과 제2 액정 커패시터($C1c_L$)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다
- [0049] 도 2에서, 데이터선(D_j)에 인가되는 전압(V_d)이 공통전압(V_{com})보다 큰 경우에는, 제2 액정 커패시터($C1c_L$)에 정(+)극성의 전압이 인가되어, 정극성의 제1 전류(I_1)가 저항소자(523)를 흐른다. 또한, 데이터선(D_j)에 인가되는 전압(V_d)이 공통전압(V_{com})보다 작은 경우에는, 제2 액정 커패시터($C1c_L$)에 음극성(-)의 전압이 인가되고, 제1 전류와 반대 방향인 음극성의 제2 전류(I_2)가 저항소자(523)를 흐른다.
- [0050] 이하에서 설명하는 바와 같이, 본 발명의 실시예에 따르면, 저항소자(523)는 스위칭 TFT를 제조하는데 사용되는 비정질 실리콘을 통해 제작될 수 있다.
- [0051] 이하에서는 본 발명의 실시예에 따른 저항소자를 보다 상세하게 설명한다.
- [0052] 도 3은 본 발명의 실시예에 따른 기본(normal) 비정질 실리콘 저항소자(이하에서는 '기본 비정질 실리콘 저항소자'를 간략히 '비정질 실리콘 저항소자'라고도 칭함)의 구조를 나타내는 도면이다.
- [0053] 도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 비정질 실리콘 저항소자의 구조에 의하면, 질화규소(SiN_x) 또는 산화규소(SiO_x) 등으로 이루어진 절연막(10)이 형성되어 있으며, 절연막(10)의 상부에는 비정질 실리콘 등으로 이루어진 비정질 실리콘층(20)이 형성되어 있다. 이러한 비정질 실리콘층(20)은 스위칭 TFT에서 액티브 층을 형성하며, 후술하는 소스 전극(41) 및 드레인 전극(42) 사이에 전류가 흐르도록 하는 역할을 한다.
- [0054] 비정질 실리콘층(20)의 상부의 제1 영역 및 제2 영역에는 비정질 실리콘층(20)과 소스 전극(41) 사이 및 비정질 실리콘층(20)과 드레인 전극(42) 사이의 저항성 접촉 특성을 향상시키기 위한 오믹 콘택층(30)이 형성된다. 이 때, 오믹 콘택층(30)은 n형 불순물을 포함하는 비정질 실리콘으로 형성된다.
- [0055] 도 3에 도시한 저항소자의 각 층 및 전극은 스위칭 TFT를 구성하는 층 및 전극의 재료와 동일하므로, 별도의 제조공정 없이 스위칭 TFT 제조시 같이 형성될 수 있다. 즉, 본 발명의 실시예와 같이 비정질 실리콘으로 저항소자를 구성하는 경우, 추가적인 제조공정 없이 간단히 저항소자를 형성할 수 있는 장점이 있다.

- [0056] 비정질 실리콘 자체는 결함 밀도 ($10^{19}/\text{cm}^3$)가 높기 때문에, TFT 소자의 액티브 재료로 사용되기 어려우나, 수소화를 통해 땀글링 밴드(dangling bond)의 수를 줄이거나 밴드갭(band gap) 내의 국재 상태(localized state)를 줄이면 결함 밀도 ($10^{15}/\text{cm}^3$)가 낮아지기 때문에, 스위칭 소자의 반도체로 사용 가능하다.
- [0057] 수소화된 비정질 실리콘의 광학적 밴드 갭(optical band-gap)은 대략 1.8eV 이며, 암 전도도(dark conductivity)는 3×10^{-10} (S/cm)이고, 광 전도도(photo conductivity)는 1×10^{-4} (S/cm) 이다. 즉, 빛에 의한 비정질 실리콘의 도전율이 변함을 알 수 있는데, 이는 비정질 실리콘 자체가 광 전도적인(photo conductive) 특성을 갖고 있음에 기인한다.
- [0058] 도 4는 본 발명의 실시예에 따른 비정질 실리콘 저항소자에 백 라이트를 인가한 경우와 인가하지 않은 경우의 저항 값을 나타낸 도면이다. 도 4를 참조하면, 비정질 실리콘 저항 소자에 백라이트(photo 상태)가 인가된 경우, 백라이트가 인가되지 않은 상태(dark 상태)에 비해 저항 값이 감소됨을 알 수 있다. 또한, 도 4를 참조하면, 비정질 실리콘 저항소자의 소스와 드레인에 인가되는 전압에 따라 저항 값이 변동(즉, 큰 전압이 인가될수록 저항 값이 작아짐을 알 수 있다.)
- [0059] 도 5는 본 발명의 제1 실시예에 따른 TFT 저항소자의 구조를 나타내는 도면이다.
- [0060] 도 5에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 TFT 저항소자는 도 3에 도시한 비정질 실리콘 저항소자와 그 구조가 거의 동일하지만, 절연막(10)의 하부에 게이트 전극(60)이 추가적으로 형성된 점에서 차이가 난다. 이러한 본 발명의 제1 실시예에 따른 TFT 저항소자는 액정표시장치의 스위칭 소자로 사용하는 스위칭 TFT와 그 구조가 동일하므로, 스위칭 TFT의 제조시 같이 형성할 수 있다는 장점이 있다.
- [0061] 도 5에 도시한 TFT 저항소자에 따르면, 게이트 전극에 전압이 인가됨에 따라 비정질 실리콘층(20)의 상부에 캐리어(전자)를 이동시켜 도전성 영역을 형성 때문에, 기본 비정질 실리콘 저항소자에 비해 저항 값을 낮출 수 있다는 장점이 있다. 또한, 게이트 전극에 인가되는 전압을 제어함으로써 TFT 저항 값을 조절할 수 있다는 장점이 있다.
- [0062] 한편, TFT저항 소자의 저항 크기는 옴의 법칙(ohm's law)에 의해, I-V(전류-전압) 커브의 기울기에 기초하여 산출되며, I-V 커브의 기울기가 변하게 되면 저항 값이 달라진다.
- [0063] 다음은 도 6을 참조하여, TFT 저항 소자의 전기적 특성을 설명한다.
- [0064] 도 6은 기본 비정질 실리콘 저항소자와 TFT 저항소자의 I-V 특성을 나타내는 그래프다.
- [0065] 도 6을 참조하면, 기본 비정질 실리콘 저항소자의 I-V 특성 그래프(1)는 거의 선형적이지만, TFT 저항소자의 I-V 특성 그래프의 경우에는 V_{ds} 전압이 V_{sat} 보다 작은 구간(선형구간)에서는 거의 선형적이고 V_{ds} 전압이 V_{sat} 보다 큰 구간(포화구간)에서는 비선형적인 특성을 갖는다. 또한, TFT 저항소자에서 포화(saturation) 구간에서는 I-V 기울기 감소로 저항이 증가하게 된다.
- [0066] 도 7은 본 발명의 제2 실시예에 따른 TFT 저항 소자의 구조를 나타내는 도면이다.
- [0067] 도 7에 도시한 본 발명의 제2 실시예에 따른 TFT 저항소자의 구조는 도 5에 도시한 TFT 저항소자의 구조와 거의 동일하지만, 절연막(10)의 하부 전체에 게이트 전극(60)이 형성되는 것이 아니라 소스 전극 또는 드레인 전극 중 하나의 전극에 중첩되는, 절연막(10)의 일부 영역에 게이트 전극(70)이 형성된 것이 다르다.
- [0068] 이하에서는 도 7에 도시한 구조의 TFT 저항소자를 도 5에 도시한 TFT 저항소자와 구분하기 위해, 하프-게이트(Half-gate) TFT 저항소자라 칭한다.
- [0069] 도 5에 도시한 TFT 저항소자는 게이트 전극(70)에 인가되는 전압을 제어함으로써 TFT 저항 값을 조절할 수 있다는 장점이 있지만, 절연막(10) 전체에 게이트 전극(60)이 형성되어 있기 때문에, 백 라이트로부터 제공되는 광이 차단되어 비정질 실리콘의 광 전도적(photo-conductive)인 특성이 저감되는 단점이 있다. 즉, 도 5에 도시한 TFT 저항 구조는 광 전도적인(photo-conductive) 특성이 저감되어 낮은 저항 값을 갖는 저항소자를 제조하기에 어려운 단점이 있다.
- [0070] 그러나, 도 7에 도시한 하프-게이트 TFT저항소자는 백 라이트로부터 광이 투과됨과 동시에 게이트 전극(70)에 인가되는 전압을 통해 저항 값을 조절할 수 있기 때문에, 광 전도적(photo-conductive)이면서도 저항 값이 쉽게 제어가능한 저항 소자를 제조할 수 있는 장점이 있다.

- [0071] 본 발명의 제2 실시예에 따른 TFT 저항소자에 따르면, 백라이트 회로의 세기, TFT 소자의 채널 크기, 게이트 전극에 인가되는 전압의 조정을 통해 원하는 저항 값을 갖는 하프-게이트 TFT 저항소자를 제조할 수 있다.
- [0072] 그러나, 도 7에 도시한 하프 게이트 TFT 저항소자에 따르면, 소스전극(41)과 드레인전극(42)에 흐르는 전류의 방향이 바뀔에 따라 저항 값이 달라지는 특성(즉, 비대칭적인 특성)이 있다. 즉, 소스 전극(41)에 드레인 전극(42)보다 큰 전압이 인가된 경우(즉, 정극성의 전압이 인가된 경우)의 저항 값(이를 '정극성 저항값'이라 함)과 소스 전극(41)에 드레인 전극(42)보다 작은 전압이 인가된 경우(즉, 부극성의 전압이 인가된 경우)의 저항 값(이를 '부극성 저항값'이라 함)이 다르게 된다. 이처럼 정극성 저항값과 부극성 저항값이 차이가 나는 이유는 도 7에 도시한 게이트 전극(70)이 소스 전극(41)과 드레인 전극(42)과 모두 중첩되는 영역에 형성되는 것이 아니라 일부 전극(도 7에서는 드레인 전극)에만 중첩되는 영역에 형성되기 때문이다.
- [0073] 도 7에 도시한 구조에 의하면, 게이트 전극(70)에 전압이 인가되는 경우, 드레인 전극(42)의 하부에는 캐리어(전자)가 이동되어 도전성 영역이 형성되나, 소스 전극의 하부(41)에는 캐리어가 이동되지 않기 때문에, 하프 게이트 구조의 TFT 저항은 비대칭적인 I-V 특성 곡선을 갖는다. 즉, 하부 게이트가 없는 소스 전극(41)에 흐르는 전류 특성은 로그 형태인 반면, 하부 게이트(70)가 있는 드레인 전극(42)에 흐르는 전류 특성은 선형적이다. 따라서, 하프-게이트 TFT 저항에 부 극성의 전압이 인가된 경우(즉, 드레인 전극에 높은 전압이 인가된 경우)는 비교적 큰 값의 부극성 전류(I₂)가 흐르나, 정극성의 전압이 인가된 경우(즉, 소스 전극에 높은 전압이 인가된 경우)는 비교적 낮은 값의 정극성 전류가 흐르나, 즉, 부극성 저항값이 정극성 저항 값보다 작음을 알 수 있다.
- [0074] 따라서, 도 2에 도시한 화소 구조에서 저항소자(523)를 도 7에 도시한 하프 게이트 TFT 저항소자를 사용한 경우에는, 부극성 저항값이 정극성 저항 값보다 작기 때문에, 정극성의 전압이 인가된 경우 제2 액정 커패시터(C1c_L)에 충전되는 전압(정극성 충전전압)이 부극성의 전압이 인가된 경우 제2 액정 커패시터(C1c_L)에 충전되는 전압(부극성 충전전압)보다 작게 된다. 따라서, 동일한 데이터 전압이 인가되더라도 극성에 따른 저항 크기가 달라져서 비정상적인 화소 동작이 유발되는 문제점이 있다.
- [0075] 이와 같은 정극성 저항값과 부극성 저항값의 비대칭으로 인해 생기는 문제점을 해결하기 위해, 본 발명의 제2 실시예에서는 각각 다른 전극 하부에 게이트 전극이 존재하는 하프 게이트 TFT 저항 소자를 병렬로 연결하였다.
- [0076] 도 8은 본 발명의 제2 실시예에 따른 TFT 저항소자의 등가회로를 나타낸 도면이다. 도 8을 참조하면, 제1 및 제2 하프 게이트 TFT 저항 소자(R_a, R_b)가 병렬로 연결되어 있다.
- [0077] 도 8의 제1 하프 게이트 TFT 저항 소자(R_a)와 제2 하프 게이트 TFT 저항 소자는 각각 다른 전극 하부에 게이트 전극이 존재하는 저항소자를 등가적으로 나타낸 것이다.
- [0078] 도 9를 참조하면, 제1 하프 게이트 TFT 저항소자(R_a)는 드레인 전극(42)의 하부에만 게이트 전극(71)이 형성되어 있으며, 제2 하프 게이트 TFT 저항소자(R_b)는 소스 전극(41)의 하부에만 게이트 전극(72)이 형성되어 있다.
- [0079] 이처럼, 본 발명의 제2 실시예에서는 각각 다른 전극 하부에 게이트 전극이 존재하는 하프 게이트 TFT 저항 소자를 병렬로 연결함으로써, 저항값을 더욱 낮출 수 있을 뿐만 아니라, 하프 게이트 TFT 저항 소자의 비대칭적인 I-V 특성(즉, 정극성의 저항값과 부극성의 저항값이 다른 특성)을 극복할 수 있다.
- [0080] 도 10은 본 발명의 제3 실시예에 따른 TFT 저항소자를 나타내는 도면이다.
- [0081] 도 10에 도시한 본 발명의 제3 실시예에 따른 TFT 저항소자는 도 5에 도시한 TFT 저항소자와 그 구조가 거의 동일하지만, 절연막(10)의 하부 전체에 게이트 전극(60)이 형성되는 것이 아니라 소스 전극(10)에 대응하는 절연막(10)의 영역과 드레인 전극(10)에 대응하는 절연막(10)의 영역에만 게이트 전극(81, 82)이 형성되고, 절연막(10)의 가운데 영역의 하부에는 게이트 전극이 형성되지 않은 것이 다르다. 이러한, 도 10에 도시한 구조의 TFT 저항소자를 스플릿-게이트(Half-gate) TFT 저항소자라 칭한다.
- [0082] 도 10에 도시한 스플릿-게이트 TFT 저항 소자는 도 7에 도시한 하프-게이트 TFT 저항 구조와 마찬가지로, 백 라이트로부터 광이 투과되기 때문에, 게이트 전극(81, 82)에 인가되는 전압을 제어함으로써 TFT 저항 소자의 저항 값을 조절할 수 있으며 광 전도적(photo-conductive)이면서도 제어가능한 저항 소자를 제조할 수 있는 장점이 있다.
- [0083] 또한, 도 10에 도시한 스플릿-게이트 TFT 저항소자는 소스 전극(10)에 대응하는 절연막(10)의 영역과 드레인 전극(10)에 대응하는 절연막(10)의 영역에 모두 게이트 전극(81, 82)이 형성되기 때문에, 비대칭적인 I-V 특성(즉, 정극성의 저항값과 부극성의 저항값이 다른 특성)을 갖는 하프-게이트 TFT 저항 소자보다 대칭적인 I-V 특

성을 갖는 TFT 저항 소자를 구현할 수 있다는 장점이 있다.

[0084] 다만, 도 10에 도시한 스플릿-게이트 TFT저항소자도 제조과정시 발생할 수 있는 오버레이(overlay) 시프트에 의해 비대칭 저항 특성이 발생할 가능성이 있다. 즉, 도 11에 도시한 바와 같이, 하부 게이트 전극층과 상부 소스/드레인 전극층의 정렬이 틀어짐에 따라 비대칭성이 발생할 수 있다. 이러한 제조 공정상의 오버레이 시프트에 의한 비대칭성의 문제가 발생하더라도 이러한 비대칭성의 문제는 하프-게이트 TFT 저항소자의 비대칭성의 문제보다는 훨씬 양호한 문제이다.

[0085] 그리고, 하부 게이트 전극층과 상부 소스/드레인 전극층의 정렬이 틀어짐에 따라 발생하는 비대칭성의 문제는 도 9에 도시한 바와 같이, 드레인 전극(42)에 좀더 편향된 제1 스플릿-게이트 TFT 저항소자와 소스 전극(41)에 좀더 편향된 제2 스플릿-게이트 TFT 저항소자를 병렬 연결함으로써, 비대칭적인 I-V 특성을 극복할 수 있다.

[0086] 이상에서 설명한 본 발명의 실시예에 따르면, 비정질 실리콘 저항소자 또는 TFT 저항소자를 이용하여 부화소를 구현하기 때문에, 고개울의 화소구조가 가능한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치를 제공할 수 있다. 또한, 본 발명의 실시예에 따르면, 비대칭적인 저항 특성을 갖는 TFT 저항소자를 병렬로 연결하여 구현함으로써, 저항소자의 저항 특성의 비 대칭성이 개선되고 저항 크기가 감소되는 액정 표시 장치를 제공할 수 있다.

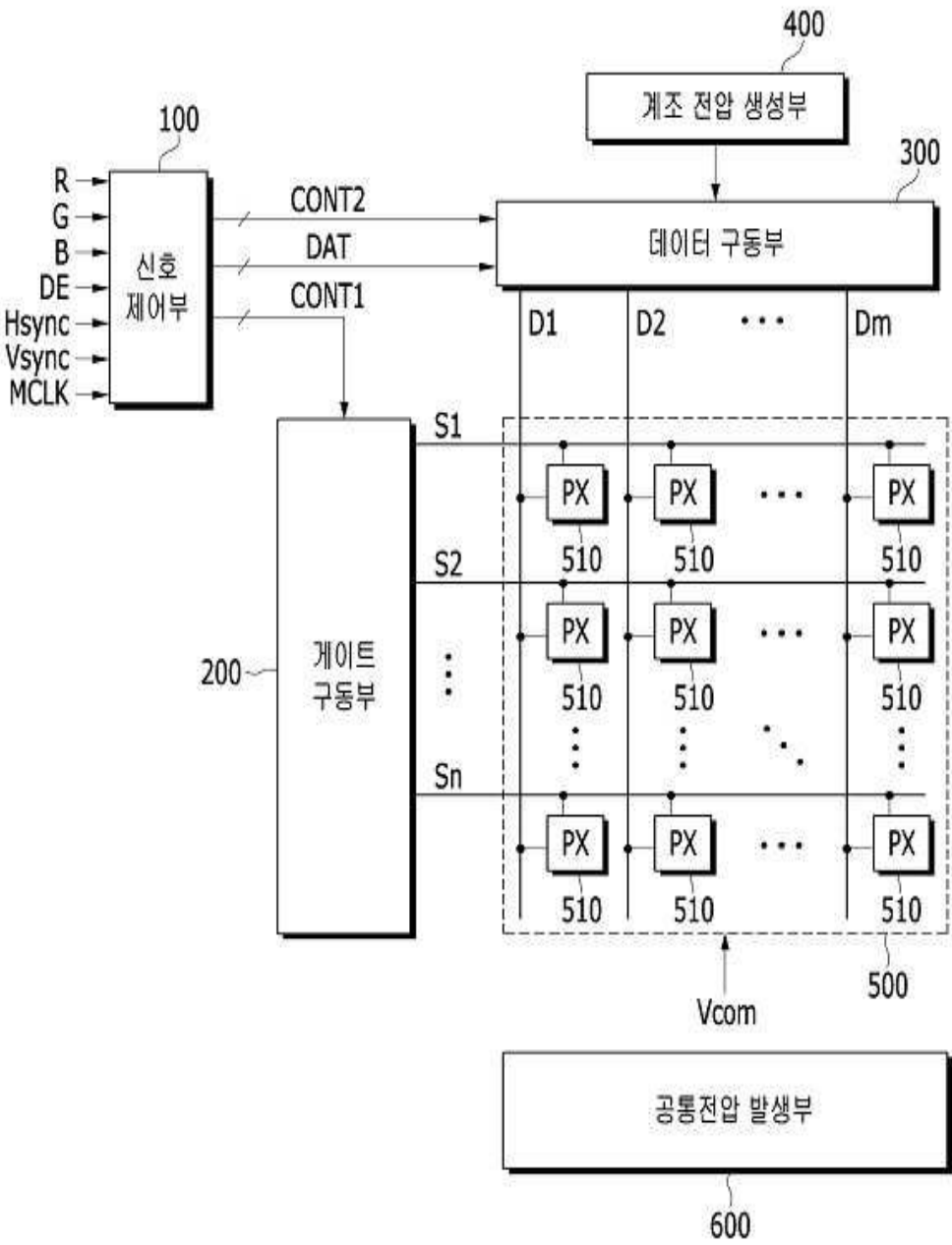
[0087] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

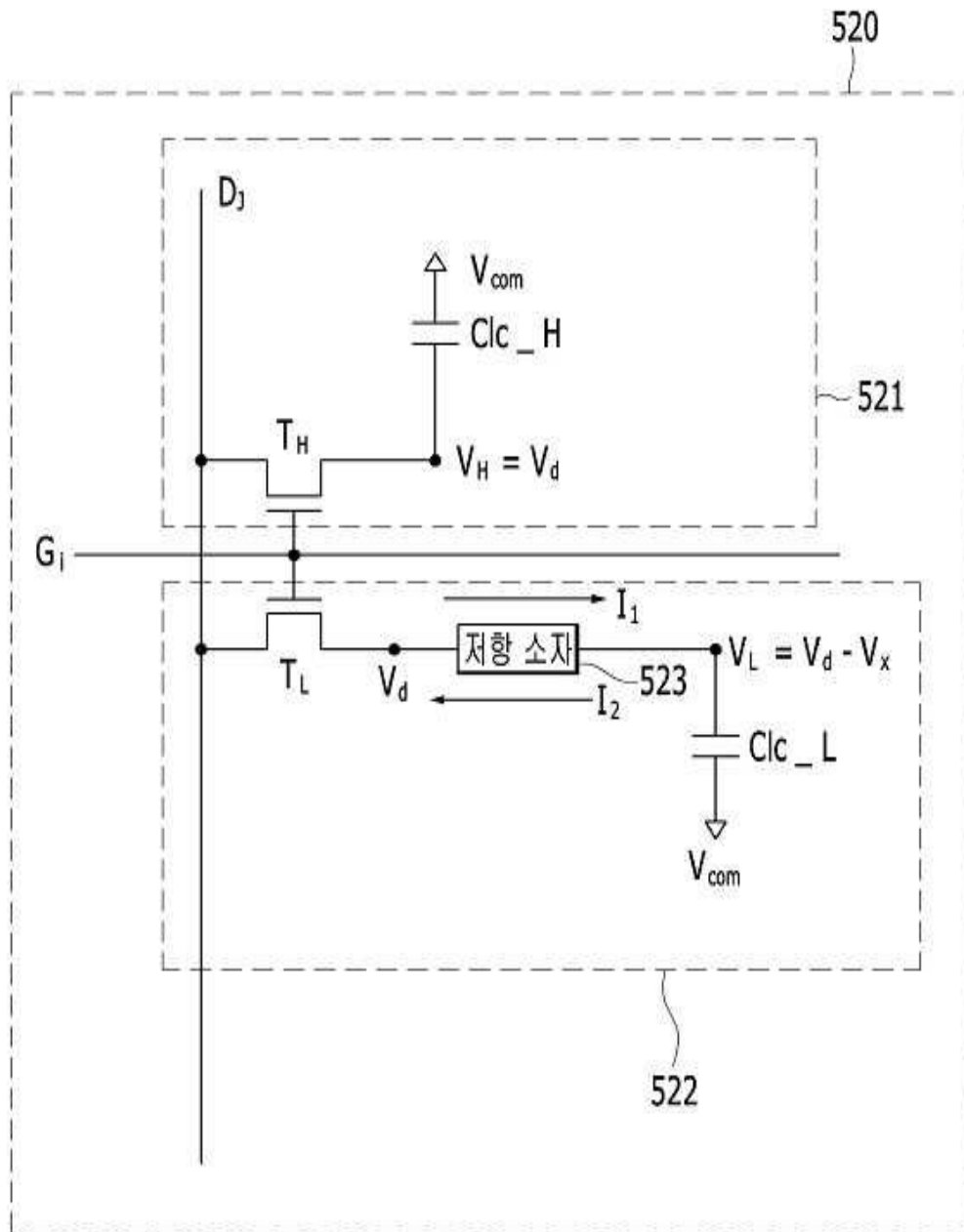
[0088] 100: 타이밍 제어부 200: 게이트 구동부, 300: 데이터 구동부 400: 계조전압 생성부
500: 액정패널, 600: 공통전압 발생부
523: 저항소자 10: 절연막 20: 비정질 실리콘층 30: 오믹 콘택트층
41: 소스전극 42: 드레인 전극
70, 71, 72, 81, 82, 83,84, 85, 86: 게이트전극

도면

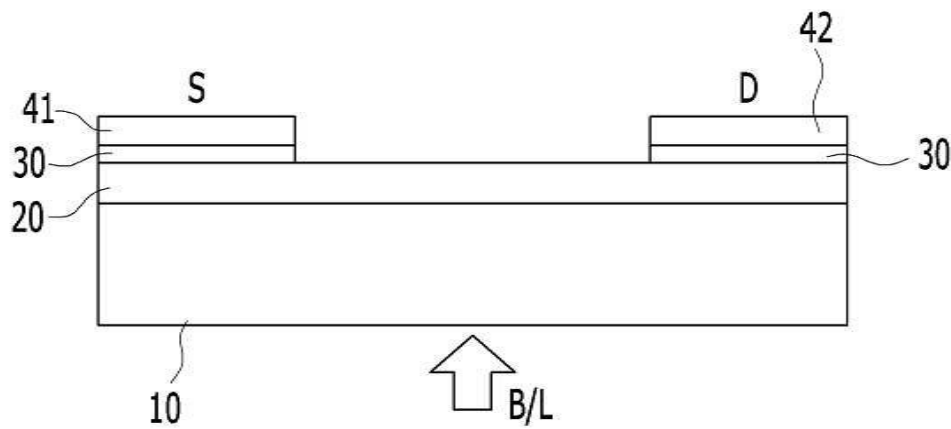
도면1



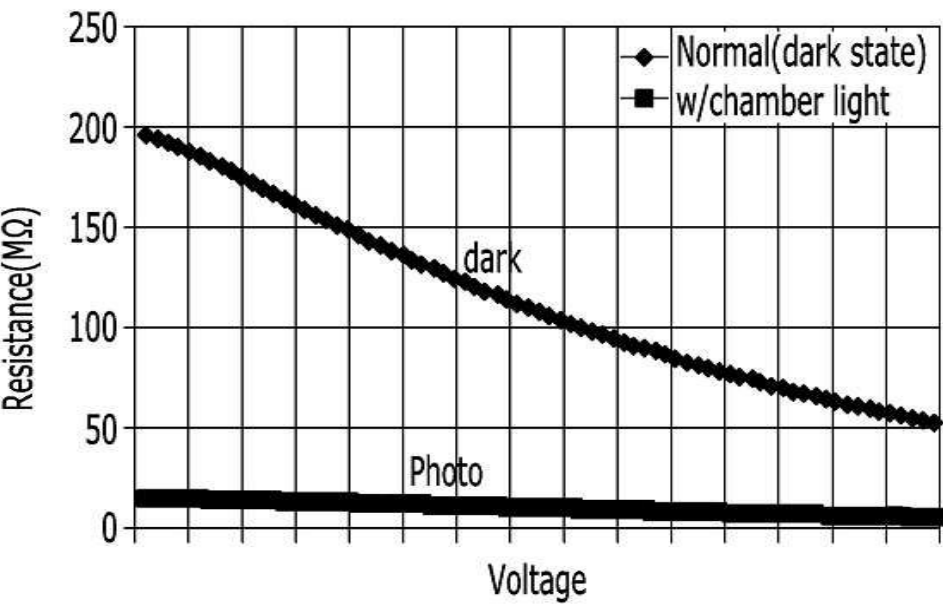
도면2



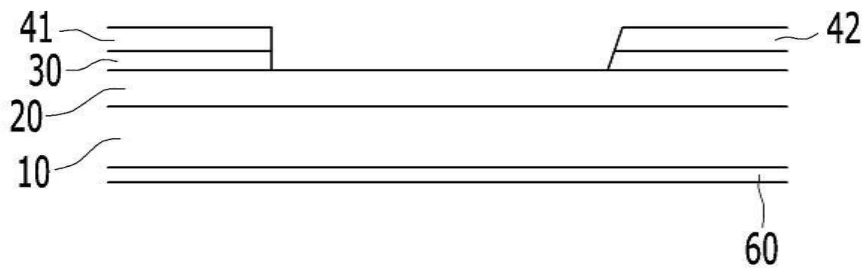
도면3



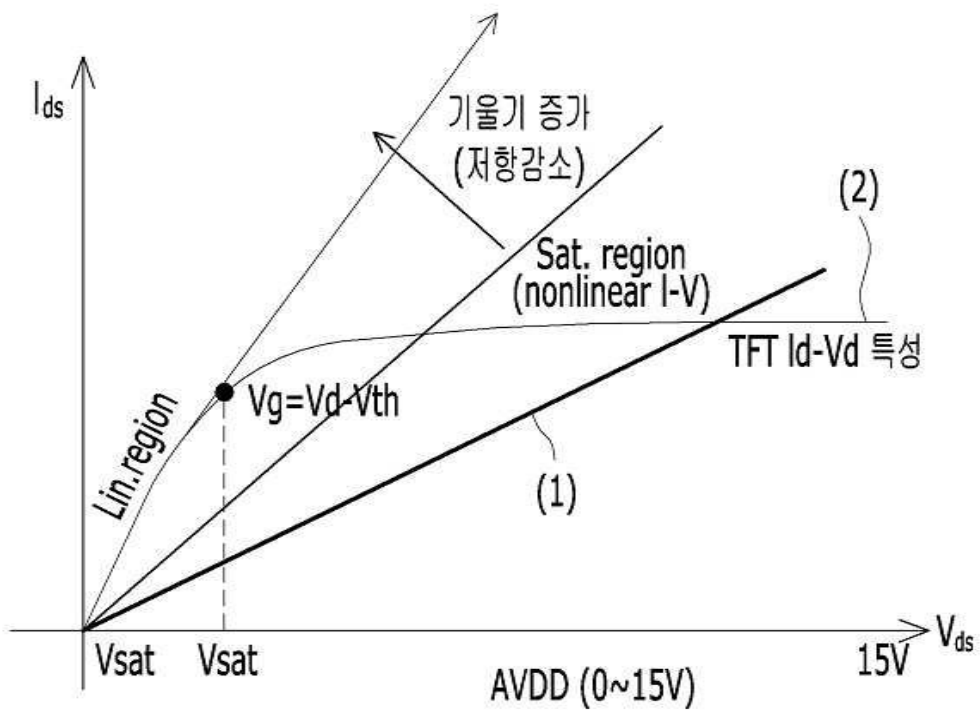
도면4



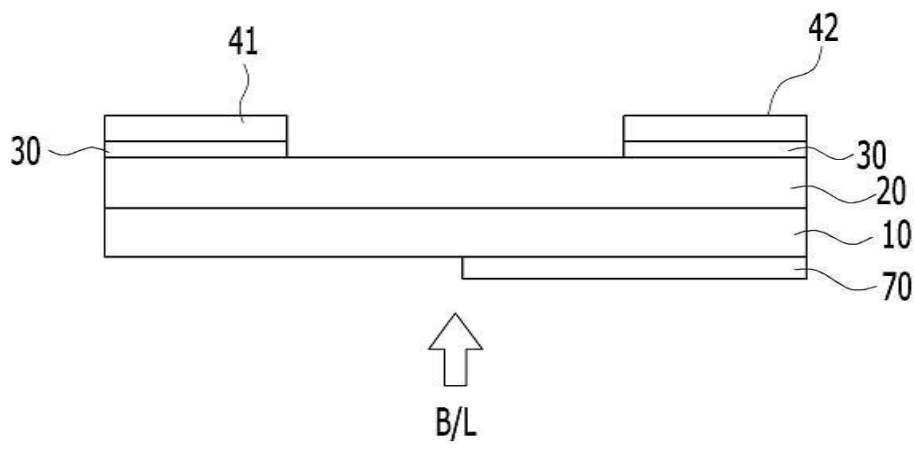
도면5



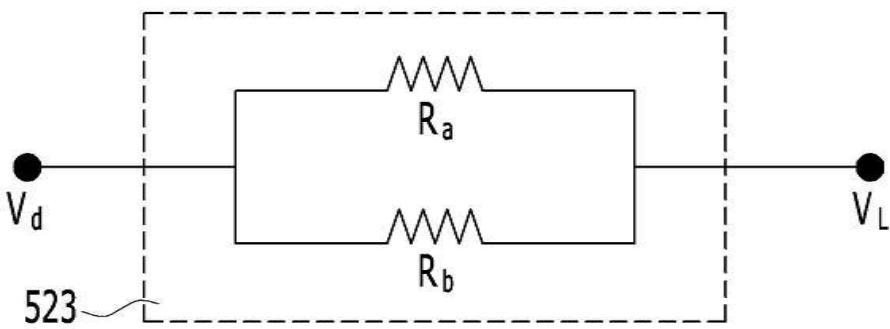
도면6



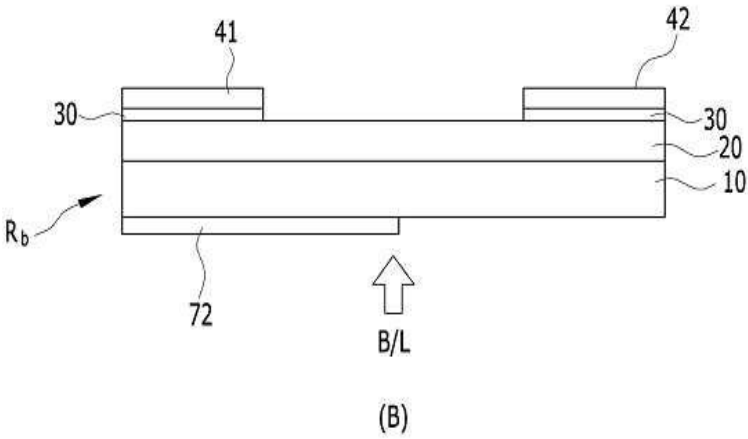
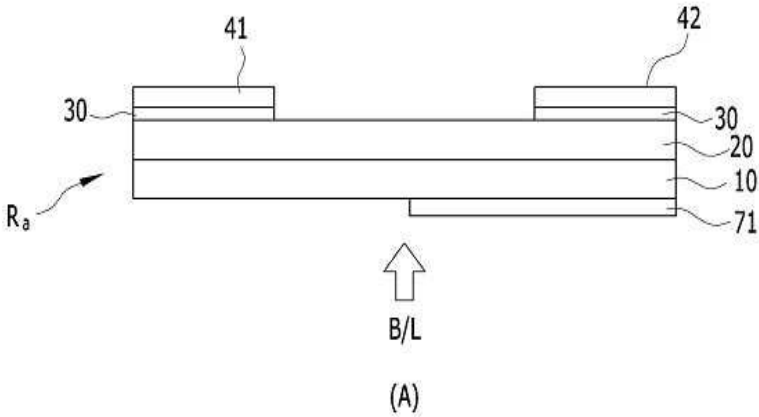
도면7



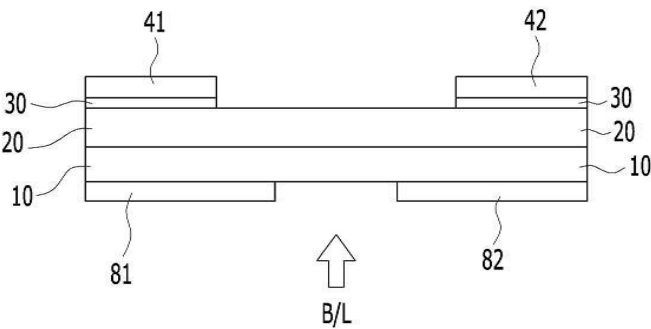
도면8



도면9



도면10



도면11

