



등록특허 10-2279494



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년07월22일

(11) 등록번호 10-2279494

(24) 등록일자 2021년07월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0194422

(22) 출원일자 2014년12월30일

심사청구일자 2019년12월02일

(65) 공개번호 10-2016-0083368

(43) 공개일자 2016년07월12일

(56) 선행기술조사문헌

KR1020040041810 A*

KR1020070109109 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

양동규

경기도 고양시 일산동구 무궁화로 7-63 702호 (장항동, 우인아크리움빌2차)

조영민

경기도 파주시 책향기로 439 (동패동, 책향기마을 동문굿모닝힐) 책향기마을 1004-503

(74) 대리인

특허법인 정안

전체 청구항 수 : 총 2 항

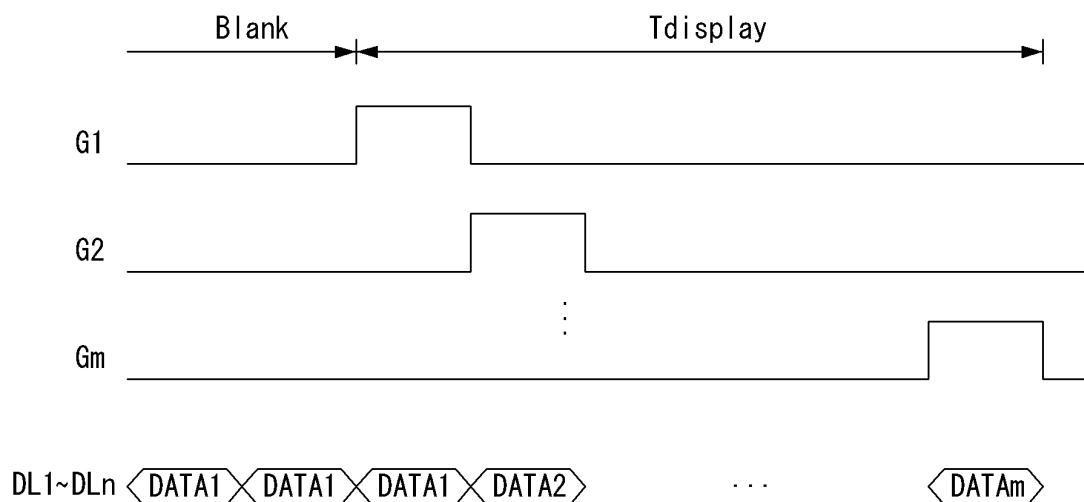
심사관 : 이종경

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 의한 액정표시장치는 화소들, 더미 화소들, 데이터라인, 타이밍 컨트롤러 및 데이터 구동부를 포함한다. 화소들은 영상을 표시하고, 더미 화소들은 화소들과 이웃한 위치에 배치된다. 데이터라인은 더미 화소들 및 화소들에 연결된다. 타이밍 컨트롤러는 수직 블랭크 기간과 영상표시기간을 구분하고, 수직 블랭크 기간 동안에 더미 화소들에 제공되는 더미 데이터를 생성한다. 데이터 구동부는 더미 데이터를 바탕으로 더미 데이터전압을 생성하고 영상데이터를 바탕으로 데이터전압을 생성하며, 수직블랭크기간 동안에 더미 데이터전압을 출력하고 영상표시기간 동안에 데이터전압을 출력한다.

대표도 - 도4



명세서

청구범위

청구항 1

영상을 표시하는 화소들;

상기 화소들과 이웃한 위치에 배치되는 더미 화소들;

상기 더미 화소들 및 상기 화소들에 연결되는 데이터라인;

수직 블랭크 기간과 영상표시기간을 구분하고, 상기 수직 블랭크 기간 동안에 상기 더미 화소들에 제공되는 더미 데이터를 생성하는 타이밍 컨트롤러; 및

상기 더미 데이터를 바탕으로 더미 데이터전압을 생성하고 영상데이터를 바탕으로 데이터전압을 생성하며, 수직 블랭크기간 동안에 상기 더미 데이터전압을 출력하고 영상표시기간 동안에 상기 데이터전압을 출력하는 데이터 구동부를 포함하고,

상기 더미 데이터는

제1 수평라인에 배열되는 상기 화소들에 제공되는 제1 영상데이터와 동일한 값 및 동일한 극성을 갖는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 더미 화소들은 1열 이상의 수평방향으로 배열되는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 픽셀들은 데이터라인과 게이트라인이 교차되고, 그 교차부에 접속된 TFT를 포함한다. TFT는 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인을 통해 공급되는 데이터전압을 액정셀의 화소전극에 공급한다. 액정셀은 화소전극의 전압과 공통전극에 인가되는 공통전압(Vcom)의 전압차에 따라 발생하는 전계에 의해 회동하여 편광판을 통과하는 광량을 조절한다. 스토리지 커패시터는 액정셀의 화소전극에 접속되어 액정

셀의 전압을 유지한다. 공통전극에 인가되는 공통전압(Vcom)은 화소전극과의 전기적 커플링(Coupling)에 의해서 리플(ripple) 현상이 발생하기도 한다.

[0004] 공통전압(Vcom)의 리플 현상은 시간에 따른 데이터전압의 변화량에 비례한다. 따라서 수직 블랭크 기간에 이어서 첫 번째 영상데이터를 받는 시점에는 데이터전압의 변화량이 크기 때문에 공통전압의 리플 역시 커진다. 공통전압(Vcom)의 리플 현상은 수평 방향을 따라서 라인-딤(Line Dim) 현상을 유발하여 표시품질을 저하시키는 원인이 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 공통전압의 리플 현상으로 인한 수평 딤 현상을 개선할 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명에 의한 액정표시장치는 화소들, 더미 화소들, 데이터라인, 타이밍 콘트롤러 및 데이터 구동부를 포함한다. 화소들은 영상을 표시하고, 더미 화소들은 화소들과 이웃한 위치에 배치된다. 데이터라인은 더미 화소들 및 화소들에 연결된다. 타이밍 콘트롤러는 수직 블랭크 기간과 영상표시기간을 구분하고, 수직 블랭크 기간 동안에 더미 화소들에 제공되는 더미 데이터를 생성한다. 데이터 구동부는 더미 데이터를 바탕으로 더미 데이터 전압을 생성하고 영상데이터를 바탕으로 데이터전압을 생성하며, 수직블랭크기간 동안에 더미 데이터전압을 출력하고 영상표시기간 동안에 데이터전압을 출력한다.

발명의 효과

[0007] 본 발명은 수직블랭크기간 동안에 더미 데이터를 입력하여, 공통전압의 리플 현상이 표시기간을 회피해서 발생하도록 유도하기 때문에, 표시기간에는 공통전압의 리플 현상으로 인한 딤 현상을 개선할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 블록도.

도 2는 본 발명에 의한 데이터 구동부의 구성을 나타내는 블록도.

도 3 및 도 4는 본 발명에 의한 타이밍 콘트롤러의 출력신호 및 데이터 구동부가 출력하는 데이터전압을 나타내는 파형도.

발명을 실시하기 위한 구체적인 내용

[0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0010] 도 1은 본 발명에 의한 액정표시장치의 구성을 나타내는 블록도이다.

[0011] 도 1을 참조하면, 본 발명에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(200), 데이터 구동부(300), 및 게이트 구동부(400)를 구비한다. 데이터 구동부(300)는 다수의 소스 드라이브 IC들을 포함한다. 게이트 구동부(400)는 다수의 게이트 드라이브 IC들을 포함한다.

[0012] 액정표시패널(100)은 TFT 어레이 기관, TFT 어레이 기관과 대향하는 컬러필터 어레이 기관, TFT 어레이 기관과 컬러필터 어레이 기관 사이에 형성된 액정층을 포함한다. TFT 어레이 기관과 컬러필터 어레이 기관 사이의 액

정층에는 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 정의된 매트릭스 형태로 화소들이 배치된다.

- [0013] 액정표시패널(100)은 더미 수평라인(HL_D1, HL_D2)에 배열되는 더미 화소들과 수평라인(HL1~HLm)에 배열되는 화소들을 포함한다. 화소들은 데이터라인(DL)으로부터 데이터전압을 제공받아서 영상을 표시한다. 더미 화소들은 화소들보다 데이터 구동부(300)와 가까운 곳에 위치한다.
- [0014] TFT 어레이 기판은 하부 유리기판에 형성된 데이터라인들(DL1~DLn), 게이트라인들(GL1~GLm), 데이터라인들(DL1~DLn)과 게이트라인들(GL1~GLm)의 교차부에 형성된 TFT들, 및 TFT들에 1 : 1로 접속된 화소전극(1), 스토리지 커패시터(Cst) 등을 포함한다. 컬러필터 어레이 기판은 상부 유리기판에 형성된 블랙매트릭스, 컬러필터 등을 포함한다. 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0015] 화소전극(1)과 대향하는 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0016] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 예지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0017] 타이밍 컨트롤러(200)는 표시기간 동안 시스템 보드(미도시)로부터 입력된 입력 영상의 디지털 비디오 데이터(DATA)를 데이터 구동부(300)에 공급한다. 또한, 타이밍 컨트롤러(200)는 시스템 보드로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동부(300)와 게이트 구동부(400)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동부(400)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동부(300)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0018] 타이밍 컨트롤러(200)는 수직블랭크기간 동안에 출력되는 더미 데이터를 생성한다. 더미 데이터(DDATA)는 더미 수평라인(HL_D1, HL_D2)에 제공된다. 타이밍 컨트롤러(200)는 첫 번째 수평라인(HL1)에 제공되는 영상데이터와 동일한 데이터를 더미 데이터(DDATA)로 설정할 수 있다.
- [0019] 타이밍 컨트롤러(200)는 수직블랭크기간 동안에는, 게이트 타이밍 제어신호들(GSP, GSC, GOE)을 출력하지 않고, 소스 출력 인에이블 신호(SOE)를 로우 로직 레벨로 유지한다.
- [0020] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생하는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.
- [0021] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(102)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 출력되는 데이터전압들의 극성 반전 타이밍을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(102)의 출력 타이밍을 제어한다. 데이터 구동부(300)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0022] 데이터 구동부(300)는 복수의 소스 드라이브 IC들(SIC#1~SIC#4)을 포함하고, 데이터라인들(DL1~DLn)에 데이터전압을 공급한다. 제1 내지 제4 소스 드라이브 IC들(SIC#1~SIC#4) 각각은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(10)의 데이터라인들에 접속될 수 있다.

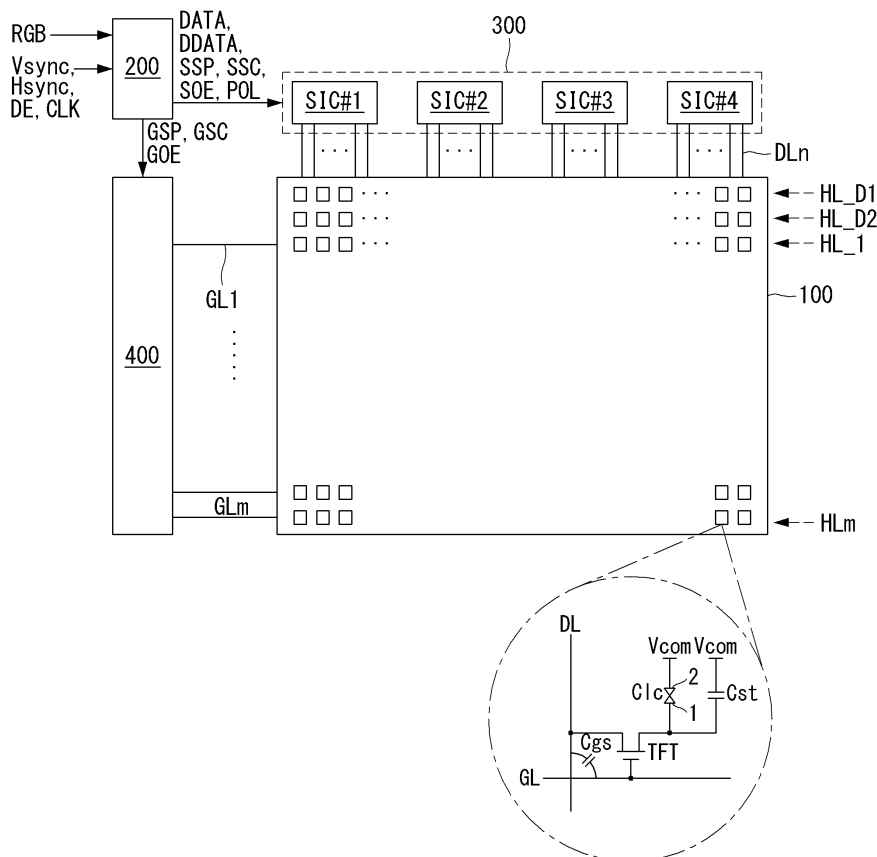
- [0023] 도 2를 참조하여 각각의 소스 드라이브 IC들(SIC#1~SIC#4)의 구성을 살펴보면 다음과 같다.
- [0024] 제1 내지 제8 소스 드라이브 IC들(SIC#1~SIC#8) 각각은 쉬프트 레지스터부(241), 제1 래치(243), 제2 래치(245), 디지털 아날로그 변환부(247)(Digital to Analog Convertor, 이하 "DAC"라 함) 및 출력부(249)를 포함한다.
- [0025] 쉬프트 레지스터부(241)는 타이밍 컨트롤러(200)로부터 제공받는 데이터 제어신호들(SSC, SSP)을 이용하여 입력 영상의 RGB 디지털 비디오 데이터 비트를 샘플링한다.
- [0026] 제1 래치(243)는 쉬프트 레지스터부(241)로부터 순차적으로 제공받은 클럭에 따라서 디지털 비디오 데이터 비트를 샘플링하여 래치하고, 래치한 데이터들을 동시에 출력한다. 제2 래치(245)는 제1 래치(243)로부터 제공받은 데이터들을 래치하고, 소스출력인에이블신호(SOE)에 응답하여 다른 소스 드라이브 IC(240)들의 제2 래치(245)와 동기하여 래치한 데이터들을 동시에 출력한다.
- [0027] DAC(247)는 제2 래치(245)로부터 입력된 비디오 데이터들을 정극성 감마보상전압(GMAH)과 부극성 감마보상전압(GMAL)으로 변환하여 정극성/부극성 아날로그 비디오 데이터전압(ADATA)을 발생한다. 그리고 DAC(247)는 극성 제어신호(POL)에 응답하여 데이터전압(ADATA)의 극성을 프레임마다 반전시킨다.
- [0028] 출력부(249)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 데이터전압을 출력버퍼를 통해서 데이터라인들(DL1, DL2)로 출력한다. 소스 드라이브 IC(SIC#1~SIC#4)가 차지 셰어링(Charge sharing)을 수행한다면, 출력부(340)는 하이논리기간 동안 차지 셰어링(Charge sharing)을 통해 정극성 데이터전압과 부극성 데이터전압의 평균전압이나, 공통전압(Vcom)을 출력버퍼를 통해 데이터라인들(DL1~DLn)에 공급한다. 차지 셰어링 시간 동안, 소스 드라이브 IC들(SIC#1~SIC#4)에서 정극성 데이터전압이 공급되는 출력 채널과 부극성 데이터전압이 공급되는 출력 채널들이 단락(short circuit)되어 정극성 데이터전압과 부극성 데이터전압의 평균전압이 데이터라인들(DL1~DLn)에 공급한다.
- [0029] 게이트 구동부(400)는 쉬프트 레지스터(미도시)와 레벨 쉬프터(미도시)를 이용하여 표시기간 동안 타이밍 컨트롤러(200)로부터 입력되는 게이트 타이밍 제어신호들(GSP, GSC, GOE)에 응답하여 게이트펄스를 게이트라인들(GL1~GLm)에 순차적으로 공급한다. 게이트 구동부(400)는 게이트 TCP(도시하지 않음) 상에 실장되어 TAB 공정으로 액정표시패널의 TFT 어레이 기판에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이와 동시에 TFT 어레이 기판 상에 직접 형성될 수 있다.
- [0030] 게이트 구동부(400)는 수직블랭크기간(BL) 동안, 게이트 타이밍 제어신호들(GSP, GSC, GOE)가 발생되지 않으므로 게이트펄스를 출력하지 않는다. 따라서, TFT 어레이 기판의 TFT들은 오프 상태를 유지하므로 액정셀들(C1c)에 타겟 전압이 공급되지 않는다.
- [0031] 도 3 및 도 4는 본 발명의 실시 예에 의한 구동 신호들을 나타내는 도면이다. 도 1 내지 도 3을 참조하여, 더미 데이터를 이용하는 구동방법에 대해 더 살펴보면 다음과 같다.
- [0032] 타이밍 컨트롤러(200)는 수직블랭크기간 내에서 더미 데이터인에이블신호(DDE)를 생성한다. 타이밍 컨트롤러(200)는 수직 동기신호(Vsync) 및 데이터인에이블신호(DE)를 검출하고, 데이터인에이블신호(DE)가 검출되지 않는 일정 구간을 수직블랭크기간으로 검출할 수 있다.
- [0033] 타이밍 컨트롤러(200)는 수직블랭크기간 내에서 일정 기간 동안에, 더미 데이터인에이블신호(DDE)를 생성한다. 더미 데이터인에이블신호(DDE)의 펄스 폭은 데이터인에이블신호(DE)의 펄스폭과 동일하다. 더미 데이터인에이블신호(DDE)가 출력되는 구간은 구동하고자 하는 더미 수평라인(HL_D1, HL_D2)의 개수에 비례한다. 예컨대, 2개의 더미 수평라인(HL_D1, HL_D2)을 구동하고자 할 때에는 더미 데이터인에이블신호(DDE)는 2수평주기(2H) 이상 유지된다. 타이밍 컨트롤러(200)는 더미 데이터인에이블신호(DDE)의 출력에 대응하여 더미 데이터를 데이터 구동부(300)로 제공한다.
- [0034] 데이터 구동부(300)는 수직블랭크기간 내에서 더미 데이터인에이블신호(DDE) 및 더미 데이터(DDATA)에 기반하여, 더미 데이터전압(DDATA)을 출력한다.
- [0035] 타이밍 컨트롤러(200)는 수직블랭크기간 동안, 게이트 스타트 펄스(GSP)를 출력하지 않고, 소스 출력 인에이블신호(SOE)를 로우 로직 레벨로 유지한다. 수직블랭크기간 동안, 게이트 쉬프트 클럭(GSC)과 게이트 인에이블신호(GOE)는 출력될 수 있다. 이는 수직블랭크기간 동안, 게이트 구동회로(103)는 게이트 쉬프트 클럭(GSC)과 게이트 인에이블신호(GOE)가 입력되더라도 게이트 스타트 펄스(GSP)가 입력되지 않으면 출력(게이트펄스)을 발생하지 않기 때문이다. 따라서, 게이트 구동부(400)는 수직 블랭크 기간 동안에는 게이트펄스를 출력하지 않는다.

다.

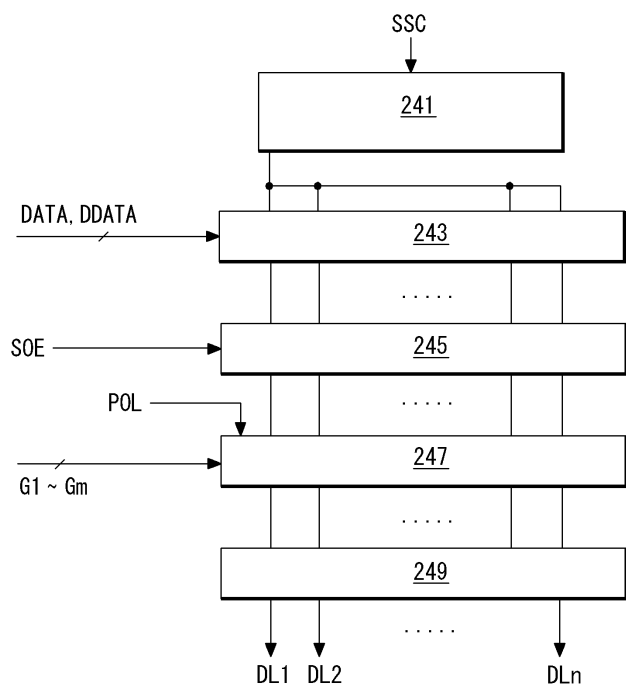
- [0036] 그리고 타이밍 콘트롤러(200)는 표시기간 동안에, 입력 영상의 디지털 비디오 데이터(DATA)들이 액정표시패널(100)의 액정셀들(C1c)에 어드레싱 될 수 있도록 데이터 타이밍 제어신호들(SSP, SSC, SOE, POL)과 게이트 타이밍 제어신호들(GSP, GSC, GOE)을 출력한다.
- [0037] 데이터 구동부(300)는 표시기간 동안에 데이터 타이밍 제어신호들(DDC) 및 디지털 비디오 데이터(DATA)에 의해서 데이터전압(ADATA)을 출력한다. 데이터 구동부(300)는 표시기간 동안에 극성제어신호(POL)에 의해서 더미 데이터전압(ADDATA)과 동일한 극성을 갖는 데이터전압(ADATA)을 출력한다.
- [0038] 상술한 바와 같이, 본 발명의 실시 예에 의한 액정표시장치는 수직블랭크기간 동안에 더미 데이터전압을 출력하기 때문에, 데이터전압(ADATA)이 큰 폭으로 스윙하는 구간을 표시기간이 아닌 수직블랭크기간으로 이동시킨다. 즉, 공통전압(Vcom)의 리플이 크게 발생할 수 있는 영역을 영상표시를 수행하는 수평라인에서 영상표시를 수행하지 않는 더미수평라인으로 옮긴다. 더미 수평라인은 유효 디지털 비디오 데이터(DATA)의 데이터전압(ADATA)을 출력하는 구간이 아니기 때문에 표시기간에 수평 덩이 발생하는 것을 개선할 수 있다.
- [0039] 특히, 본 발명은 더미 데이터의 크기를 첫 번째 수평라인에 제공되는 데이터전압과 동일한 크기를 갖도록 설정하기 때문에 더미 데이터전압에 이어서 영상 데이터전압을 출력하는 과정에서 데이터 변화량을 최소화할 수 있다. 따라서, 첫 번째 영상데이터를 표시하는 수평라인이 공통전압의 리플로 인해서 덩 현상이 발생하는 것을 개선할 수 있다.
- [0040] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면

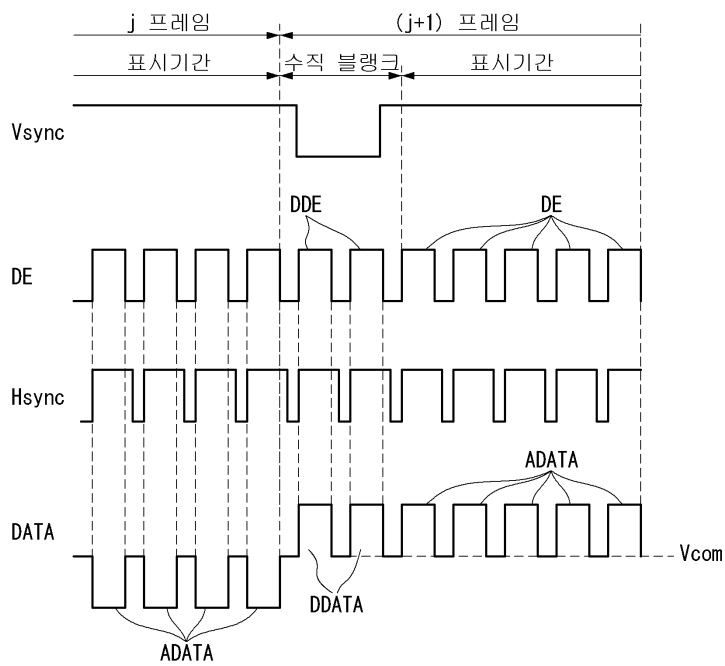
도면1



도면2



도면3



도면4

