



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월13일
(11) 등록번호 10-2276329
(24) 등록일자 2021년07월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0180020
(22) 출원일자 2014년12월15일
심사청구일자 2019년12월06일
(65) 공개번호 10-2016-0072857
(43) 공개일자 2016년06월24일
(56) 선행기술조사문헌
KR1020060044817 A*
KR1020080092819 A*
KR1020110055069 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
나연선
경기도 용인시 수지구 푸른솔로 47, 도담마을7단지
뜨리에체아파트 704동 1601호 (죽전동)
김동인
경기도 수원시 영통구 태장로82번길 32, 동수원엘
지빌리지1차 105동 505호 (망포동)
엄지영
대전광역시 대덕구 비래동로32번길 42, 대호아트
빌라 나동 101호 (비래동)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 16 항

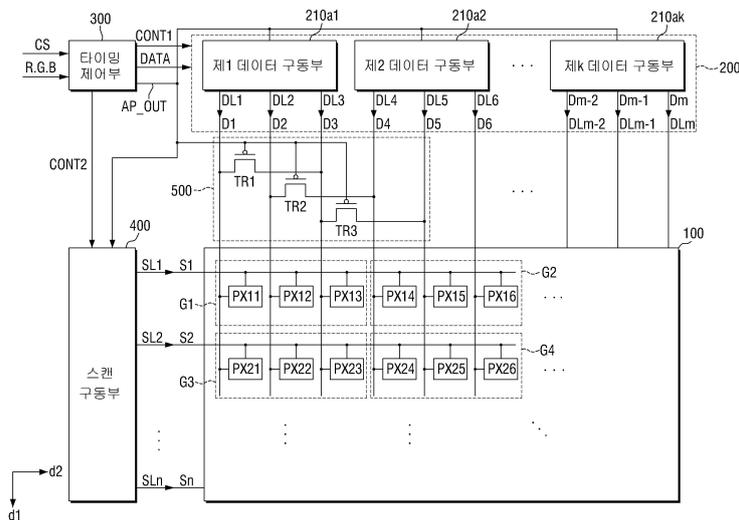
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 내지 제3 데이터 라인과 연결되는 제1 데이터 구동부 및 제4 내지 제6 데이터 라인과 연결되는 제2 데이터 구동부를 포함하는 데이터 드라이버, 제1 내지 제3 데이터 라인을 통해 제1 데이터 구동부와 연결되는 제1 내지 제3 화소부를 갖는 제1 화소 그룹 및 제4 내지 제6 데이터 라인을 통해 제2 데이터 구동부와 연결되는 제4 내지 제6 화소부를 갖는 제2 화소 그룹을 구비하는 표시 패널 및 제1 및 제4 데이터 라인 사이에 접속되는 제1 트랜지스터, 제2 및 제5 데이터 라인 사이에 접속되는 제2 트랜지스터 및 제3 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부를 포함할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 내지 제3 데이터 라인과 연결되는 제1 데이터 구동부 및 제4 내지 제6 데이터 라인과 연결되는 제2 데이터 구동부를 포함하는 데이터 드라이버;

상기 제1 내지 제3 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제1 내지 제3 화소부를 갖는 제1 화소 그룹 및 상기 제4 내지 제6 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제4 내지 제6 화소부를 갖는 제2 화소 그룹을 구비하는 표시 패널; 및

상기 제1 및 제4 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제2 및 제5 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제3 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부를 포함하되,

상기 제1 데이터 구동부는 상기 제1 내지 제3 데이터 라인과 각각 연결되는 제1 내지 제3 디지털-아날로그 변환부를 포함하고, 상기 제2 데이터 구동부는 상기 제4 내지 제6 데이터 라인과 각각 연결되는 제4 내지 제6 디지털-아날로그 변환부를 포함하고,

상기 데이터 드라이버는, 상기 제4 디지털-아날로그 변환부와 상기 제4 데이터 라인 사이에 접속되는 제4 트랜지스터, 상기 제5 디지털-아날로그 변환부와 상기 제5 데이터 라인 사이에 접속되는 제5 트랜지스터 및 상기 제6 디지털-아날로그 변환부와 상기 제6 데이터 라인 사이에 접속되는 제6 트랜지스터를 더 포함하며,

상기 제1 내지 제3 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나이고, 상기 제4 내지 제6 트랜지스터는 NMOS 타입과 PMOS 타입 중 다른 하나이며,

상기 제1 내지 제3 트랜지스터의 게이트 전극과 상기 제4 내지 제6 트랜지스터의 게이트 전극은 서로 연결된 표시 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 내지 제3 트랜지스터는 상기 제4 내지 제6 트랜지스터와 서로 상보적으로 스위칭 동작을 수행하는 표시 장치.

청구항 4

제1항에 있어서,

상기 제1 내지 제3 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하며, 상기 제4 내지 제6 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하는 표시 장치.

청구항 5

제1항에 있어서, 상기 표시 패널은,

상기 제1 내지 제3 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제3 화소 그룹 및 상기 제4 내지 제6 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제4 화소 그룹을 더 포함하는 표시 장치.

청구항 6

제5항에 있어서,

상기 표시 패널과 복수의 스캔 라인을 통해 연결되는 스캔 구동부를 더 포함하며,

상기 스캔 구동부는, 상기 복수의 스캔 라인 중 하나를 통해 상기 제1 및 제2 화소 그룹과 연결되고, 상기 복수의 스캔 라인 중 다른 하나를 통해 상기 제3 및 제4 화소 그룹과 연결되는 표시 장치.

청구항 7

제6항에 있어서,

상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제7 트랜지스터;를 더 포함하며,

상기 스캔 구동부는 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인에 스캔 신호를 제공하는 쉬프트 레지스터와 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제8 트랜지스터를 더 포함하되,

상기 제7 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나고, 상기 제8 트랜지스터는 NMOS 타입과 PMOS 타입 중 다른 하나이며,

상기 제7 트랜지스터의 게이트 전극과 상기 제8 트랜지스터의 게이트 전극은 서로 연결된 표시 장치.

청구항 8

제7항에 있어서,

상기 제7 트랜지스터는 상기 제8 트랜지스터와 서로 상보적으로 스위칭 동작을 수행하는 표시 장치.

청구항 9

제1 내지 제3 데이터 라인을 통해 제1 내지 제3 데이터 신호를 제공하는 제1 데이터 구동부 및 제4 내지 제6 데이터 라인을 통해 제4 내지 제6 데이터 신호를 제공하는 제2 데이터 구동부를 갖는 데이터 드라이버;

상기 제1 내지 제3 데이터 신호를 제공받는 제1 내지 제3 화소부를 갖는 제1 화소 그룹 및 상기 제4 내지 제6 데이터 신호를 제공받는 제4 내지 제6 화소부를 갖는 제2 화소 그룹을 구비하는 표시 패널;

상기 제1 및 제4 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제2 및 제5 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제3 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부; 및

제1 구동 모드에서 상기 스위치 회로부에 제1 제어 신호를 제공하여 상기 제1 내지 제3 트랜지스터를 턴 온 시키고, 제2 구동 모드에서 상기 스위치 회로부에 제2 제어 신호를 제공하여 상기 제1 내지 제3 트랜지스터를 턴 오프 시키는 타이밍 제어부를 포함하고,

상기 제1 데이터 구동부는 상기 제1 내지 제3 데이터 라인과 각각 연결되는 제1 내지 제3 디지털-아날로그 변환부를 포함하고, 상기 제2 데이터 구동부는 상기 제4 내지 제6 데이터 라인과 각각 연결되는 제4 내지 제6 디지털-아날로그 변환부를 포함하며,

상기 데이터 드라이버는, 상기 제1 구동 모드에서 상기 제4 내지 제6 디지털-아날로그 변환부의 출력단과 상기 제4 내지 제6 데이터 라인 사이의 각 신호 경로를 차단하는 제4 내지 제6 트랜지스터를 더 포함하며,

상기 제1 내지 제3 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나이고, 상기 제4 내지 제6 트랜지스터는 NMOS 타입과 PMOS 타입 중 다른 하나이며,

상기 제1 내지 제3 트랜지스터의 게이트 전극과 상기 제4 내지 제6 트랜지스터의 게이트 전극은 서로 연결된 표시 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

제9항에 있어서,

상기 제1 내지 제3 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하며, 상기 제4 내지 제6 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하는 표시 장치.

청구항 13

제9항에 있어서,

상기 표시 패널과 복수의 스캔 라인을 통해 복수의 스캔 신호를 제공하는 복수의 쉬프트 레지스터를 갖는 스캔 구동부를 더 포함하고,

상기 제1 및 제2 화소 그룹은 상기 복수의 스캔 라인 중 하나를 통해 스캔 신호를 제공받는 표시 장치.

청구항 14

제13항에 있어서,

상기 표시 패널은, 상기 제1 데이터 구동부로부터 제1 내지 제3 데이터 신호를 제공받는 제3 화소 그룹 및 상기 제2 데이터 구동부로부터 제4 내지 제6 데이터 신호를 제공받는 제4 화소 그룹을 더 포함하고,

상기 제3 및 제4 화소 그룹은 상기 복수의 스캔 라인 중 다른 하나를 통해 스캔 신호를 제공받는 표시 장치.

청구항 15

제14항에 있어서,

상기 제1 구동 모드에서 상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 도통시키고, 상기 제2 구동 모드에서 상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 차단하는 제7 트랜지스터를 더 포함하고,

상기 스캔 구동부는 상기 제1 구동 모드에서, 상기 복수의 쉬프트 레지스터 중 상기 제3 및 제4 화소 그룹에 스캔 신호를 제공하는 쉬프트 레지스터와 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 차단하는 표시 장치.

청구항 16

제1 색상을 표시하는 제1 및 제2 화소부를 구비하는 제1 화소 그룹, 제2 색상을 표시하는 제3 및 제4 화소부를 구비하는 제2 화소 그룹 및 제3 색상을 표시하는 제5 및 제6 화소부를 구비하는 제3 화소 그룹을 갖는 표시 패널;

제1 및 제2 데이터 라인을 통해 상기 제1 및 제2 화소부와 연결되는 제1 데이터 구동부, 제3 및 제4 데이터 라인을 통해 상기 제3 및 제4 화소부와 연결되는 제2 데이터 구동부 및 제5 및 제6 데이터 라인을 통해 상기 제5 및 제6 화소부와 연결되는 제3 데이터 구동부를 갖는 데이터 드라이버; 및

상기 제1 및 제2 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제3 및 제4 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제5 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부를 포함 하되,

상기 데이터 드라이버는, 상기 제1 내지 제6 데이터 라인과 각각 연결되는 제1 내지 제6 디지털-아날로그 변환부를 포함하고,

상기 제1 데이터 구동부는 상기 제2 디지털-아날로그 변환부와 상기 제2 데이터 라인 사이에 접속되는 제4 트랜지스터를 더 포함하며, 상기 제2 데이터 구동부는 상기 제4 디지털-아날로그 변환부와 상기 제4 데이터 라인 사이에 접속되는 제5 트랜지스터를 더 포함하고, 상기 제3 데이터 구동부는 상기 제6 디지털-아날로그 변환부와 상기 제6 데이터 라인 사이에 접속되는 제6 트랜지스터를 더 포함하며,

상기 제1 내지 제3 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나이고, 상기 제4 내지 제6 트랜지스터는 NMOS 타입과 PMOS 타입 중 다른 하나이며,

상기 제1 내지 제3 트랜지스터의 게이트 전극과 상기 제4 내지 제6 트랜지스터의 게이트 전극은 서로 연결된 표

시 장치.

청구항 17

삭제

청구항 18

제16항에 있어서,

상기 제1 내지 제3 트랜지스터는 상기 제4 내지 제6 트랜지스터와 서로 상보적으로 스위칭 동작을 수행하는 표시 장치.

청구항 19

제16항에 있어서, 상기 표시 패널은,

상기 제1 및 제2 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제4 화소 그룹, 상기 제3 및 제4 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제5 화소 그룹 및 상기 제5 및 제6 데이터 라인을 통해 상기 제3 데이터 구동부와 연결되는 제6 화소 그룹을 더 포함하는 표시 장치.

청구항 20

제19항에 있어서,

복수의 스캔 라인 중 하나를 통해 상기 제1 내지 제3 화소 그룹과 연결되고, 상기 복수의 스캔 라인 중 다른 하나를 통해 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 구동부; 및

상기 복수의 스캔 라인 중 상기 제1 내지 제3 화소 그룹과 연결되는 스캔 라인과 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제7 트랜지스터;를 더 포함하고,

상기 스캔 구동부는 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 라인에 스캔 신호를 제공하는 쉬프트 레지스터의 출력단과 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제8 트랜지스터를 더 포함하되,

상기 제7 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나고, 상기 제8 트랜지스터는 NMOS 타입과 PMOS 타입 중 다른 하나이며,

상기 제7 트랜지스터의 게이트 전극과 상기 제8 트랜지스터의 게이트 전극은 서로 연결된 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 기판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고, 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다. 최근에는, 액정표시장치는 대화면 고선명의 초고화질을 구현하고 있다.

[0003] 다만, 액정 표시 장치는 빠른 기술 발전으로 보다 빠르고 보다 선명한 고화질로 구현됨에 따라, 데이터 라인 및 스캔 라인의 수가 증가하여 소비 전력도 함께 커진다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 사용자가 구동 모드를 변환하여, 해상도를 조절할 수 있는 액정 표시 장치를

제공하고자 하는 것이다.

[0005] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 내지 제3 데이터 라인과 연결되는 제1 데이터 구동부 및 제4 내지 제6 데이터 라인과 연결되는 제2 데이터 구동부를 포함하는 데이터 드라이버, 상기 제1 내지 제3 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제1 내지 제3 화소부를 갖는 제1 화소 그룹 및 상기 제4 내지 제6 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제4 내지 제6 화소부를 갖는 제2 화소 그룹을 구비하는 표시 패널 및 상기 제1 및 제4 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제2 및 제5 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제3 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부를 포함할 수 있다.

[0007] 또한, 상기 제1 데이터 구동부는 상기 제1 내지 제3 데이터 라인과 각각 연결되는 제1 내지 제3 디지털-아날로그 변환부를 포함하고, 상기 제2 데이터 구동부는 상기 제4 내지 제6 데이터 라인과 각각 연결되는 제4 내지 제6 디지털-아날로그 변환부를 포함하고, 상기 데이터 드라이버는, 상기 제4 디지털-아날로그 변환부와 상기 제4 데이터 라인 사이에 접속되는 제4 트랜지스터, 상기 제5 디지털-아날로그 변환부와 상기 제5 데이터 라인 사이에 접속되는 제5 트랜지스터 및 상기 제6 디지털-아날로그 변환부와 상기 제6 데이터 라인 사이에 접속되는 제6 트랜지스터를 더 포함할 수 있다.

[0008] 또한, 상기 제1 내지 제3 트랜지스터는 상기 제4 내지 제6 트랜지스터와 서로 상보적으로 스위칭 동작을 수행할 수 있다.

[0009] 또한, 상기 제1 내지 제3 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하며, 상기 제4 내지 제6 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시할 수 있다.

[0010] 또한, 상기 표시 패널은, 상기 제1 내지 제3 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제3 화소 그룹 및 상기 제4 내지 제6 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제4 화소 그룹을 더 포함할 수 있다.

[0011] 또한, 상기 표시 패널과 복수의 스캔 라인을 통해 연결되는 스캔 구동부;를 더 포함하며, 상기 스캔 구동부는, 상기 복수의 스캔 라인 중 하나를 통해 상기 제1 및 제2 화소 그룹과 연결되고, 상기 복수의 스캔 라인 중 다른 하나를 통해 상기 제3 및 제4 화소 그룹과 연결될 수 있다.

[0012] 또한, 상기 표시 패널과 복수의 스캔 라인을 통해 연결되는 스캔 구동부를 더 포함하고, 상기 스캔 구동부는, 상기 복수의 스캔 라인 중 하나를 통해 상기 제1 및 제2 화소 그룹과 연결되고, 상기 복수의 스캔 라인 중 다른 하나를 통해 상기 제3 및 제4 화소 그룹과 연결될 수 있다.

[0013] 또한, 상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제7 트랜지스터를 더 포함하며, 상기 스캔 구동부는 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인에 스캔 신호를 제공하는 쉬프트 레지스터와 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제8 트랜지스터를 더 포함할 수 있다.

[0014] 또한, 상기 제7 트랜지스터는 상기 제8 트랜지스터와 서로 상보적으로 스위칭 동작을 수행할 수 있다.

[0015] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 내지 제3 데이터 라인을 통해 제1 내지 제3 데이터 신호를 제공하는 제1 데이터 구동부 및 제4 내지 제6 데이터 라인을 통해 제4 내지 제6 데이터 신호를 제공하는 제2 데이터 구동부를 갖는 데이터 드라이버, 상기 제1 내지 제3 데이터 신호를 제공받는 제1 내지 제3 화소부를 갖는 제1 화소 그룹 및 상기 제4 내지 제6 데이터 신호를 제공받는 제4 내지 제6 화소부를 갖는 제2 화소 그룹을 구비하는 표시 패널, 상기 제1 및 제4 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제2 및 제5 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제3 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부 및 제1 구동 모드(FHD)에서 상기 스위치 회로부에 제1 제어 신호를 제공하여 상기 제1 내지 제3 트랜지스터를 턴 온 시키고, 제2 구동 모드(UHD)에서 상기 스위치 회로부에 제2 제어 신호를 제공하여 상기 제1 내지 제3 트랜지스터를 턴 오프 시키는 타이밍 제어부를 포함할 수 있다.

[0016] 또한, 상기 데이터 드라이버는, 상기 제1 또는 제2 제어 신호를 제공받아 상기 제1 및 제4 데이터 라인 사이의

신호 경로를 도통 또는 차단하는 제1 트랜지스터, 상기 제1 또는 제2 제어 신호를 제공받아 상기 제2 및 제5 데이터 라인 사이의 신호 경로를 도통 또는 차단하는 제2 트랜지스터 및 상기 제1 또는 제2 제어 신호를 제공받아 상기 제3 및 제6 데이터 라인 사이의 신호 경로를 도통 또는 차단하는 제3 트랜지스터를 더 포함할 수 있다.

- [0017] 상기 제1 데이터 구동부는 상기 제1 내지 제3 데이터 라인과 각각 연결되는 제1 내지 제3 디지털-아날로그 변환부를 포함하고, 상기 제2 데이터 구동부는 상기 제4 내지 제6 데이터 라인과 각각 연결되는 제4 내지 제6 디지털-아날로그 변환부를 포함하며, 상기 데이터 드라이버는, 상기 제1 구동 모드에서 상기 제4 내지 제6 디지털-아날로그 변환부의 출력단과 상기 제4 내지 제6 데이터 라인 사이의 각 신호 경로를 차단하는 제4 내지 제6 트랜지스터를 더 포함할 수 있다.
- [0018] 상기 제1 내지 제3 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시하며, 상기 제4 내지 제6 화소부 각각은 서로 다른 제1 내지 제3 색상을 표시할 수 있다.
- [0019] 상기 표시 패널과 복수의 스캔 라인을 통해 복수의 스캔 신호를 제공하는 복수의 쉬프트 레지스터를 갖는 스캔 구동부를 더 포함하고, 상기 제1 및 제2 화소 그룹은 상기 복수의 스캔 라인 중 하나를 통해 스캔 신호를 제공받을 수 있다.
- [0020] 상기 표시 패널은, 상기 제1 데이터 구동부로부터 제1 내지 제3 데이터 신호를 제공받는 제3 화소 그룹 및 상기 제2 데이터 구동부로부터 제4 내지 제6 데이터 신호를 제공받는 제4 화소 그룹을 더 포함하고, 상기 제3 및 제4 화소 그룹은 상기 복수의 스캔 라인 중 다른 하나를 통해 스캔 신호를 제공받을 수 있다.
- [0021] 상기 제1 구동 모드에서 상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 도통시키고, 상기 제2 구동 모드에서 상기 제1 및 제2 화소 그룹과 연결되는 스캔 라인과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 차단하는 제7 트랜지스터를 더 포함하고, 상기 스캔 구동부는 상기 제1 구동 모드에서, 상기 복수의 쉬프트 레지스터 중 상기 제3 및 제4 화소 그룹에 스캔 신호를 제공하는 쉬프트 레지스터와 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이의 신호 경로를 차단할 수 있다.
- [0022] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 제1 색상을 표시하는 제1 및 제2 화소부를 구비하는 제1 화소 그룹, 제2 색상을 표시하는 제3 및 제4 화소부를 구비하는 제2 화소 그룹 및 제3 색상을 표시하는 제5 및 제6 화소부를 구비하는 제3 화소 그룹을 갖는 표시 패널, 제1 및 제2 데이터 라인을 통해 상기 제1 및 제2 화소부와 연결되는 제1 데이터 구동부, 제3 및 제4 데이터 라인을 통해 상기 제3 및 제4 화소부와 연결되는 제2 데이터 구동부 및 제5 및 제6 데이터 라인을 통해 상기 제5 및 제6 화소부와 연결되는 제3 데이터 구동부를 갖는 데이터 드라이버 및 상기 제1 및 제2 데이터 라인 사이에 접속되는 제1 트랜지스터, 상기 제3 및 제4 데이터 라인 사이에 접속되는 제2 트랜지스터 및 상기 제5 및 제6 데이터 라인 사이에 접속되는 제3 트랜지스터를 갖는 스위치 회로부를 포함할 수 있다.
- [0023] 또한, 상기 데이터 드라이버는, 상기 제1 내지 제6 데이터 라인과 각각 연결되는 제1 내지 제6 디지털-아날로그 변환부를 포함하고, 상기 제1 데이터 구동부는 상기 제2 디지털-아날로그 변환부와 상기 제2 데이터 라인 사이에 접속되는 제4 트랜지스터를 더 포함하며, 상기 제2 데이터 구동부는 상기 제4 디지털-아날로그 변환부와 상기 제4 데이터 라인 사이에 접속되는 제5 트랜지스터를 더 포함하고, 상기 제3 데이터 구동부는 상기 제6 디지털-아날로그 변환부와 상기 제6 데이터 라인 사이에 접속되는 제6 트랜지스터를 더 포함할 수 있다.
- [0024] 또한, 제1 내지 제3 트랜지스터는 상기 제4 내지 제6 트랜지스터와 서로 상보적으로 스위칭 동작을 수행할 수 있다.
- [0025] 또한, 상기 표시 패널은, 상기 제1 및 제2 데이터 라인을 통해 상기 제1 데이터 구동부와 연결되는 제4 화소 그룹, 상기 제3 및 제4 데이터 라인을 통해 상기 제2 데이터 구동부와 연결되는 제5 화소 그룹 및 상기 제5 및 제6 데이터 라인을 통해 상기 제3 데이터 구동부와 연결되는 제6 화소 그룹을 더 포함할 수 있다.
- [0026] 또한, 복수의 스캔 라인 중 하나를 통해 상기 제1 내지 제3 화소 그룹과 연결되고, 상기 복수의 스캔 라인 중 다른 하나를 통해 상기 제3 내지 제6 화소 그룹과 연결되는 스캔 구동부 및 상기 복수의 스캔 라인 중 상기 제1 내지 제3 화소 그룹과 연결되는 스캔 라인과 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제7 트랜지스터를 더 포함하고, 상기 스캔 구동부는 상기 제4 내지 제6 화소 그룹과 연결되는 스캔 라인에 스캔 신호를 제공하는 쉬프트 레지스터의 출력단과 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제8 트랜지스터를 더 포함할 수 있다.

[0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0028] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.

[0029] 사용자가 경우에 따라 구동 모드를 변환할 수 있으며, 구동 모드에 따라 해상도를 조절할 수 있어 소비 전력을 감소시킬 수 있다.

[0030] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타낸 블록도이다.

도 2는 도 1에 도시한 액정 표시 장치의 구성 중 데이터 드라이버 및 스위치 회로부를 보다 상세하게 나타낸 도면이다.

도 3은 도 1에 도시한 액정 표시 장치의 구성 중 스캔 구동부를 보다 상세하게 나타낸 도면이다.

도 4는 제1 구동 모드에서의 액정 표시 장치의 동작을 설명하기 위한 도면이다.

도 5는 제2 구동 모드에서의 액정 표시 장치의 동작을 설명하기 위한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 블록도이다.

도 7은 도 6에 도시한 액정 표시 장치의 구성 중 데이터 드라이버 및 스위치 회로부를 보다 상세하게 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0033] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이며, 단지 하나의 구성요소를 다른 구성요소와 구별하기 위해 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수 있음은 물론이다.

[0034] 이하, 첨부된 도면을 참조로 하여 본 발명의 실시예들에 대해 설명한다.

[0035] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타낸 블록도이다.

[0036] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 표시 패널(100), 데이터 드라이버(200), 타이밍 제어부(300), 스캔 구동부(400) 및 스위치 회로부(500)를 포함할 수 있다.

[0037] 표시 패널(100)은 화상의 영역일 수 있다. 표시 패널(100)은 제1 기관(도면 미도시)과 상기 제1 기관에 대향하는 제2 기관(도면 미도시) 및 상기 제1 기관과 상기 제2 기관 사이에 배치되는 액정층(도면 미도시)을 포함할 수 있다. 즉, 표시 패널(100)은 액정 패널일 수 있다. 여기서, 제1 기관은 후술하는 복수의 화소 그룹 및 이와 연결된 라인들이 형성되는 어레이 기관일 수 있으며, 제2 기관은 제1 기관을 덮는 봉지 기관일 수 있다. 제2 기관에는 제1 기관과 대향하는 면에 공통 전극이 형성될 수 있다. 공통 전극은 제1 기관의 표면에 형성되는 화소 전극과 수직 전계를 형성할 수 있으며, 액정층의 액정 분자 배열은 전계에 따라 조절될 수 있다. 즉, 공통 전극에는 공통 전압(Vcom)이 인가되며, 화소 전극에는 후술하는 데이터 신호에 대응되는 전압이 인가됨으로써, 각 화소 그룹 내의 화소부에는 이들의 전위차에 대응하는 전계가 형성될 수 있다. 다만, 표시 패널(100)의 구조가 상술한 것으로 한정되지 않으며, 예를 들어 공통 전극이 제1 기관에 형성될 수도 있다. 이 경우, 액정 분자의 배열은 공통전극과 제1 기관의 화소 전극이 수평 전계를 형성함에 따라 조절될 수 있다. 여기서, 표시 패널의 광 투과율은 전계에 따라 조절되는 액정 분자의 배열에 대응하여 제어될 수 있다.

- [0038] 표시 패널(100)은 복수의 스캔 라인(SL1 내지 SLn, 단 n은 1보다 큰 자연수) 및 복수의 스캔 라인(SL1 내지 SLn)과 교차되어 배치되는 복수의 데이터 라인(DL1 내지 DLm, 단 m은 1보다 큰 자연수)과 연결될 수 있다. 복수의 스캔 라인(SL1 내지 SLn), 복수의 데이터 라인(DL1 내지 DLm) 및 복수의 화소 그룹은 표시 패널(100)의 제1 기관상에 형성될 수 있다. 복수의 화소 그룹은 매트릭스 형상으로 배치될 수 있다. 복수의 데이터 라인(DL1 내지 DLm), 복수의 스캔 라인(SL1 내지 SLn) 및 복수의 화소 그룹은 제1 기관상에 서로 절연된 형태로써 배치될 수 있다. 복수의 데이터 라인(DL1 내지 DLm)은 제1 방향(d1)으로 연장되어 형성될 수 있으며, 서로 평행할 수 있다. 복수의 스캔 라인(SL1 내지 SLn)은 제2 방향(d2)으로 연장되어 형성될 수 있으며, 서로 평행할 수 있다. 도 1을 참조할 때, 제1 방향(d1)은 열 방향일 수 있으며, 제2 방향(d2)은 행 방향일 수 있다.
- [0039] 복수의 화소 그룹 각각은 서로 다른 색상을 표시하는 복수의 화소부를 포함할 수 있다. 일 실시예로 하나의 화소 그룹에는 서로 다른 색상을 표시하는 세 개의 화소부가 포함될 수 있다. 이하, 복수의 화소 그룹 중 일부에 해당하는 제1 내지 제4 화소 그룹(G1 내지 G4)을 예로 들어 설명하기로 한다. 제1 화소 그룹(G1)은 복수의 데이터 라인(DL1 내지 DLm) 중 제1 내지 제3 데이터 라인(DL1 내지 DL3)과 각각 연결되는 제1 내지 제3 화소부(PX11 내지 PX13)를 포함할 수 있다. 또한, 제2 화소 그룹(G2)은 복수의 데이터 라인(DL1 내지 DLm) 중 제4 내지 제6 데이터 라인(DL1 내지 DL3)과 각각 연결되는 제4 내지 제6 화소부(PX11 내지 PX13)를 포함할 수 있다. 제3 화소 그룹(G3)은 제1 내지 제3 데이터 라인(DL1 내지 DL3)과 연결될 수 있으며, 제4 화소 그룹(G4)은 제4 내지 제6 데이터 라인(DL4 내지 DL6)과 연결될 수 있다. 다만, 제1 및 제2 화소 그룹(G1, G2)은 복수의 스캔 라인(SL1 내지 SLn) 중 제1 스캔 라인(SL1)과 연결될 수 있으며, 제3 및 제4 화소 그룹(G3, G4)는 복수의 스캔 라인(SL1 내지 SLn) 중 제2 스캔 라인(SL2)과 연결될 수 있다. 각 화소 그룹 내의 화소부 각각은 연결된 스캔 라인으로부터 제공되는 스캔 신호에 대응하여 연결된 데이터 라인을 통해 데이터 신호를 제공받을 수 있다. 이를 위해, 각 화소부는 스캔 신호에 의해 턴 온 되어 데이터 신호를 화소 전극에 인가하는 트랜지스터를 포함할 수 있다. 각 화소 그룹 내의 화소부는 각각 제1 색상 내지 제3 색상을 표시할 수 있다. 이때, 제1 색상은 예를 들어 적색(red)일 수 있으며, 제2 색상은 녹색(green)일 수 있다. 또한, 제3 색상은 예를 들어 청색(blue)일 수 있다. 따라서, 제1 및 제4 화소부(PX11, PX14)는 제1 색상인 적색을 표시할 수 있으며, 제2 및 제5 화소부(PX12, PX15)는 제2 색상인 녹색을 표시할 수 있다. 제3 및 제6 화소부(PX13, PX16)는 제3 색상인 청색을 표시할 수 있다. 한편, 동일한 데이터 라인에 연결되는 화소부 간에는 서로 동일한 색상을 표시할 수 있다.
- [0040] 데이터 드라이버(200)는 복수의 디지털-아날로그 변환부(DAC)를 갖는 제1 내지 제k 데이터 구동부(210a1 내지 210ak, 단, k는 2의 배수)를 포함할 수 있다. 제1 데이터 구동부(210a1)는 제1 내지 제3 데이터 라인(DL1 내지 DL3)을 통해 제1 및 제3 화소 그룹(G1, G3)과 연결될 수 있다. 제2 데이터 구동부(210a2)는 제4 내지 제6 데이터 라인(DL4 내지 DL6)을 통해 제2 및 제4 화소 그룹(G2, G4)과 연결될 수 있다. 데이터 드라이버(200)는 타이밍 제어부(300)로부터 제어 신호(CONT1) 및 영상 데이터(DATA)를 제공받을 수 있다. 이후, 각 데이터 구동부(210a1 내지 210ak)는 제어 신호(CONT1)에 따라 입력된 영상 데이터(DATA)를 샘플링(sampling) 및 홀딩(holding)하고 아날로그 전압으로 변환하여 복수의 데이터 신호(D1 내지 Dm)를 생성할 수 있다. 복수의 데이터 구동부(210a1 내지 210ak)는 복수의 데이터 라인(DL1 내지 DLm)을 통해 복수의 데이터 신호(D1 내지 Dm)를 표시 패널(100)에 제공할 수 있다. 표시 패널(100)의 각 화소부는 연결되는 스캔 라인으로부터 제공받은 스캔 신호(S1 내지 Sn)에 응답하여, 복수의 데이터 라인(DL1 내지 DLm)을 통해 제공받은 복수의 데이터 신호(D1 내지 Dm)에 대응하여 영상 이미지를 표시할 수 있다.
- [0041] 타이밍 제어부(300)는 외부로부터 영상 신호(R, G, B) 및 이의 제어 신호(CS)를 입력 받을 수 있다. 제어 신호(CS)는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE) 등을 포함할 수 있다. 타이밍 제어부(300)는 외부로부터 제공받은 신호들을 표시 패널(100)의 동작 조건에 적합하도록 처리한 이후, 영상 데이터(DATA), 제1 제어 신호(CONT1) 및 제2 제어 신호(CONT2)를 생성할 수 있다. 제1 제어 신호(CONT1)는 영상 데이터(DATA)의 입력 시작을 지시하는 수평 동기 시작 신호(STH) 및 복수의 데이터 라인(DL1 내지 DLm)에 데이터 전압의 인가를 제어하는 로드 신호(TP) 등을 포함할 수 있다. 제2 제어 신호(CONT2)는 복수의 스캔 신호(S1 내지 Sn)의 출력 시작을 지시하는 스캔 개시 신호(STV) 및 스캔 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 등을 포함할 수 있다. 또한, 타이밍 제어부(300)는 제어 신호(AP_OUT)를 각각 데이터 드라이버(200), 스캔 구동부(400) 및 스위치 회로부(500)에 제공하여, 스위치 회로부(500)에 포함되는 복수의 트랜지스터, 데이터 드라이버(200)에 포함되는 복수의 트랜지스터 및 스캔 구동부(400)에 포함되는 복수의 트랜지스터의 스위칭 동작을 제어할 수 있다. 이에 대해서는 도 2를 참조하여 후술하기로 한다.
- [0042] 스캔 구동부(400)는, 타이밍 제어부(100)로부터 제2 제어 신호(CONT2)를 제공 받을 수 있다. 스캔 구동부(300)는 제공받은 제2 제어 신호(CONT2)에 따라, 복수의 스캔 신호(S1 내지 Sn)를 표시 패널(100)에 제공할 수 있다.

스캔 구동부(400)는 복수의 쉬프트 레지스터(Shift Register)를 포함할 수 있으며, 이에 대한 설명은 도 3을 참조하여 후술하기로 한다.

[0043] 스위치 회로부(500)는 제1 내지 제3 트랜지스터(TR1 내지 TR3)를 포함할 수 있다. 제1 트랜지스터(TR1)는 제1 데이터 라인(DL1)과 제4 데이터 라인(DL4) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제1 및 제4 데이터 라인(DL1, DL4) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제2 트랜지스터(TR2)는 제2 데이터 라인(DL2)과 제4 데이터 라인(DL4) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제2 및 제5 데이터 라인(DL2, DL5) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제3 트랜지스터(TR3)는 제3 데이터 라인(DL3)과 제6 데이터 라인(DL6) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제3 및 제6 데이터 라인(DL3, DL6) 사이의 신호 경로를 도통 또는 차단할 수 있다. 이때, 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 일 실시예로 PMOS 타입(type)일 수 있다. 따라서, 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 타이밍 제어부(300)로부터 로우 레벨의 제어 신호(AP_OUT)를 제공받는 경우 턴 온 될 수 있다. 스위치 회로부(500)의 배치 위치는 제한되지 않으며, 일 실시예로 표시 패널(100)의 구성 중 상술한 제1 기관에 형성될 수 있다. 또한, 본 명세서에서는 스위치 회로부(500)가 제1 내지 제3 트랜지스터(TR1 내지 TR3)를 포함하는 것을 예로 들어 설명하였으나, 제3 내지 제k 데이터 구동부(210a3 내지 210ak)와 연결되는 복수의 트랜지스터를 더 포함할 수 있다.

[0044] 도 2는 도 1에 도시한 액정 표시 장치의 구성 중 데이터 드라이버(200) 및 스위치 회로부(500)를 보다 상세하게 나타낸 도면이다.

[0045] 도 1 및 도 2를 참조하면, 데이터 드라이버(200)는 제1 내지 제3 데이터 라인(DL1 내지 DL3)을 통해 제1 화소 그룹(G1)과 연결되는 제1 데이터 구동부(210a1) 및 제4 내지 제6 데이터 라인(DL4 내지 DL6)을 통해 제2 화소 그룹(G2)과 연결되는 제2 데이터 구동부(210a2)를 포함할 수 있다. 제1 데이터 구동부(210a1)는 제1 내지 제3 디지털-아날로그 변환부(220a1 내지 220a3)를 포함할 수 있다. 제1 내지 제3 디지털-아날로그 변환부(220a1 내지 220a3)는 제1 내지 제3 데이터 신호(D1 내지 D3)를 제1 내지 제3 데이터 라인(DL1 내지 DL3)으로 제공할 수 있다. 제2 데이터 구동부(210a2)는 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)를 포함할 수 있다. 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)는 제4 내지 제6 데이터 신호(D4 내지 D6)를 제4 내지 제6 데이터 라인(DL4 내지 DL6)으로 제공할 수 있다. 또한, 제2 데이터 구동부(210a2)는 제4 내지 제6 트랜지스터(TR4 내지 TR6)를 더 포함할 수 있다. 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 각각 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)의 출력단과 제4 내지 제6 데이터 라인(DL4 내지 DL6) 사이에 접속될 수 있다. 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)의 출력단과 제4 내지 제6 데이터 라인(DL4 내지 DL6) 사이의 신호 경로를 도통 또는 차단할 수 있다. 이때, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 NMOS 타입일 수 있다. 따라서, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 타이밍 제어부(300)로부터 하이 레벨의 제어 신호(AP_OUT)를 제공받는 경우 턴 온 될 수 있다. 다만, 본 명세서에서는 제1 내지 제3 트랜지스터(TR1 내지 TR3)가 PMOS 타입이며, 제4 내지 제6 트랜지스터(TR4 내지 TR6)가 NMOS 타입인 것으로 예를 들어 설명하지만, 이에 제한되는 것은 아니다. 즉, 제1 내지 제3 트랜지스터(TR1 내지 TR3)와 제4 내지 제6 트랜지스터(TR4 내지 TR6)가 서로 상보적으로 스위칭 동작을 수행하는 경우라면, 특별히 스위치 타입은 제한되지 않는다. 한편, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)의 입력단과 연결될 수도 있다. 또한, 제4 내지 제6 트랜지스터(TR4 내지 TR6)가 제1 구동 회로부(210a1) 내의 제1 내지 제3 디지털-아날로그 변환부(220a1 내지 220a3)와 연결될 수도 있다.

[0046] 도 3은 도 1에 도시한 액정 표시 장치의 구성 중 스캔 구동부(400)를 보다 상세하게 나타낸 도면이다.

[0047] 도 1 및 도 3을 참조하면, 스캔 구동부(400)는 제1 및 제2 쉬프트 레지스터(410a1, 410a2)를 갖는 복수의 쉬프트 레지스터를 포함할 수 있다. 복수의 쉬프트 레지스터는 서로 종속적으로 연결될 수 있으며, 복수의 스캔 라인(SL1 내지 SLn)과 각각 연결되어 복수의 스캔 신호(S1 내지 Sn)를 제공할 수 있다. 제1 쉬프트 레지스터(410a1)는 제1 스캔 신호(S1)를 제1 스캔 라인(SL1)으로 제공할 수 있으며, 제2 쉬프트 레지스터(410a2)는 제2 스캔 신호(S2)를 제2 스캔 라인(SL2)으로 제공할 수 있다. 한편, 유기 발광 표시 장치는 제1 및 제2 스캔 라인(SL1 내지 SL2) 사이에 접속되는 제7 트랜지스터(TR7)를 더 포함할 수 있다. 제7 트랜지스터(TR7)는 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제1 및 제2 스캔 라인(SL1 내지 SLn) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제7 트랜지스터(TR7)는 스캔 구동부(400) 내에 포함되어 형성될 수도 있다. 이하, 제7 트랜지스터(TR7)가 스캔 구동부(400) 내에 포함되어 형성된 것을 예로 들어 설명하기로 한다. 스캔 구동부(400)는 제2 쉬프트 레지스터(410a2)의 출력단과 제2 스캔 라인(SL2) 사이에 접속되는 제8 트랜지스터(TR8)를 더 포함할

수 있다. 제8 트랜지스터(TR8)는 제2 쉬프트 레지스터(410a2)의 출력단과 제2 스캔 라인(SL2) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제7 트랜지스터(TR7)는 일 실시예로 PMOS 타입일 수 있으며, 제8 트랜지스터(TR8)는 일 실시예로 NMOS 타입일 수 있다. 다만, 제7 및 제8 트랜지스터(TR7, TR8)는 서로 상보적으로 스위칭 동작하는 경우라면, 스위치 타입은 제한되지 않는다. 한편, 제8 트랜지스터(TR8)는 제2 쉬프트 레지스터(410a2)의 입력단과 연결될 수도 있다. 또한, 제8 트랜지스터(TR8)는 제1 쉬프트 레지스터(410a1)와 제1 스캔 라인(SL1) 사이에 접속될 수도 있다. 본 명세서에서는 제1 및 제2 스캔 라인(SL1 내지 SL2) 사이에 접속되는 제7 트랜지스터(TR7)만 예로 들어 설명하였으나, 제3 내지 제n 스캔 라인(SL3 내지 SLn) 중 두 개의 스캔 라인 사이에 연결되는 복수의 트랜지스터를 더 포함할 수 있다. 이때, 복수의 트랜지스터로 연결된 두 개의 스캔 라인 중 하나의 스캔 라인에는 스캔 신호를 출력하는 쉬프트 레지스터와의 신호 경로를 도통 또는 차단하는 트랜지스터가 연결될 수 있다.

[0048] 도 4는 제1 구동 모드에서의 액정 표시 장치의 동작을 설명하기 위한 도면이다. 도 5는 제2 구동 모드에서의 액정 표시 장치의 동작을 설명하기 위한 도면이다. 다만, 설명의 편의를 위해 표시 패널(100) 내의 복수의 화소 그룹 중 제1 내지 제4 화소 그룹(G1 내지 G4)을 예로 들어 설명하기로 한다.

[0049] 도 1, 도 2 및 도 4를 참조하면, 제1 구동 모드에서 타이밍 제어부(300)는 로우 레벨의 제어 신호(AP_OUT)를 데이터 드라이버(210) 및 스캔 구동부(400)에 제공할 수 있다. 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 로우 레벨의 제어 신호(AP_OUT)를 제공받아 턴 온 되어, 제1 및 제4 데이터 라인(DL1 및 DL4), 제2 및 제5 데이터 라인(DL2, DL5), 제3 및 제6 데이터 라인(DL3, DL6) 사이의 신호 경로를 각각 도통시킬 수 있다. 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 로우 레벨의 제어 신호(AP_OUT)를 제공받아 턴 오프 되어, 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)로부터의 출력을 차단시킬 수 있다. 제7 트랜지스터(TR7)는 로우 레벨의 제어 신호(AP_OUT)를 제공받아 턴 온 되어, 제1 및 제2 스캔 라인(SL1 및 SL2) 사이의 신호 경로를 도통시킬 수 있다. 제8 트랜지스터(TR8)는 로우 레벨의 제어 신호(AP_OUT)를 제공받아 턴 오프 되어, 제2 쉬프트 레지스터(410a2)로부터의 출력을 차단시킬 수 있다. 이에 따라, 제1 내지 제4 화소 그룹(G1 내지 G4)는 제1 내지 제3 데이터 라인(DL1 내지 DL3)으로부터 제1 및 제3 데이터 신호(D1 내지 D3)를 제공받을 수 있다. 또한, 제3 및 제4 화소 그룹(G3, G4)은 제1 스캔 라인(SL1)으로부터 제1 스캔 신호(S1)를 제공받을 수 있다. 따라서, 화소부(PX11, PX14, PX21, PX24)는 제1 스캔 신호(S1)에 응답하여 제1 데이터 신호(D1)에 따라 제1 색상을 표시할 수 있다. 화소부(PX12, PX15, PX22, PX25)는 제1 스캔 신호(S1)에 응답하여 제2 데이터 신호(D2)에 따라 제2 색상을 표시할 수 있다. 화소부(PX13, PX16, PX23, PX26)는 제1 스캔 신호(S1)에 응답하여 제3 데이터 신호(D3)에 따라 제3 색상을 표시할 수 있다. 결국, 제1 구동 모드에서는 제1 내지 제4 화소 그룹(G1 내지 G4)전체가 하나의 단위로써 동작할 수 있으며, 전체 표시 패널(100)을 기준으로 할 때 데이터 라인 및 스캔 라인이 절반만 사용됨에 따라 소비 전력을 저감할 수 있다. 즉, 본 발명에 따른 유기 발광 표시 장치는 제1 구동 모드에서는 FHD(Full High-Definition)로 동작할 수 있다.

[0050] 도 1, 도 2 및 도 5를 참조하면, 제2 구동 모드에서 타이밍 제어부(300)는 하이 레벨의 제어 신호(AP_OUT)를 데이터 드라이버(210) 및 스캔 구동부(400)에 제공할 수 있다. 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 하이 레벨의 제어 신호(AP_OUT)를 제공받아 턴 오프 되어, 제1 및 제4 데이터 라인(DL1 및 DL4), 제2 및 제5 데이터 라인(DL2, DL5), 제3 및 제6 데이터 라인(DL3, DL6) 사이의 신호 경로를 각각 차단시킬 수 있다. 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 하이 레벨의 제어 신호(AP_OUT)를 제공받아 턴 온 되어, 제4 내지 제6 디지털-아날로그 변환부(220a4 내지 220a6)로부터의 출력을 제4 내지 제6 데이터 라인(DL4 내지 DL6)으로 제공할 수 있다. 제7 트랜지스터(TR7)는 하이 레벨의 제어 신호(AP_OUT)를 제공받아 턴 오프 되어, 제1 및 제2 스캔 라인(SL1 및 SL2) 사이의 신호 경로를 차단시킬 수 있다. 제8 트랜지스터(TR8)는 하이 레벨의 제어 신호(AP_OUT)를 제공받아 턴 온 되어, 제2 쉬프트 레지스터(410a2)로부터의 출력을 제2 스캔 라인(SL2)으로 제공할 수 있다. 이에 따라, 제1 및 제3 화소 그룹(G1, G3)은 제1 내지 제3 데이터 라인(DL1 내지 DL3)으로부터 제1 및 제3 데이터 신호(D1 내지 D3)를 제공받을 수 있다. 제2 화소 그룹(G2) 및 제4 화소 그룹(G4)는 제4 내지 제6 데이터 라인(DL4 내지 DL6)으로부터 제4 및 제6 데이터 신호(D4 내지 D6)를 제공받을 수 있다. 또한, 제1 및 제2 화소 그룹(G1, G2)는 제1 스캔 라인(SL1)으로부터 제1 스캔 신호(S1)를 제공받을 수 있으며, 제3 및 제4 화소 그룹(G3, G4)은 제2 스캔 라인(SL2)으로부터 제2 스캔 신호(S2)를 제공받을 수 있다. 따라서, 화소부(PX11, PX21)는 제1 데이터 신호(D1)에 따라 제1 색상을 표시할 수 있다. 화소부(PX12, PX22)는 제2 데이터 신호(D2)에 따라 제2 색상을 표시할 수 있다. 화소부(PX13, PX23)는 제3 데이터 신호(D3)에 따라 제3 색상을 표시할 수 있다. 또한, 제1 구동 모드와 달리 제4 내지 제6 트랜지스터(TR5 내지 TR6)가 턴 온 됨에 따라, 화소부(PX14, PX24)는 제4 데이터 신호(D4)에 따라 제1 색상을 표시할 수 있다. 화소부(PX15, PX25)는 제5 데이터 신호(D5)에 따라 제2 색상을 표시할 수 있다. 화소부(PX16, PX26)는 제6 데이터 신호(D6)에 따라 제3 색상을 표시할 수 있다. 결국, 제2 구동 모드

에서는 제1 내지 제4 화소 그룹(G1 내지 G4) 각각이 하나의 단위로써 동작할 수 있으며, 전체 표시 패널(100)을 기준으로 할 때 모든 데이터 라인 및 스캔 라인이 사용됨에 따라 고해상도의 표시 패널(100)을 구현할 수 있다. 즉, 본 발명에 따른 유기 발광 표시 장치는 제2 구동 모드에서는 UHD(Ultra High-Definition)로 동작할 수 있다.

[0051] 따라서, 본 발명의 일 실시예에 따른 액정 표시 장치는 타이밍 제어부(300)의 제어 신호(AP_OUT)에 따라 해상도를 조절할 수 있으며, 제1 구동 모드에서는 신호가 출력되는 스캔 라인 및 데이터 라인의 수가 감소됨에 따라 소비 전력을 저감시킬 수 있다.

[0052] 도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 블록도이다. 도 7은 도 6에 도시한 액정 표시 장치의 구성 중 데이터 드라이버(200) 및 스위치 회로부(510)를 보다 상세하게 나타낸 도면이다. 다만, 도 1 내지 도 5에서 설명한 본 발명의 일 실시예에 따른 액정 표시 장치의 구성과 중복되는 부분은 설명을 생략하기로 한다.

[0053] 도 6 및 도 7을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치는, 표시 패널(100), 데이터 드라이버(200), 타이밍 제어부(300), 스캔 구동부(400) 및 스위치 회로부(510)를 포함할 수 있다.

[0054] 표시 패널(100)은 제1 내지 제6 화소 그룹(G1 내지 G6)을 포함할 수 있다. 제1 화소 그룹(G1)은 복수의 데이터 라인(DL1 내지 DLm) 중 제1 및 제2 데이터 라인(DL1, DL2)과 각각 연결되는 제1 및 제2 화소부(PX11, PX12)를 포함할 수 있다. 제2 화소 그룹(G2)은 복수의 데이터 라인(DL1 내지 DLm) 중 제3 및 제4 데이터 라인(DL3, DL4)과 각각 연결되는 제3 및 제4 화소부(PX13, PX14)를 포함할 수 있다. 제3 화소 그룹(G3)은 복수의 데이터 라인(DL1 내지 DLm) 중 제5 및 제6 데이터 라인(DL5, DL6)과 각각 연결되는 제5 및 제6 화소부(PX15, PX16)를 포함할 수 있다. 제1 내지 제3 화소 그룹(G1 내지 G3)과 마찬가지로 제4 화소 그룹(G4)은 제1 및 제2 데이터 라인(DL1, DL2)과 연결될 수 있으며, 제5 화소 그룹(G5)은 제3 및 제4 데이터 라인(DL3, DL4)과 연결될 수 있다. 또한, 제6 화소 그룹(G6)은 제5 및 제6 데이터 라인(DL5, DL6)과 연결될 수 있다. 다만, 제1 내지 제3 화소 그룹(G1 내지 G3)은 복수의 스캔 라인(SL1 내지 SLn) 중 제1 스캔 라인(SL1)과 연결될 수 있으며, 제4 내지 제6 화소 그룹(G4 내지 G6)은 복수의 스캔 라인(SL1 내지 SLn) 중 제2 스캔 라인(SL2)과 연결될 수 있다. 각 화소 그룹 내의 화소부 각각은 연결된 스캔 라인으로부터 제공되는 스캔 신호에 대응하여 연결된 데이터 라인을 통해 데이터 신호를 제공받을 수 있다. 이를 위해, 각 화소부는 스캔 신호에 의해 턴 온 되어 데이터 신호를 화소 전극에 인가하는 트랜지스터를 포함할 수 있다. 각 화소 그룹 내의 화소부는 서로 동일한 색상을 표시할 수 있다. 예를 들면, 제1 화소 그룹(G1)에 포함되는 제1 및 제2 화소부(PX11, PX12)는 모두 제1 색상을 표시할 수 있으며, 제2 화소 그룹(G2)에 포함되는 제3 및 제4 화소부(PX13, PX14)는 모두 제2 색상을 표시할 수 있다. 또한, 제3 화소 그룹(G3)에 포함되는 제5 및 제6 화소부(PX15, PX16)는 모두 제3 색상을 표시할 수 있다. 이때, 제1 색상은 예를 들어 적색(red)일 수 있으며, 제2 색상은 녹색(green)일 수 있다. 또한, 제3 색상은 예를 들어 청색(blue)일 수 있다.

[0055] 데이터 드라이버(200)는 복수의 디지털-아날로그 변환부(DAC)를 갖는 제1 내지 제k 데이터 구동부(210b1 내지 210bk, 단, k는 3의 배수)를 포함할 수 있다. 제1 데이터 구동부(210b1)는 제1 및 제2 데이터 라인(DL1, DL2)을 통해 제1 및 제4 화소 그룹(G1, G4)과 연결될 수 있다. 제2 데이터 구동부(210b2)는 제3 및 제4 데이터 라인(DL3, DL4)을 통해 제2 및 제5 화소 그룹(G2, G5)과 연결될 수 있다. 제3 데이터 구동부(210b3)는 제5 및 제6 데이터 라인(DL5, DL6)을 통해 제3 및 제6 화소 그룹(G3, G6)과 연결될 수 있다.

[0056] 스위치 회로부(510)는 제1 내지 제3 트랜지스터(TR1 내지 TR3)를 포함할 수 있다. 제1 트랜지스터(TR1)는 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제1 및 제2 데이터 라인(DL1, DL2) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제2 트랜지스터(TR2)는 제3 데이터 라인(DL3)과 제4 데이터 라인(DL4) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제3 및 제4 데이터 라인(DL3, DL4) 사이의 신호 경로를 도통 또는 차단할 수 있다. 제3 트랜지스터(TR3)는 제5 데이터 라인(DL5)과 제6 데이터 라인(DL6) 사이에 접속되며, 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제5 및 제6 데이터 라인(DL5, DL6) 사이의 신호 경로를 도통 또는 차단할 수 있다. 이때, 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 일 실시예로 PMOS 타입(type)일 수 있다. 따라서, 제1 내지 제3 트랜지스터(TR1 내지 TR3)는 타이밍 제어부(300)로부터 로우 레벨의 제어 신호(AP_OUT)를 제공받는 경우 턴 온 될 수 있다. 또한, 본 명세서에서는 스위치 회로부(500)가 제1 내지 제3 트랜지스터(TR1 내지 TR3)를 포함하는 것을 예로 들어 설명하였으나, 제3 내지 제k 데이터 구동부(210a3 내지 210ak)와 연결되는 복수의 트랜지스터를 더 포함할 수 있다.

[0057] 도 7을 참조하면, 제1 데이터 구동부(210b1)는 제1 및 제2 디지털-아날로그 변환부(220a1, 220a2)를 포함할 수 있으며, 제2 데이터 구동부(210b2)는 제3 및 제4 디지털-아날로그 변환부(220a3, 220a4)를 포함할 수 있다. 또한, 제3 데이터 구동부(210b3)는 제5 및 제6 디지털-아날로그 변환부(220a5, 220a6)를 포함할 수 있다. 한편, 제1 데이터 구동부(210b1)는 제1 및 제2 디지털-아날로그 변환부(220a1, 220a2) 중 하나와 연결되는 제4 트랜지스터(TR4)를 더 포함할 수 있다. 도 7을 참조하면, 제4 트랜지스터(TR4)는 일 실시예로 제2 디지털-아날로그 변환부(220a2)와 연결될 수 있다. 제2 데이터 구동부(210b2)는 제3 및 제4 디지털-아날로그 변환부(220a3, 220a4) 중 하나와 연결되는 제5 트랜지스터(TR5)를 더 포함할 수 있다. 도 7을 참조하면, 제5 트랜지스터(TR5)는 일 실시예로 제4 디지털-아날로그 변환부(220a4)와 연결될 수 있다. 제3 데이터 구동부(210b3)는 제5 및 제6 디지털-아날로그 변환부(220a5, 220a6) 중 하나와 연결되는 제6 트랜지스터(TR6)를 더 포함할 수 있다. 도 7을 참조하면, 제6 트랜지스터(TR6)는 일 실시예로 제6 디지털-아날로그 변환부(220a2)와 연결될 수 있다. 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 타이밍 제어부(300)로부터 제어 신호(AP_OUT)를 제공받아 제2, 제4 및 제6 디지털-아날로그 변환부(220a2, 220a4, 220a6)의 출력단과 제2, 제4 및 제6 데이터 라인(DL2, DL4, DL6) 사이의 신호 경로를 도통 또는 차단할 수 있다. 이때, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 NMOS 타입일 수 있다. 따라서, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 타이밍 제어부(300)로부터 하이 레벨의 제어 신호(AP_OUT)를 제공받는 경우 턴 온 될 수 있다. 이때, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 NMOS 타입일 수 있다. 따라서, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 타이밍 제어부(300)로부터 하이 레벨의 제어 신호(AP_OUT)를 제공받는 경우 턴 온 될 수 있다. 다만, 본 명세서에서는 제1 내지 제3 트랜지스터(TR1 내지 TR3)가 PMOS 타입이며, 제4 내지 제6 트랜지스터(TR4 내지 TR6)가 NMOS 타입인 것으로 예를 들어 설명하지만, 이에 제한되는 것은 아니다. 즉, 제1 내지 제3 트랜지스터(TR1 내지 TR3)와 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 서로 상보적으로 스위칭 동작을 수행하는 경우라면 특별히 스위치 타입은 제한되지 않는다. 한편, 제4 내지 제6 트랜지스터(TR4 내지 TR6)는 제2, 제4 및 제6 디지털-아날로그 변환부(220a2, 220a4, 220a6)의 입력단과 연결될 수도 있다.

[0058] 즉, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 같은 색상을 표시하는 화소부를 하나의 화소 그룹으로 설정하고, 동작 모드에 따라 제1 내지 제8 트랜지스터를 턴 온 또는 턴 오프 시킴으로써 해상도를 조절할 수 있다.

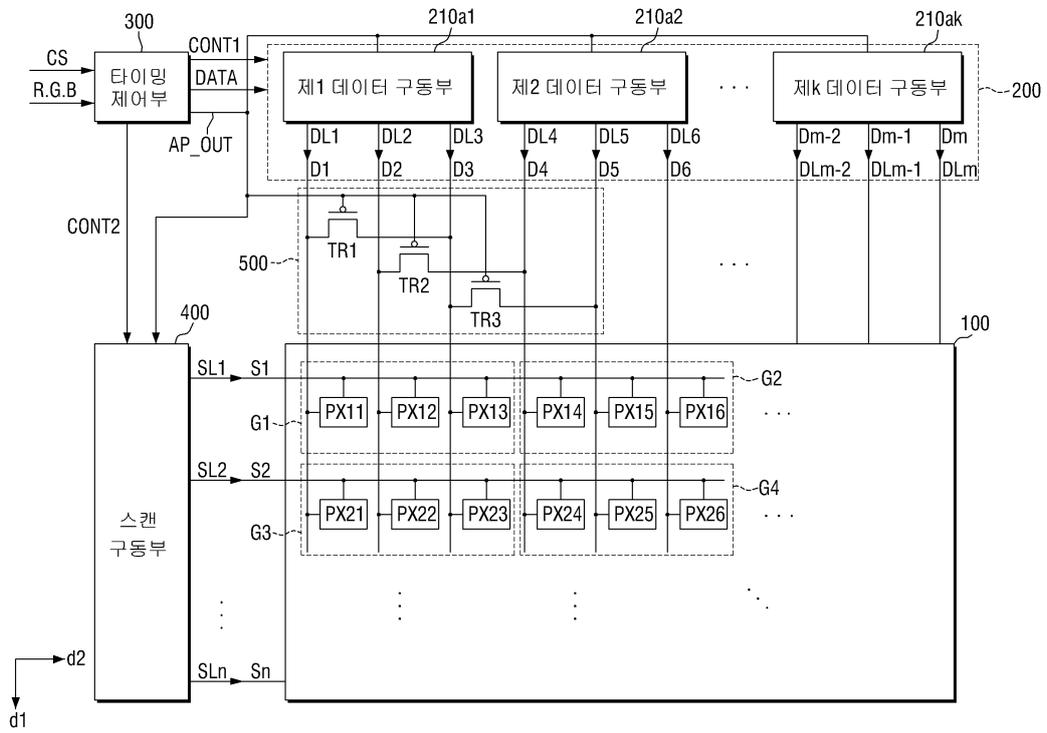
[0059] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이지 않는 것으로 이해해야 한다.

부호의 설명

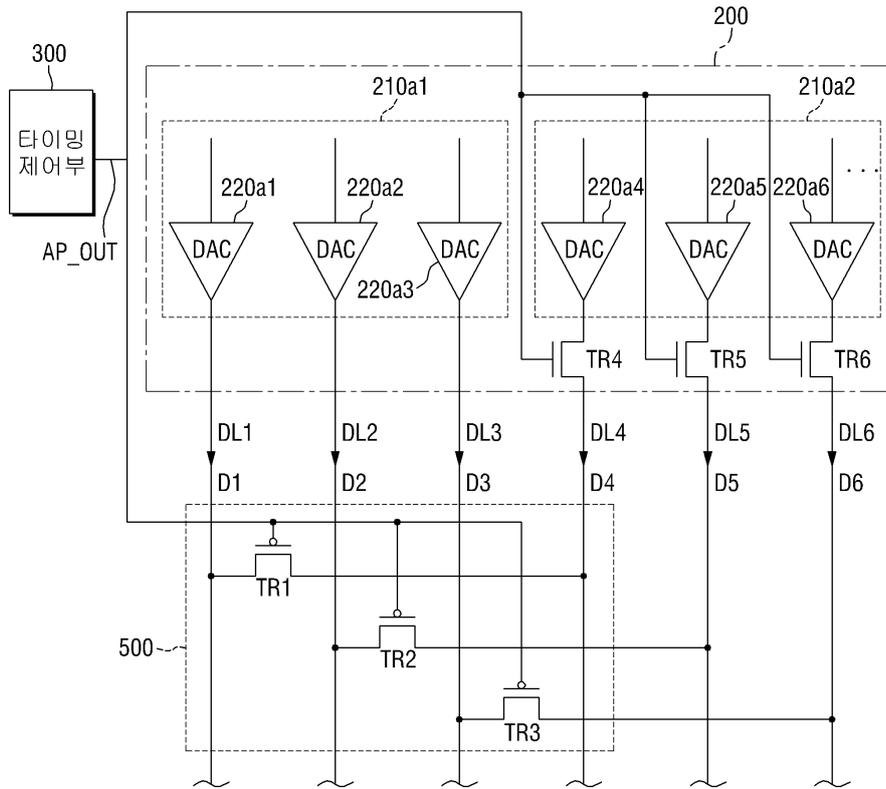
- [0060] 100: 표시 패널
- 200: 데이터 드라이버
- 300: 타이밍 제어부
- 400: 스캔 구동부
- 500: 스위치 회로부

도면

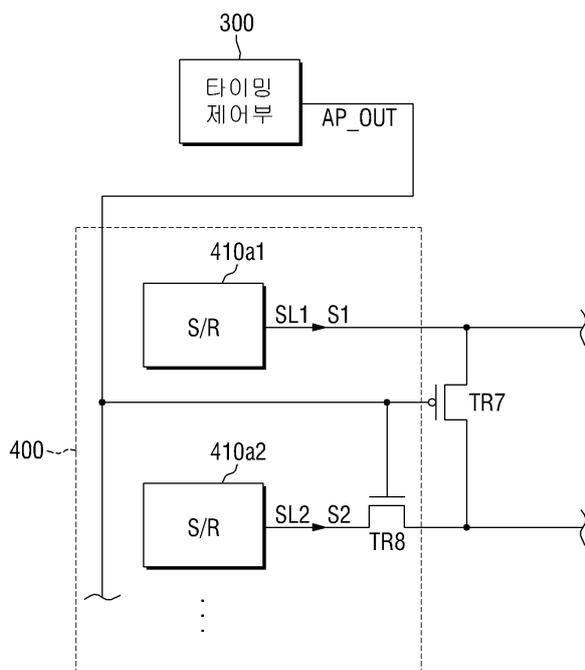
도면1



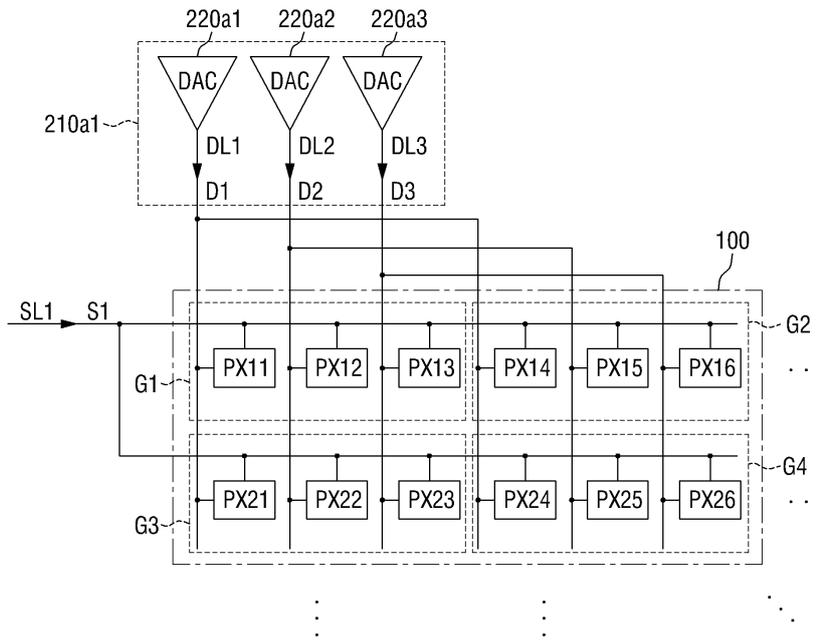
도면2



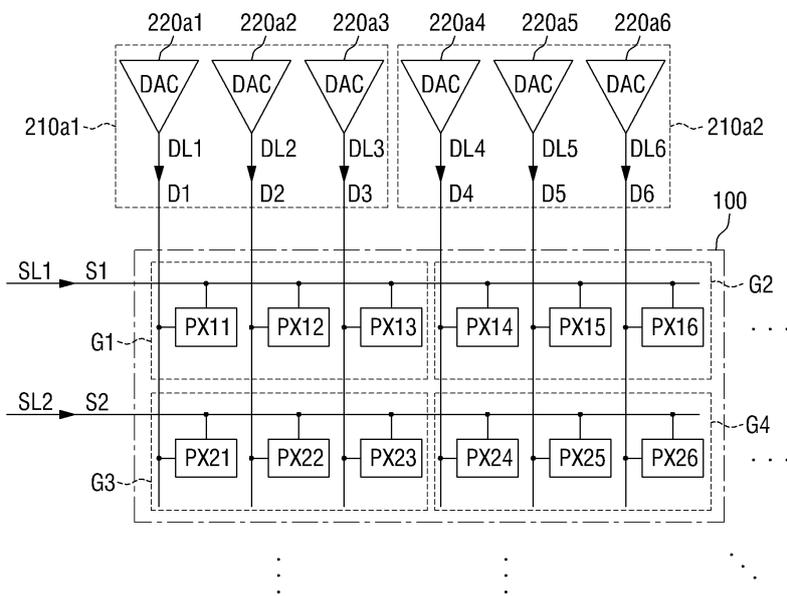
도면3



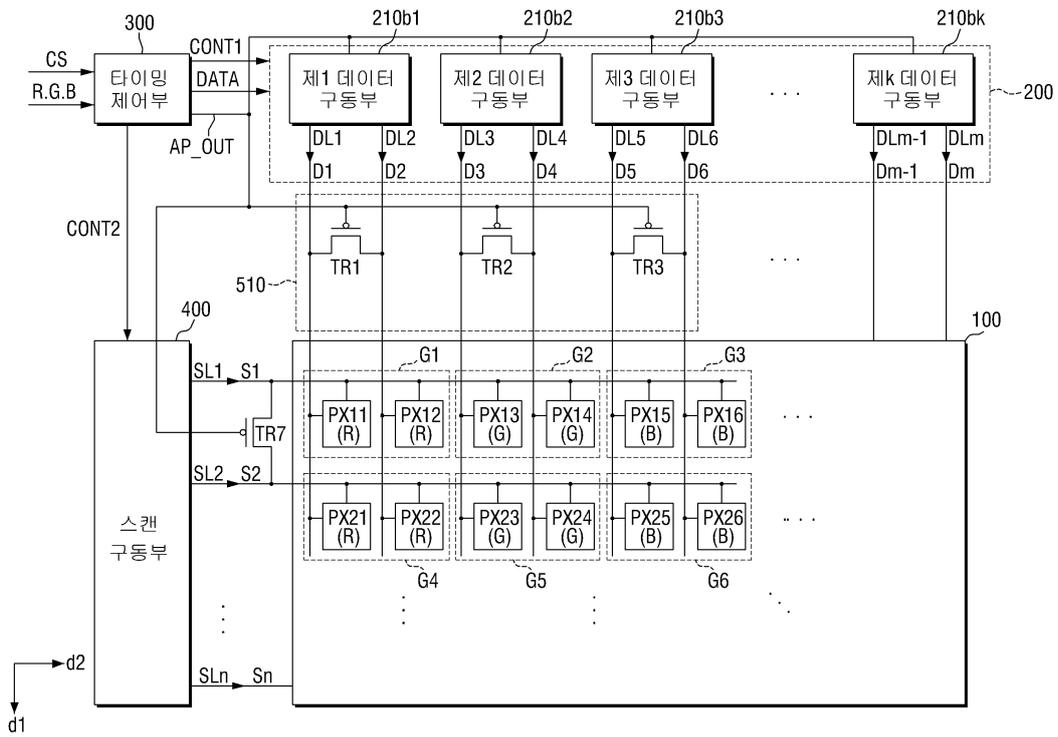
도면4



도면5



도면6



와 상기 제3 및 제4 화소 그룹과 연결되는 스캔 라인 사이에 접속되는 제8 트랜지스터를 더 포함하되,
상기 제7 트랜지스터는 NMOS 타입과 PMOS 타입 중 어느 하나고, 상기 제8 트랜지스터는 NMOS 타입과 PMOS 타입
중 다른 하나이며,

상기 제7 트랜지스터의 게이트 전극과 상기 제8 트랜지스터의 게이트 전극은 서로 연결된 표시 장치.