



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월25일
(11) 등록번호 10-2269054
(24) 등록일자 2021년06월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G09G 3/36 (2006.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
G09G 3/3648 (2013.01)
(21) 출원번호 10-2015-0003522
(22) 출원일자 2015년01월09일
심사청구일자 2019년12월30일
(65) 공개번호 10-2016-0086497
(43) 공개일자 2016년07월20일
(56) 선행기술조사문헌
JP2011249788 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
타케우치, 노보루
경기도 용인시 기흥구 삼성로 1 (농서동)
강민수
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
오종한, 문용호

전체 청구항 수 : 총 16 항

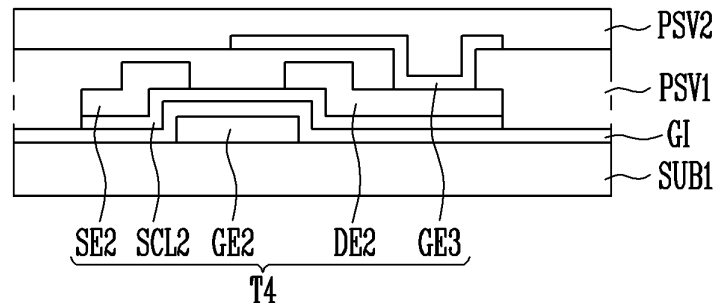
심사관 : 박정근

(54) 발명의 명칭 트랜지스터 및 이를 구비하는 액정 표시 장치

(57) 요약

트랜지스터는 베이스 기판 상에 배치되는 제1 게이트 전극; 상기 제1 게이트 전극 상에 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되며, 채널 영역을 구비하는 반도체층; 상기 반도체층의 양단에 접속하는 소스 전극 및 드레인 전극; 상기 반도체층, 상기 소스 전극 및 상기 드레인 전극을 커버하는 보호막; 및 상기 보호막 상에 배치되고, 상기 드레인 전극에서 상기 소스 전극 방향으로 상기 채널 영역과 일부가 중첩하는 제2 게이트 전극을 포함한다.

대표도 - 도4



(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2320/043 (2013.01)

(72) 발명자

김범준

경기도 용인시 기흥구 삼성로 1 (농서동)

김윤호

경기도 용인시 기흥구 삼성로 1 (농서동)

신성열

경기도 용인시 기흥구 삼성로 1 (농서동)

이홍우

경기도 용인시 기흥구 삼성로 1 (농서동)

(56) 선행기술조사문헌

US20030122196 A1*

US20110156025 A1*

KR1020120077874 A*

KR1020100093732 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

베이스 기판 상에 배치되는 제1 게이트 전극;
 상기 제1 게이트 전극 상에 배치되는 게이트 절연막;
 상기 게이트 절연막 상에 배치되며, 채널 영역을 구비하는 반도체층;
 상기 반도체층의 양단에 접속하는 소스 전극 및 드레인 전극;
 상기 반도체층, 상기 소스 전극 및 상기 드레인 전극을 커버하는 보호막; 및
 상기 보호막 상에 배치되고, 상기 채널 영역과 중첩하는 제2 게이트 전극을 포함하되,
 상기 제2 게이트 전극은 상기 드레인 전극을 커버하되, 상기 소스 전극과 비중첩하는 트랜지스터.

청구항 2

제1 항에 있어서,
 상기 제2 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 100% 미만인 트랜지스터.

청구항 3

제2 항에 있어서,
 상기 제2 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 60% 이하인 트랜지스터.

청구항 4

제2 항에 있어서,
 상기 제2 게이트 전극은 상기 보호막을 관통하여 상기 드레인 전극을 노출시키는 콘택 홀을 통하여 상기 드레인 전극에 접속하는 트랜지스터.

청구항 5

제2 항에 있어서,
 상기 제2 게이트 전극은 투명 도전성 산화물 및 저저항 금속 중 하나를 포함하는 트랜지스터.

청구항 6

제5 항에 있어서,
 상기 저저항 금속은 MoTi, Cu, MoNb, Mo, Cr, 및 AlNd 중 하나인 트랜지스터.

청구항 7

제2 항에 있어서,
 상기 반도체층은 산화물 반도체 물질을 포함하는 트랜지스터.

청구항 8

표시부 및 주변부로 구분되는 기판; 및

상기 주변부에서 상기 기판 상에 배치되는 게이트 구동부를 포함하며,

상기 게이트 구동부는

이전 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 이전 스테이지 중 어느 하나의 캐리 신호를 제1 노드에 인가하는 풀업 제어부;

상기 제1 노드에 인가된 신호에 응답하여 클럭 신호를 제N 게이트 출력 신호로 출력하는 풀업부;

상기 제1 노드에 인가된 신호에 응답하여 상기 클럭 신호를 제N 캐리 신호로 출력하는 캐리부;

직렬로 연결된 복수의 트랜지스터들을 포함하고, 다음 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 제1 노드를 제2 오프 신호로 풀다운 하는 제1 풀다운부; 및

상기 다음 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 제N 게이트 출력 신호를 제1 오프 신호로 풀다운 하는 제2 풀다운부를 포함하고,

상기 풀업 제어부는 트랜지스터를 포함하며, 상기 트랜지스터는 상기 이전 스테이지 중 어느 하나의 캐리 신호를 인가하는 단자에 연결되는 제1 게이트 전극과 제1 소스 전극, 및 상기 제1 노드에 연결된 제1 드레인 전극과 제2 게이트 전극을 포함하되,

상기 제2 게이트 전극은 상기 제1 드레인 전극을 커버하되, 상기 제1 소스 전극과 비중첩하는 표시 장치.

청구항 9

제8 항에 있어서,

상기 제1 및 제2 게이트 전극은 제1 및 제2 제어 전극이며, 상기 제1 소스 전극은 입력 전극이며, 상기 제1 드레인 전극은 출력 전극인 표시 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

제8 항에 있어서,

상기 트랜지스터는

상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 배치되고, 채널 영역을 구비한 반도체층을 더 포함하고,

상기 제2 게이트 전극은 상기 채널 영역과 중첩하는 표시 장치.

청구항 13

제12 항에 있어서,

상기 제2 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 100% 미만인 표시 장치.

청구항 14

제13 항에 있어서,

상기 제2 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 60% 이하인 표시 장치.

청구항 15

제13 항에 있어서,

상기 제2 게이트 전극은 상기 제1 드레인 전극에 접속하는 표시 장치.

청구항 16

제13 항에 있어서,

상기 제2 게이트 전극은 투명 도전성 산화물 및 저저항 금속 중 하나를 포함하는 표시 장치.

청구항 17

제16 항에 있어서,

상기 저저항 금속은 MoTi, Cu, MoNb, Mo, Cr, 및 AlNd 중 하나인 표시 장치.

청구항 18

제13 항에 있어서,

상기 반도체층은 산화물 반도체 물질을 포함하는 표시 장치.

발명의 설명

기술 분야

- [0001] 본 발명은 트랜지스터 및 이를 구비하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 열화를 방지할 수 있는 트랜지스터 및 이를 구비하는 액정 표시 장치에 관한 것이다.

배경 기술

- [0002] 액정 표시 장치는 두 기관 사이에 전계를 발생시키고, 상기 전계에 의해 액정층의 액정 분자들이 거동하도록 한다. 상기 액정 분자들의 거동에 의해 액정층을 통과하는 빛의 투과율이 조절되어, 상기 액정 표시 장치는 시청자에게 영상을 제공한다.
- [0003] 상기 액정 표시 장치는 표시 패널 및 패널 구동부를 포함한다. 상기 표시 패널은 복수의 게이트 라인들 및 복수의 데이터 라인을 포함한다. 상기 패널 구동부는 상기 복수의 게이트 라인들에 게이트 신호를 제공하는 게이트 구동부 및 상기 데이터 라인들에 데이터 전압을 제공하는 데이터 구동부를 포함한다.
- [0004] 상기 게이트 구동부는 상기 표시 패널의 일측에 배치될 수 있다. 또한, 상기 게이트 구동부는 복수의 스위칭 소자들을 포함하며, 상기 스위칭 소자들은 박막 트랜지스터일 수 있다. 상기 게이트 구동부의 박막 트랜지스터들 중 일부는 스위칭 소자의 소스 전극 및 드레인 전극 사이에 높은 전압이 인가될 경우, 상기 박막 트랜지스터가 열화될 수 있다. 상기 열화에 의해 상기 박막 트랜지스터의 특성이 변화하여, 상기 게이트 구동부의 신뢰성이 감소하고 수명이 감소할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 일 목적은 열화를 방지되어 신뢰성이 향상된 있는 트랜지스터를 제공하는 것이다.
- [0006] 본 발명의 다른 목적은 상기 트랜지스터를 구비하는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0007] 본 발명의 일 목적을 달성하기 위한 트랜지스터는 베이스 기관 상에 배치되는 제1 게이트 전극; 상기 제1 게이트 전극 상에 배치되는 게이트 절연막; 상기 게이트 절연막 상에 배치되며, 채널 영역을 구비하는 반도체층; 상기 반도체층의 양단에 접속하는 소스 전극 및 드레인 전극; 상기 반도체층, 상기 소스 전극 및 상기 드레인 전극을 커버하는 보호막; 및 상기 보호막 상에 배치되고, 상기 드레인 전극에서 상기 소스 전극 방향으로 상기 채널 영역과 일부가 중첩하는 제2 게이트 전극을 포함한다.

- [0008] 상기 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 100% 미만일 수 있으며, 바람직하게는 상기 게이트 전극 및 상기 채널 영역의 중첩 비율은 상기 채널 영역의 길이의 20% 이상 내지 60% 이하일 수 있다.
- [0009] 상기 제2 게이트 전극은 상기 보호막에 배치되고, 상기 드레인 전극을 노출시키는 콘택 홀을 통하여 상기 드레인 전극에 접속할 수 있다.
- [0010] 상기 제2 게이트 전극은 투명 도전성 산화물 및 저저항 금속 중 하나를 포함할 수 있으며, 상기 저저항 금속은 MoTi, Cu, MoNb, Mo, Cr, 및 AlNd 중 하나일 수 있다.
- [0011] 본 발명의 다른 목적을 달성하기 위한 액정 표시 장치는 표시부 및 주변부로 구분되는 제1 기판, 상기 표시부에서 상기 제1 기판에 마주하는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되는 액정층을 포함하는 액정 표시 패널; 및 상기 주변부에서 상기 제1 기판 상에 배치되는 게이트 구동부를 포함한다. 여기서, 상기 게이트 구동부는 이전 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 이전 스테이지 중 어느 하나의 캐리 신호를 제1 노드에 인가하는 풀업 제어부; 상기 제1 노드에 인가된 신호에 응답하여 클럭 신호를 제N 게이트 출력 신호로 출력하는 풀업부; 상기 제1 노드에 인가된 신호에 응답하여 상기 클럭 신호를 제N 캐리 신호로 출력하는 캐리부; 직렬로 연결된 복수의 트랜지스터들을 포함하고, 다음 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 제1 노드를 제2 오프 신호로 풀다운 하는 제1 풀다운부; 및 상기 다음 스테이지 중 어느 하나의 캐리 신호에 응답하여 상기 제N 게이트 출력 신호를 제1 오프 신호로 풀다운 하는 제2 풀다운부를 포함한다. 상기 풀업 제어부는 트랜지스터를 포함하며, 상기 트랜지스터는 상기 이전 스테이지 중 어느 하나의 캐리 신호를 인가하는 단자에 연결되는 제1 게이트 전극과 제1 소스 전극, 및 상기 제1 노드에 연결된 제1 드레인 전극과 제2 게이트 전극을 포함한다.
- [0012] 상기 제1 및 제2 게이트 전극은 제1 및 제2 제어 전극이며, 상기 제1 소스 전극은 입력 전극이며, 상기 제1 드레인 전극은 출력 전극일 수 있다.
- [0013] 상기 표시부에서, 상기 제1 기판은 베이스 기판 상에 형성된 박막 트랜지스터; 상기 박막 트랜지스터 상에 배치되는 제1 보호막; 상기 제1 보호막 상에 배치되는 공통 전극; 상기 공통 전극 상에 배치되는 제2 보호막; 및 상기 제2 보호막 상에 배치되는 화소 전극을 포함할 수 있다.
- [0014] 상기 박막 트랜지스터는 상기 베이스 기판 상에 형성된 제3 게이트 전극; 상기 제3 게이트 전극을 커버하는 게이트 절연막; 상기 게이트 절연막 상에 배치되는 제1 반도체층; 및 상기 제1 반도체층의 양단에 접속하는 제2 소스 전극 및 제2 드레인 전극을 포함한다. 여기서, 상기 게이트 절연막, 상기 제1 보호막 및 상기 제2 보호막은 상기 주변부로 연장될 수 있다.
- [0015] 상기 트랜지스터는 상기 베이스 기판 상에 배치되는 상기 제1 게이트 전극; 상기 게이트 절연막 상에 배치되며, 채널 영역을 포함하는 제2 반도체층; 상기 제1 반도체층의 양단에 접속하는 상기 제1 소스 전극 및 상기 제1 드레인 전극; 및 상기 제1 보호막 상에 배치되고, 상기 제1 드레인 전극에서 상기 제1 소스 전극 방향으로 상기 채널 영역과 일부가 중첩하는 제2 게이트 전극을 포함할 수 있다.

발명의 효과

- [0016] 상술한 바와 같은 트랜지스터는 전계가 채널의 특정 영역에 집중되지 않도록 하여 열화를 방지할 수 있다. 따라서, 트랜지스터를 구비하는 게이트 구동부의 신뢰성이 향상될 수 있다.
- [0017] 따라서, 상기 게이트 구동부를 구비하는 액정 표시 장치는 안정된 표시 품질을 시청자에게 제공할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 게이트 구동부의 제N 스테이지를 나타내는 등가 회로도이다.
- 도 3은 도 1의 표시 패널의 표시부를 설명하기 위한 단면도이며, 도 4는 도 2에 도시된 제4 트랜지스터를 설명하기 위한 단면도이다.
- 도 5 및 도 6은 제4 트랜지스터의 제3 게이트 전극 유무에 따른 드레인 전극 인접한 채널 영역의 전계를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0020] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0021] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0022] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
- [0024] 도 1을 참조하면, 표시 장치는 액정 표시 패널(100) 및 패널 구동부를 포함한다. 상기 패널 구동부는 타이밍 컨트롤러(200), 게이트 구동부(300), 감마 기준 전압 생성부(400) 및 데이터 구동부(500)를 포함한다.
- [0025] 상기 액정 표시 패널(100)은 영상을 표시하는 표시부 및 상기 표시부에 이웃하여 배치되는 주변부를 포함한다.
- [0026] 상기 액정 표시 패널(100)은 복수의 게이트 라인들(GL), 복수의 데이터 라인들(DL) 및 상기 게이트 라인들(GL)과 상기 데이터 라인들(DL) 각각에 전기적으로 연결된 복수의 단위 픽셀들을 포함한다. 상기 게이트 라인들(GL)은 제1 방향(D1)으로 연장되고, 상기 데이터 라인들(DL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다.
- [0027] 각 단위 픽셀은 스위칭 소자(미도시), 상기 스위칭 소자에 전기적으로 연결된 액정 캐패시터(미도시) 및 스토리지 캐패시터(미도시)를 포함할 수 있다. 상기 단위 픽셀들은 매트릭스 형태로 배치될 수 있다.
- [0028] 상기 타이밍 컨트롤러(200)는 외부의 장치(미도시)로부터 입력 영상 데이터(RGB) 및 입력 제어 신호(CONT)를 수신한다. 상기 입력 영상 데이터는 적색 영상 데이터(R), 녹색 영상 데이터(G) 및 청색 영상 데이터(B)를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 2차원 모드 및 3차원 모드를 포함하는 구동 모드 신호를 포함한다. 상기 입력 제어 신호(CONT)는 마스터 클럭 신호, 데이터 인에이블 신호를 더 포함할 수 있다. 상기 입력 제어 신호(CONT)는 수직 동기 신호 및 수평 동기 신호를 더 포함할 수 있다.
- [0029] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB) 및 상기 입력 제어 신호(CONT)를 근거로 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 제3 제어 신호(CONT3) 및 데이터 신호(DATA)를 생성한다.
- [0030] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 게이트 구동부(300)의 동작을 제어하기 위한 상기 제1 제어 신호(CONT1)를 생성하여 상기 게이트 구동부(300)에 출력한다. 상기 제1 제어 신호(CONT1)는 상기 구동 모드 신호를 포함할 수 있다. 상기 제1 제어 신호(CONT1)는 수직 개시 신호 및 게이트 클럭 신호를 포함할 수 있다.
- [0031] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 데이터 구동부(500)의 동작을 제어하기 위한 상기 제2 제어 신호(CONT2)를 생성하여 상기 데이터 구동부(500)에 출력한다. 상기 제2 제어 신호(CONT2)는 상기 구동 모드 신호를 포함할 수 있다. 상기 제2 제어 신호(CONT2)는 수평 개시 신호 및 로드 신호를 포함할 수 있다.
- [0032] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB)를 근거로 데이터 신호(DATA)를 생성한다. 상기 타이

밍 컨트롤러(200)는 상기 데이터 신호(DATA)를 상기 데이터 구동부(500)에 출력한다.

- [0033] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 감마 기준 전압 생성부(400)의 동작을 제어하기 위한 상기 제3 제어 신호(CONT3)를 생성하여 상기 감마 기준 전압 생성부(400)에 출력한다.
- [0034] 상기 게이트 구동부(300)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제1 제어 신호(CONT1)에 응답하여 상기 게이트 라인들(GL)을 구동하기 위한 게이트 신호들을 생성한다. 상기 게이트 구동부(300)는 상기 게이트 신호들을 상기 게이트 라인들(GL)에 순차적으로 출력한다.
- [0035] 상기 게이트 구동부(300)는 상기 액정 표시 패널(100)의 상기 주변부에 집적(integrated)될 수 있다.
- [0036] 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제3 제어 신호(CONT3)에 응답하여 감마 기준 전압(VGREF)을 생성한다. 상기 감마 기준 전압 생성부(400)는 상기 감마 기준 전압(VGREF)을 상기 데이터 구동부(500)에 제공한다. 상기 감마 기준 전압(VGREF)은 각각의 데이터 신호(DATA)에 대응하는 값을 갖는다.
- [0037] 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200) 내에 배치되거나 상기 데이터 구동부(500) 내에 배치될 수 있다.
- [0038] 상기 데이터 구동부(500)는 상기 타이밍 컨트롤러(200)로부터 상기 제2 제어 신호(CONT2) 및 상기 데이터 신호(DATA)를 입력 받고, 상기 감마 기준 전압 생성부(400)로부터 상기 감마 기준 전압(VGREF)을 입력 받는다. 상기 데이터 구동부(500)는 상기 데이터 신호(DATA)를 상기 감마 기준 전압(VGREF)을 이용하여 아날로그 형태의 데이터 전압으로 변환한다. 상기 데이터 구동부(500)는 상기 데이터 전압을 상기 데이터 라인(DL)에 출력한다.
- [0039] 상기 데이터 구동부(500)는 쉬프트 레지스터(미도시), 래치(미도시), 신호 처리부(미도시) 및 버퍼부(미도시)를 포함할 수 있다. 상기 쉬프트 레지스터는 래치 펄스를 상기 래치에 출력한다. 상기 래치는 상기 데이터 신호(DATA)를 일시 저장한 후 상기 신호 처리부에 출력한다. 상기 신호 처리부는 상기 디지털 형태인 상기 데이터 신호(DATA) 및 상기 감마 기준 전압(VGREF)을 근거로 아날로그 형태의 상기 데이터 전압을 생성하여 상기 버퍼부에 출력한다. 상기 버퍼부는 상기 데이터 전압의 레벨이 일정한 레벨을 갖도록 보상하여 상기 데이터 전압을 상기 데이터 라인(DL)에 출력한다.
- [0040] 상기 데이터 구동부(500)는 상기 액정 표시 패널(100)에 직접 실장되거나, 테이프 캐리어 패키지(tape carrier package: TCP) 형태로 상기 액정 표시 패널(100)에 연결될 수 있다. 한편, 상기 데이터 구동부(500)는 상기 액정 표시 패널(100)의 상기 주변부에 집적될 수도 있다.
- [0041] 도 2는 도 1의 게이트 구동부의 제N 스테이지를 나타내는 등가 회로도이다.
- [0042] 도 1 및 도 2를 참조하면, 상기 게이트 구동부(300)는 제1 클럭 신호(CK), 제2 클럭 신호(CKB), 제1 오프 전압(VSS1) 및 제2 오프 전압(VSS2)을 입력받는다. 상기 게이트 구동부(300)는 게이트 출력 신호(GOUT)를 출력한다.
- [0043] 상기 제1 클럭 신호(CK)는 제1 클럭 단자에 인가되고, 상기 제2 클럭 신호(CKB)는 제2 클럭 단자에 인가되며, 상기 제1 오프 전압(VSS1)은 제1 오프 단자에 인가되고, 상기 제2 오프 전압(VSS2)은 제2 오프 단자에 인가되며, 상기 게이트 출력 신호(GOUT)는 게이트 출력 단자로 출력된다.
- [0044] 상기 제1 클럭 신호(CK)는 하이 레벨과 로우 레벨을 반복하는 구형파 신호이다. 상기 제1 클럭 신호(CK)의 상기 하이 레벨은 게이트 온 전압을 가질 수 있다. 상기 제1 클럭 신호(CK)의 상기 로우 레벨은 상기 제2 오프 전압(VSS2)을 가질 수 있다. 상기 제1 클럭 신호(CK)의 듀티비는 50%일 수 있다. 이와 다르게, 상기 제1 클럭 신호(CK)의 듀티비는 50%보다 작을 수 있다. 상기 제1 클럭 신호(CK)는 상기 게이트 구동부(300)의 홀수 스테이지들 또는 짝수 스테이지들에 인가될 수 있다. 예를 들어, 상기 게이트 온 전압은 약 15V 내지 약 20V일 수 있다.
- [0045] 상기 제2 클럭 신호(CKB)는 하이 레벨과 로우 레벨을 반복하는 구형파 신호이다. 상기 제2 클럭 신호(CKB)의 상기 하이 레벨은 상기 게이트 온 전압을 가질 수 있다. 상기 제2 클럭 신호(CKB)의 상기 로우 레벨은 상기 제2 오프 전압(VSS2)을 가질 수 있다. 상기 제2 클럭 신호(CKB)의 듀티비는 50%일 수 있다. 이와 다르게, 상기 제2 클럭 신호(CKB)의 듀티비는 50%보다 작을 수 있다. 상기 제2 클럭 신호(CKB)는 상기 게이트 구동부(300)의 홀수 스테이지들 또는 짝수 스테이지들에 인가될 수 있다. 예를 들어, 상기 제1 클럭 신호(CK)가 상기 게이트 구동부(300)의 홀수 스테이지들에 인가되는 경우, 상기 제2 클럭 신호(CKB)는 상기 게이트 구동부(300)의 짝수 스테이지들에 인가된다. 예를 들어, 상기 제1 클럭 신호(CK)가 상기 게이트 구동부(300)의 짝수 스테이지들에 인가되

는 경우, 상기 제2 클럭 신호(CKB)는 상기 게이트 구동부(300)의 홀수 스테이지들에 인가된다. 예를 들어, 상기 제2 클럭 신호(CKB)는 상기 제1 클럭 신호(CK)의 반전 신호일 수 있다.

[0046] 상기 제1 오프 전압(VSS1)은 직류 전압일 수 있다. 상기 제2 오프 전압(VSS2)은 직류 전압일 수 있다. 상기 제2 오프 전압(VSS2)은 상기 제1 오프 전압(VSS1)보다 낮은 레벨을 가질 수 있다. 예를 들어, 상기 제1 오프 전압(VSS1)은 약 -5V일 수 있다. 예를 들어, 상기 제2 오프 전압(VSS2)은 약 -10V일 수 있다.

[0047] 상기 제N 스테이지는 이전 스테이지인, 제N-1 스테이지의 제N-1 캐리 신호(CR(N-1))에 응답하여 구동되어 제N 게이트 출력 신호(GOUT) 및 제N 캐리 신호(CR(N))를 출력한다. 상기 제N 스테이지는 다음 스테이지인, 제N+1 스테이지의 제N+1 캐리 신호(CR(N+1))에 응답하여 상기 제N 게이트 출력 신호(GOUT)를 상기 제1 오프 전압(VSS1)으로 풀다운한다. N은 자연수이다.

[0048] 이와 같은 방식으로, 제1 스테이지 내지 마지막 스테이지는 각 게이트 출력 신호(GOUT)를 순차적으로 출력한다.

[0049] 상기 제N-1 캐리 신호(CR(N-1))는 제N-1 캐리 단자에 인가되고, 상기 제N+1 캐리 신호(CR(N+1))는 제N+1 캐리 단자에 인가되며, 상기 제N 캐리 신호(CR(N))는 제N 캐리 단자로 출력된다.

[0050] 상기 제N 스테이지는 풀업 제어부(310), 충전부(320), 풀업부(330), 캐리부(340), 인버팅부(350), 제1 풀다운부(361), 제2 풀다운부(362), 캐리 안정부(370), 제1 홀딩부(381), 제2 홀딩부(382) 및 제3 홀딩부(383)를 포함한다.

[0051] 상기 풀업 제어부(310)는 제4 트랜지스터(T4)를 포함하고, 상기 제4 트랜지스터(T4)는 상기 제N-1 캐리 단자에 연결된 제1 제어 전극 및 입력 전극과, 제1 노드(Q1)에 연결된 출력 전극 및 제2 제어 전극을 포함한다. 상기 제1 노드(Q1)는 상기 풀업부(330)의 제어 전극에 연결된다. 여기서, 상기 제4 트랜지스터(T4)는 풀업 제어 트랜지스터일 수 있다. 또한, 상기 제어 전극들은 게이트 전극일 수 있으며, 상기 입력 전극 및 상기 출력 전극은 소스 전극 및 드레인 전극일 수 있다. 한편, 상기 제2 제어 전극은 고전압이 인가되는 상기 출력 전극 근방의 채널에 전계가 집중되는 것을 방지할 수 있다. 따라서, 상기 제2 제어 전극은 상기 입력 전극 및 상기 출력 전극 사이의 채널의 열화를 방지할 수 있다. 그러므로, 상기 게이트 구동부(300)의 신뢰성이 향상될 수 있다.

[0052] 한편, 본 실시예에서는 상기 제4 트랜지스터(T4)의 제2 제어 전극이 상기 제1 노드(Q1)에 접속된 구조를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 상기 제2 제어 전극은 상기 제4 트랜지스터(T4)의 상기 출력 전극에서 출력하는 전압과 실질적으로 동일한 전압을 출력할 수 있는 배선 또는 단자에 연결될 수 있다.

[0053] 상기 충전부(320)는 충전 커패시터(C1)를 포함하고, 상기 충전 커패시터(C1)는 상기 제1 노드(Q1)에 연결된 제1 전극과 상기 게이트 출력 단자에 연결된 제2 전극을 포함한다.

[0054] 상기 풀업부(330)는 제1 트랜지스터(T1)를 포함하고, 상기 제1 트랜지스터(T1)는 상기 제1 노드(Q1)에 연결된 제어 전극, 상기 제1 클럭 단자에 연결된 입력 전극 및 상기 게이트 출력 단자에 연결된 출력 전극을 포함한다.

[0055] 상기 캐리부(340)는 제15 트랜지스터(T15) 및 제4 캐패시터(C4)를 포함하고, 상기 제15 트랜지스터(T15)는 상기 제1 노드(Q1)에 연결된 제어 전극과 상기 제1 클럭 단자에 연결된 입력 전극 및 제N 캐리 단자에 연결된 출력 전극을 포함한다. 상기 제4 캐패시터(C4)는 상기 제1 노드(Q1)에 연결된 제1 전극과 상기 제N 캐리 단자에 연결된 제2 전극을 포함한다.

[0056] 상기 인버팅부(350)는 제12 트랜지스터(T12), 제7 트랜지스터(T7), 제13 트랜지스터(T13), 제8 트랜지스터(T8), 제2 캐패시터 및 제3 캐패시터를 포함한다. 상기 제12 트랜지스터(T12)는 상기 제1 클럭 단자에 연결된 제어 전극 및 입력 전극을 포함하고, 제4 노드(Q4)에 연결된 출력 전극을 포함한다. 상기 제7 트랜지스터(T7)는 상기 제4 노드(Q4)에 연결된 제어 전극, 상기 제1 클럭 단자에 연결된 입력 전극 및 제3 노드(Q3)에 연결된 출력 전극을 포함한다. 상기 제13 트랜지스터(T13)는 상기 제N 캐리 단자에 연결된 제어 전극, 상기 제2 오프 단자에 연결된 입력 전극과 상기 제4 노드(Q4)에 연결된 출력 전극을 포함한다. 상기 제8 트랜지스터(T8)는 상기 제N 캐리 단자에 연결된 제어 전극, 상기 제2 오프 단자에 연결된 입력 전극 및 상기 제3 노드(Q3)에 연결된 출력 전극을 포함한다. 상기 제2 캐패시터(C2)는 상기 제1 클럭 단자에 연결되는 제1 전극 및 상기 제4 노드(Q4)에 연결되는 제2 전극을 포함한다. 상기 제3 캐패시터(C3)는 상기 제3 노드(Q3)에 연결되는 제1 전극 및 상기 제4 노드(Q4)에 연결되는 제2 전극을 포함한다.

[0057] 여기서, 상기 제12 트랜지스터(T12)는 제1 인버팅 트랜지스터이고, 상기 제7 트랜지스터(T7)는 제2 인버팅 트랜지스터이며, 상기 제13 트랜지스터(T13)는 제3 인버팅 트랜지스터이고, 상기 제8 트랜지스터(T8)는 제4 인버팅

트랜지스터이다.

- [0058] 상기 제1 풀다운부(361)는 직렬로 연결된 복수의 스위칭 소자들을 포함한다. 예를 들어, 상기 제1 풀다운부(361)는 직렬로 연결된 2개의 트랜지스터들을 포함할 수 있다.
- [0059] 예를 들어, 상기 제1 풀다운부(361)는 제9 트랜지스터(T9) 및 제9-1 트랜지스터(T9-1)를 포함한다. 상기 제9 트랜지스터(T9)는 상기 제N+1 캐리 단자에 연결된 제어 전극, 상기 제2 오프 단자에 연결된 입력 전극 및 제2 노드(Q2)에 연결되는 출력 전극을 포함한다. 상기 제9-1 트랜지스터(T9-1)는 상기 제N+1 캐리 단자에 연결된 제어 전극, 상기 제2 노드(Q2)에 연결된 입력 전극 및 상기 제1 노드(Q1)에 연결되는 출력 전극을 포함한다.
- [0060] 상기 제1 풀다운부(361)가 하나의 트랜지스터를 포함하는 경우, 상기 제1 노드(Q1) 및 상기 제N+1 캐리 단자 사이의 전압으로 인해 상기 제1 풀다운부(361)의 트랜지스터의 특성이 변화하여 상기 게이트 구동부(300)의 신뢰성이 감소할 수 있다.
- [0061] 상기 제1 풀다운부(361)는 직렬로 연결된 복수의 트랜지스터들을 포함하므로, 상기 제1 노드(Q1) 및 상기 제N+1 캐리 단자 사이의 전압이 상기 제9 트랜지스터(T9) 및 상기 제9-1 트랜지스터(T9-1)에 분배될 수 있다. 따라서, 상기 게이트 구동부(300)의 신뢰성을 향상시키고, 수명을 증가시킬 수 있다.
- [0062] 상기 제1 풀다운부(361)는 직렬로 연결된 복수의 트랜지스터들을 포함하므로, 상기 제2 오프 전압(VSS2)이 상기 제1 노드(Q1)에 전달되는 타이밍을 지연시켜, 상기 게이트 출력 신호(GOUT)가 상기 제1 클럭 신호(CK)에 의해 폴링될 수 있도록 한다. 따라서, 상기 제2 풀다운부(362)의 제2 트랜지스터(T2)의 크기를 감소시킬 수 있다.
- [0063] 여기서, 상기 제9 트랜지스터(T9)는 제1 풀다운 트랜지스터이고, 상기 제9-1 트랜지스터(T9-1)는 제2 풀다운 트랜지스터이다.
- [0064] 상기 제2 풀다운부(362)는 상기 제2 트랜지스터(T2)를 포함하고, 상기 제2 트랜지스터(T2)는 상기 제N+1 캐리 단자에 연결된 제어 전극, 상기 제1 오프 단자에 연결된 입력 전극 및 상기 게이트 출력 단자에 연결된 출력 전극을 포함한다.
- [0065] 상기 캐리 안정부(370)는 제17 트랜지스터(T17)를 포함하고, 상기 제17 트랜지스터(T17)는 상기 제N+1 캐리 단자에 공통으로 연결된 제어 전극 및 입력 전극 및 상기 제N 캐리 단자에 연결된 출력 전극을 포함한다.
- [0066] 상기 캐리 안정부(370)는 제N+1 스테이지의 제4 트랜지스터(T4)를 통해 전달되는 누설 전류로 인한 노이즈 성분을 안정적으로 제거한다.
- [0067] 상기 제1 홀딩부(381)는 제10 트랜지스터(T10)를 포함하고, 상기 제10 트랜지스터(T10)는 상기 제3 노드(Q3)에 연결된 제어 전극과, 상기 제2 오프 단자에 연결된 입력 전극 및 상기 제1 노드(Q1)에 연결된 출력 전극을 포함한다.
- [0068] 상기 제2 홀딩부(382)는 제3 트랜지스터(T3)를 포함하고, 상기 제3 트랜지스터(T3)는 상기 제3 노드(Q3)에 연결된 제어 전극과, 상기 제1 오프 단자에 연결된 입력 전극 및 상기 게이트 출력 단자에 연결된 출력 전극을 포함한다.
- [0069] 상기 제3 홀딩부(383)는 제11 트랜지스터(T11)를 포함하고, 상기 제11 트랜지스터(T11)는 상기 제3 노드(Q3)에 연결된 제어 전극과, 상기 제2 오프 단자에 연결된 입력 전극 및 상기 제N 캐리 단자에 연결된 출력 전극을 포함한다.
- [0070] 본 실시예에서, 이전 캐리 신호는 상기 제N-1 캐리 신호에 한정되지 않으며, 이전 스테이지 중 어느 하나의 캐리 신호일 수 있다. 또한, 다음 캐리 신호는 상기 제N+1 캐리 신호에 한정되지 않으며, 다음 스테이지 중 어느 하나의 캐리 신호일 수 있다. 또한, 본 실시예에서, 상기 트랜지스터들은 산화물 반도체 트랜지스터일 수 있다.
- [0071] 도 3은 도 1의 표시 패널의 표시부를 설명하기 위한 단면도이며, 도 4는 도 2에 도시된 제4 트랜지스터를 설명하기 위한 단면도이다.
- [0072] 도 1 내지 도 4를 참조하면, 액정 표시 패널(100)은 영상을 표시하는 표시부(DR) 및 상기 표시부(DR)에 인접하고 게이트 구동부(300)가 배치되는 주변부(PR)로 구분될 수 있다.
- [0073] 또한, 상기 표시부(DR)에서, 상기 액정 표시 패널(100)은 제1 기관(110), 상기 제1 기관(110)에 마주하는 제2 기관(120), 및 상기 제1 기관(110)과 상기 제2 기관(120) 사이에 배치되는 액정층(LC)을 포함할 수 있다.
- [0074] 상기 제1 기관(110)은 상기 액정층(LC)의 액정 분자들을 구동하기 위한 박막 트랜지스터들이 형성된 박막 트랜

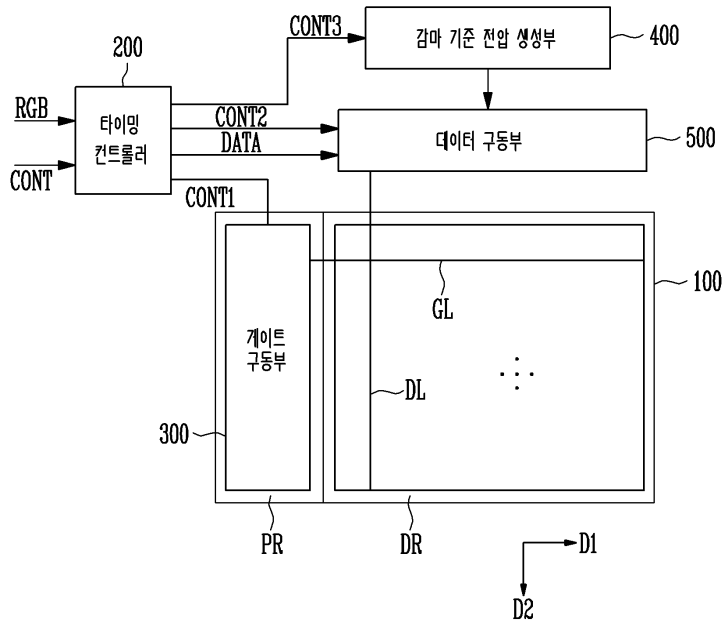
지스터 어레이 기판일 수 있다.

- [0075] 상기 제1 기판(110)은 상기 표시부(DR) 및 상기 주변부(PR)로 구분되는 제1 베이스 기판(SUB1), 상기 제1 베이스 기판(SUB1) 상에 배치된 박막 트랜지스터(TFT), 상기 박막 트랜지스터(TFT)에 접속하는 화소 전극(PE), 및 상기 화소 전극(PE)과 함께 전계를 형성하는 공통 전극(CE)을 포함할 수 있다.
- [0076] 상기 제1 기판(110)은 화소 영역을 가지는 제1 베이스 기판(SUB1)을 포함할 수 있다. 상기 제1 베이스 기판(SUB1)은 리지드 타입(Rigid type)의 베이스 기판일 수 있으며, 플렉서블 타입(Flexible type)의 베이스 기판일 수도 있다. 상기 리지드 타입의 베이스 기판은 유리 베이스 기판, 석영 베이스 기판, 유리 세라믹 베이스 기판 및 결정질 유리 베이스 기판 중 하나일 수 있다. 상기 플렉서블 타입의 베이스 기판은 고분자 유기물을 포함하는 필름 베이스 기판 및 플라스틱 베이스 기판 중 하나일 수 있다. 상기 제1 베이스 기판(SUB1)에 적용되는 물질은 제조 공정시 높은 처리 온도에 대해 저항성(또는 내열성)을 가질 수 있다.
- [0077] 상기 제1 베이스 기판(SUB1) 상에는 일방향으로 연장된 게이트 라인(GL), 상기 게이트 라인(GL)과 교차하는 데이터 라인(DL), 및 상기 게이트 라인(GL)과 상기 데이터 라인(DL)에 접속하는 상기 박막 트랜지스터(TFT)가 배치될 수 있다.
- [0078] 상기 박막 트랜지스터(TFT)는 상기 제1 베이스 기판(SUB1) 상에 배치되고 상기 게이트 라인(GL)에 접속하는 제1 게이트 전극(GE1), 상기 제1 게이트 전극(GE1)과 일부가 중첩하는 제1 반도체층(SCL1), 및 상기 제1 반도체층(SCL1)의 양단에 접속하는 제1 소스 전극(SE1)과 제1 드레인 전극(DE1)을 포함할 수 있다.
- [0079] 상기 제1 게이트 전극(GE1) 및 상기 제1 반도체층(SCL1) 사이에는 게이트 절연막(GI)이 배치될 수 있다. 즉, 상기 게이트 절연막(GI)은 상기 제1 게이트 전극(GE1)을 커버할 수 있다.
- [0080] 상기 제1 게이트 절연막(GI)은 실리콘 산화물(SiO_x) 및 실리콘 질화물(SiN_x) 중 적어도 하나를 포함할 수 있다.
- [0081] 상기 제1 반도체층(SCL)은 상기 게이트 절연막(GI) 상에 배치될 수 있으며, 산화물 반도체 물질을 포함할 수 있다. 상기 산화물 반도체 물질은 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 및 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 예를 들면, 상기 제1 반도체층(SCL)은 IGZO(Indium-Gallium-Zinc Oxide)를 포함할 수 있다. 또한, 상기 제1 반도체층(SCL)에서, 상기 제1 소스 전극(SE) 및 상기 제1 드레인 전극(DE)이 접속된 영역들 사이의 영역은 상기 박막 트랜지스터(TFT)의 채널 영역일 수 있다.
- [0082] 상기 제1 소스 전극(SE1)의 일단은 상기 데이터 라인(DL)과 접속하고, 상기 제1 소스 전극(SE1)의 타단은 상기 반도체층(SCL)의 일단에 접속될 수 있다. 상기 제1 드레인 전극(DE)은 상기 제1 반도체층(SCL)의 타단에 접속하여, 상기 제1 소스 전극(SE)과 이격될 수 있다.
- [0083] 상기 박막 트랜지스터(TFT) 상에는 제1 보호막(PSV1)이 배치될 수 있다. 상기 제1 보호막(PSV1)은 무기 절연막 및 유기 절연막 중 적어도 하나를 포함할 수 있다. 예를 들면, 상기 제1 보호막(PSV1)은 상기 박막 트랜지스터(TFT)를 커버하는 무기 절연막 및 상기 무기 절연막 상에 배치되는 유기 절연막을 포함할 수 있다.
- [0084] 상기 무기 절연막은 실리콘 산화물(SiO_x) 및 실리콘 질화물(SiN_x) 중 적어도 하나를 포함할 수 있다.
- [0085] 상기 유기 절연막은 투명한 유기 절연 물질을 포함할 수 있다. 예를 들면, 상기 유기 절연막은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly-phenylenethers resin), 폴리페닐렌설파이드계 수지(poly-phenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene) 중 적어도 하나를 포함할 수 있다. 또한, 상기 유기 절연막은 상기 유기 절연 물질에 색상을 부가하여, 컬러 필터의 역할을 수행할 수도 있다. 상기 제2 보호막(PSV2)의 색상은 적색, 녹색, 청색, 시안, 마젠타, 및 황색 중 하나의 색상을 가질 수 있다.
- [0086] 상기 공통 전극(CE)은 상기 제1 보호막(PSV1) 상에 배치될 수 있다. 상기 공통 전극(CE)은 투명 도전성 산화물을 포함할 수 있다. 예를 들면, 상기 공통 전극(CE)은 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 하나를 포함할 수 있다.
- [0087] 상기 공통 전극(CE) 상에는 상기 공통 전극(CE)을 커버하는 제2 보호막(PSV2)이 배치될 수 있다. 상기 제2 보호막(PSV2)은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있다. 예를 들면, 상기 제2 보호막(PSV2)은 실리콘 산화물(SiO_x)을 포함할 수 있다.
- [0088] 또한, 상기 제2 보호막(PSV2)은 상기 드레인 전극(DE)의 일부를 노출시키는 제1 콘택 홀을 구비할 수 있다.

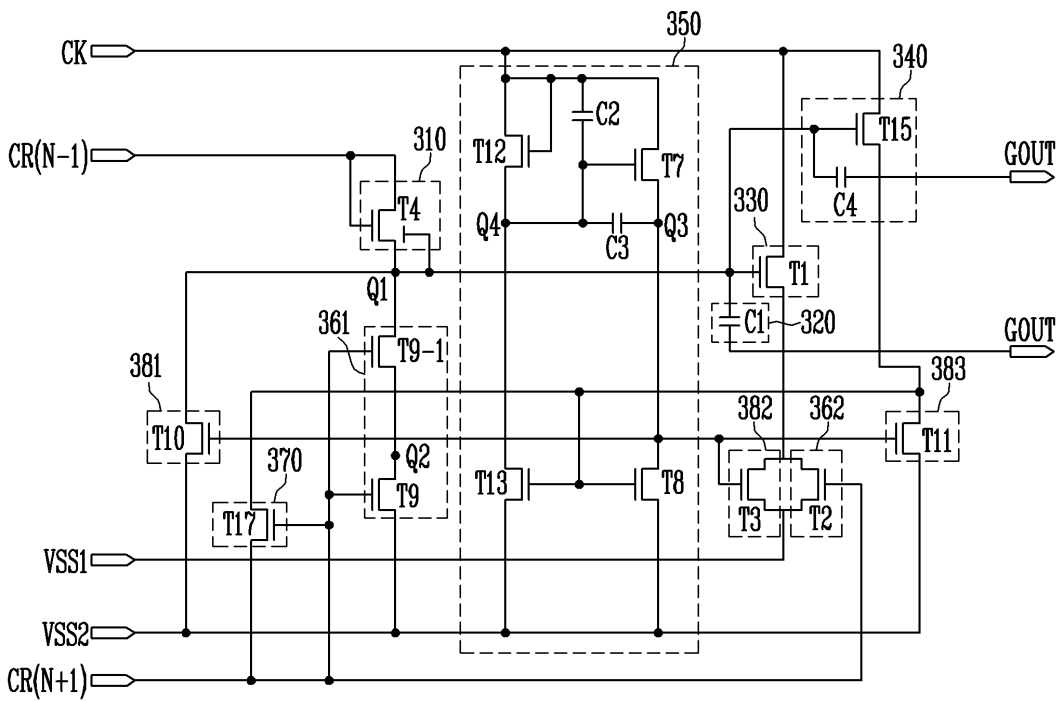
- [0089] 상기 화소 전극(PE)은 상기 제2 보호막(P5V2) 상에 배치되고, 상기 제1 콘택 홀을 통하여, 상기 제1 드레인 전극(DE1)과 접속할 수 있다. 상기 화소 전극(PE)은 상기 공통 전극(CE)과 동일한 물질을 포함할 수 있다. 즉, 상기 화소 전극(PE)은 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 하나를 포함할 수 있다.
- [0090] 한편, 상기 화소 전극(PE)은 패터닝되어 복수의 절개부(PE1)를 구비할 수 있다. 따라서, 상기 화소 전극(PE)은 복수의 스트라이프 형상의 가지부를 구비할 수 있다. 상기 가지부는 상기 공통 전극(CE)과 함께 전계를 형성할 수 있다.
- [0091] 상기 제2 기판(120)은 제2 베이스 기판(SUB2), 블랙 매트릭스(BM), 오버코트층(OC)을 포함할 수 있다.
- [0092] 상기 블랙 매트릭스(BM)는 상기 제2 베이스 기판(SUB2)의 상기 어레이 기판(110)에 마주하는 면 상에 배치될 수 있다. 상기 블랙 매트릭스(BM)은 상기 데이터 라인(DLm)이 형성된 영역에 대응하는 영역에 제공되며, 상기 액정 분자들의 오배열로 인한 빛샘을 막는다.
- [0093] 상기 오버코트층(OC)은 상기 블랙 매트릭스(BM)를 커버할 수 있다. 또한, 상기 오버코트층(OC)은 상기 대향 기판(120)의 상기 블랙 매트릭스(BM)로 인한 단차를 감소시킬 수 있다.
- [0094] 상기 액정층(LC)은 복수의 액정 분자들을 포함할 수 있다. 상기 액정 분자들은 상기 화소 전극(PE) 및 상기 공통 전극(CE) 사이에 형성된 전계에 의하여 특정 방향으로 배열될 수 있다. 상기 액정 분자들이 특정 방향으로 배열되면, 상기 액정층(LC)은 백라이트 유닛(미도시)으로부터 제공되는 상기 광의 투과도를 조절하여, 상기 액정 표시 패널(100)이 영상을 표시할 수 있도록 한다.
- [0095] 한편, 상기 주변부(PR)에서, 상기 액정 표시 패널(100)은 상기 제1 베이스 기판(SUB1) 상에 배치되는 게이트 구동부(300)를 포함할 수 있다. 상기 게이트 구동부(300) 중 제4 트랜지스터(T4)는 제2 반도체층(SCL2) 상하에 배치되는 두 개의 게이트 전극을 포함할 수 있다.
- [0096] 이를 보다 상세히 설명하면, 상기 제4 트랜지스터(T4)는 상기 제1 베이스 기판(SUB1) 상에 배치되는 제2 게이트 전극(GE2), 상기 제2 게이트 전극(GE2)과 일부가 중첩하는 상기 제2 반도체층(SCL2), 상기 제2 반도체층(SCL2)의 양단에 접속하는 제2 소스 전극(SE2)과 제2 드레인 전극(DE2), 및 상기 제2 드레인 전극(DE2)에 접속되는 제3 게이트 전극(GE3)을 포함할 수 있다.
- [0097] 상기 제2 게이트 전극(GE2)은 게이트 구동부(300)의 제N-1 캐리 단자에 연결될 수 있다. 상기 제2 게이트 전극(GE2) 및 상기 제2 반도체층(SCL2) 사이에는 게이트 절연막(GI)이 배치될 수 있다.
- [0098] 상기 제2 반도체층(SCL2)은 상기 게이트 절연막(GI) 상에 배치될 수 있다. 또한, 상기 제2 반도체층(SCL2)은 상기 제1 반도체층(SCL1)과 동일한 물질을 포함할 수 있다. 즉, 상기 제2 반도체층(SCL2)은 산화물 반도체 물질을 포함할 수 있다.
- [0099] 또한, 상기 제2 반도체층(SCL2)에서, 상기 제2 소스 전극(SE2) 및 상기 제2 드레인 전극(DE2)이 접속된 영역들 사이의 영역은 상기 제4 트랜지스터(T4)의 채널 영역일 수 있다.
- [0100] 상기 제2 소스 전극(SE2)의 일단은 상기 제N-1 캐리 단자에 연결될 수 있으며, 상기 제2 소스 전극(SE2)의 타단은 상기 제2 반도체층(SCL2)의 일단에 접속될 수 있다.
- [0101] 상기 제2 드레인 전극(DE2)은 상기 제2 반도체층(SCL2)의 타단에 접속하여, 상기 제2 소스 전극(SE2)과 이격될 수 있다. 또한, 상기 제2 드레인 전극(DE2)은 상기 제1 노드(Q1)에 연결될 수 있다.
- [0102] 상기 제4 트랜지스터(T4) 상에는 제1 보호막(P5V1)이 배치될 수 있다. 상기 제1 보호막(P5V1)은 상기 제2 드레인 전극(DE2)의 일부를 노출시키는 제2 콘택 홀을 구비할 수 있다.
- [0103] 상기 주변부(PR)에서, 상기 제1 보호막(P5V1) 상에는 상기 제2 콘택 홀을 통하여 상기 제2 드레인 전극(DE2)과 접속하는 상기 제3 게이트 전극(GE3)이 배치될 수 있다. 상기 제3 게이트 전극(GE3)은 상기 공통 전극(CE)과 동일한 물질을 포함할 수 있다. 즉, 상기 제3 게이트 전극(GE3)은 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 하나를 포함할 수 있다. 또한, 상기 제3 게이트 전극(GE3)은 상기 제1 노드(Q1)에 연결될 수 있다. 따라서, 상기 제3 게이트 전극(GE3)에는 상기 제2 드레인 전극(DE2)에서 출력되는 전압과 동일한 전압이 인가될 수 있다.
- [0104] 또한, 상기 제3 게이트 전극(GE3)의 일부는 상기 채널 영역과 중첩하여, 상기 제2 드레인 전극(DE2)에 인접한 채널 영역에서 급격하게 전위가 변화하는 것을 방지할 수 있다. 급격한 전위의 변화는 전계가 집중되는 것이다.

도면

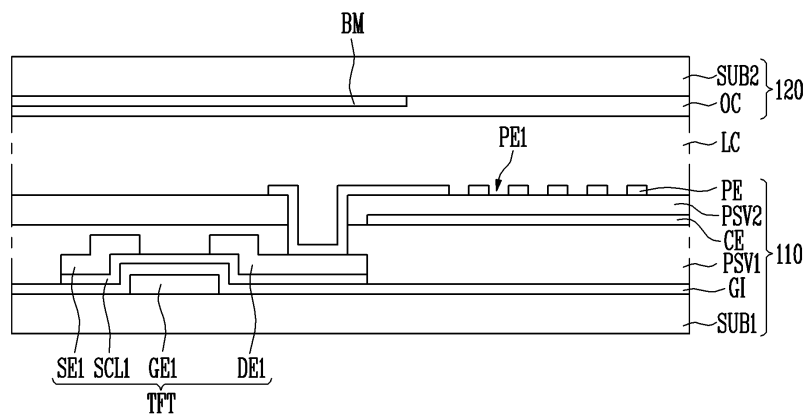
도면1



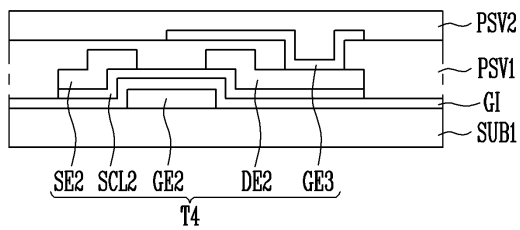
도면2



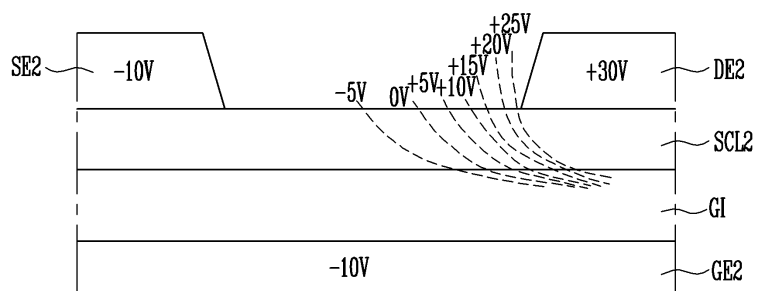
도면3



도면4



도면5



도면6

