



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0098964
(43) 공개일자 2014년08월11일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2013-0011535

(22) 출원일자 2013년01월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박태준

경기 화성시 영통로27번길 35, 302동 1402호 (반월동, 신영통현대3차아파트)

이경애

경상북도 칠곡군 석적읍 중리 청원하이츠 305호

(74) 대리인

박영복, 김용인

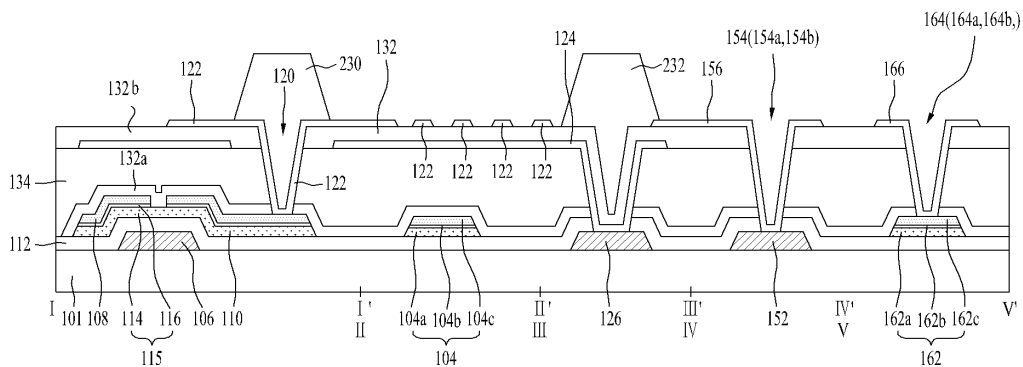
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 액정 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 아웃 게싱을 차단할 수 있는 액정 표시 패널 및 그의 제조 방법에 관한 것으로, 본 발명은 박막 트랜지스터 기판과, 상기 박막 트랜지스터와 서로 마주보며 합착된 컬러 필터 기판과, 상기 박막 트랜지스터 기판의 상부면과 상기 컬러 필터 기판의 배면 각각에 형성된 정전기 방지용 투명 전극을 포함하는 액정 표시 패널에 있어서, 상기 박막 트랜지스터 기판은 기판 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터를 덮도록 형성되며, 상기 박막 트랜지스터의 드레인 전극을 노출시키는 화소 콘택홀들을 포함하는 보호막들과, 상기 드레인 전극과 접속되는 화소 전극과, 상기 화소 전극과 프린지 필드를 형성하는 공통 전극과, 상기 박막 트랜지스터를 덮고 있는 보호막들로부터 발생된 아웃 게싱을 차단하는 상기 화소 콘택홀들 내에 형성되어 돌출된 아웃 게싱 차단 스페이서를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

박막 트랜지스터 기판과, 상기 박막 트랜지스터와 서로 마주보며 합착된 컬러 필터 기판과, 상기 박막 트랜지스터 기판의 상부면과 상기 컬러 필터 기판의 배면 각각에 형성된 정전기 방지용 투명 전극을 포함하는 액정 표시 패널에 있어서,

상기 박막 트랜지스터 기판은

기판 상에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터를 덮도록 형성되며, 상기 박막 트랜지스터의 드레인 전극을 노출시키는 화소 콘택홀들을 포함하는 보호막들과;

상기 드레인 전극과 접속되는 화소 전극과;

상기 화소 전극과 프린지 필드를 형성하는 공통 전극과;

상기 박막 트랜지스터를 덮고 있는 보호막들로부터 발생된 아웃 게싱을 차단하는 상기 화소 콘택홀들 내에 형성되어 돌출된 아웃 게싱 차단 스페이서를 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 2

제1항에 있어서,

상기 공통 전극에 공통 전압을 공급하는 공통 라인을 더 포함하며,

상기 공통 전극은 상기 공통 라인과 상기 보호막들을 관통하여 형성된 공통 전극 콘택홀을 통해 접속되는 것을 특징으로 하는 액정 표시 패널.

청구항 3

제2항에 있어서,

상기 공통 전극 콘택홀 내에 형성되어 돌출되어 형성된 아웃 게싱 차단 스페이서를 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 4

박막 트랜지스터 기판과, 상기 박막 트랜지스터와 서로 마주보며 합착된 컬러 필터 기판과, 상기 박막 트랜지스터 기판의 상부면과 상기 컬러 필터 기판의 배면 각각에 형성된 정전기 방지용 투명 전극을 포함하는 액정 표시 패널의 제조 방법에 있어서,

기판 상에 게이트 전극, 게이트 라인, 공통 라인을 포함하는 제1 도전 패턴을 형성하는 단계와;

상기 제1 도전 패턴이 형성된 기판 상에 게이트 절연막을 증착하고, 상기 게이트 절연막 상에 반도체 패턴, 소스 및 드레인 전극, 데이터 라인을 포함하는 제2 도전 패턴을 형성하는 단계와;

상기 제2 도전 패턴이 형성된 기판 상에 제1 및 제2 보호막을 증착하고, 상기 제1 및 제2 보호막을 관통하여 상기 드레인 전극을 노출시키는 제1 화소 콘택홀과, 상기 공통 라인을 노출하는 공통 전극 콘택홀을 형성하는 단계와;

상기 제1 및 제2 보호막 상에 상기 공통 라인과 접속하는 공통 전극을 포함하는 제3 도전 패턴을 형성하는 단계와;

상기 제3 도전 패턴이 형성된 기판 상에 제3 보호막을 증착하고, 상기 제3 보호막을 관통하여 상기 드레인 전극을 노출하는 제2 화소 콘택홀을 형성하는 단계와;

상기 제3 도전 패턴이 형성된 기판 상에 상기 데이터 라인과 나란하게 형성된 다수의 핑거부를 구비한 화소 전극을 형성하는 단계와;

상기 제1 및 제2 화소 컨택홀 내에 돌출되어 형성된 컬럼 스페이스를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 5

제4항에 있어서,

상기 공통 전극 컨택홀 내에 형성되어 돌출되어 형성된 아웃 게싱 차단 스페이스를 더 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시 패널 및 그의 제조 방법에 관한 것으로, 특히 아웃 게싱을 차단할 수 있는 액정 표시 패널 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 기관 및 컬러 필터 기관을 포함하는 액정 표시 패널과, 그 액정 표시 패널에 광을 조사하는 백라이트 유닛과, 액정 표시 패널을 구동하기 위한 구동 회로부를 포함한다.

[0003] 박막 트랜지스터 기관은 하부 기관 위에 게이트 절연막을 사이에 두고 교차하게 형성된 게이트 라인 및 데이터 라인과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터의 드레인 전극과 컨택홀을 통해 접속되는 화소 전극과, 그들 위에 도포된 하부 배향막을 포함한다.

[0004] 컬러 필터 기관은 컬러 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 화소 전극과 수직 전계를 이루는 공통 전극과, 그들 위에 액정 배향을 위해 도포된 상부 배향으로 구성된다.

[0005] 위와 같이, 액정 표시 패널은 두 기관에 각각 전극을 설치하고 액정 방향자가 90° 트위스트 되도록 배열한 다음, 전극에 전압을 가하여 액정 방향자를 구동하는 트위스트 네마틱(Twisted-Nematic; TN) 방식으로 형성할 수 있으며, 하나의 기관 상에 두 개의 전극을 형성하고 두 전극 사이에서 발생하는 수평 전계로 액정의 방향자를 조절하는 IPS(In-Plane Switching) 모드, 두 개의 전극을 투명 전도체로 형성하면서 두 개의 전극 사이의 간격을 좁게 형성하여 두 전극 사이에 형성되는 프린지 필드에 의해 액정 분자를 동작시키는 FFS(Fringe Field Switching) 모드 방식 등의 방식을 이용한다.

[0006] 이때, 프린지 전계 방식의 박막 트랜지스터 기관은 서로 교차하는 게이트 라인 및 데이터 라인과, 게이트 라인 과 데이터 라인과 접속된 박막 트랜지스터와, 박막 트랜지스터를 덮도록 형성된 보호막과, 박막 트랜지스터와 접속되며 슬릿 형태로 형성된 화소 전극과, 화소 전극과 보호막을 사이에 두고 프린지 전계를 형성하는 공통 전극을 포함한다.

[0007] 여기서, 박막 트랜지스터를 덮도록 형성되는 보호막으로부터 아웃 게싱이 발생되어 도 에 도시된 바와 같이 패널 내에 기포가 발생된다. 특히, 보호막을 포토 아크릴로 사용하게 되면, 포토 아크릴은 유전율을 낮춰서 기생 커패시터 발생을 줄일 수 있으나, 보호막 중 아웃 게싱이 가장 잘 발생된다. 이와 같이 아웃 게싱이 발생되어 도 1에 도시된 바와 같이 기포 불량이 발생된다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 아웃 게싱을 차단할 수 있는 액정 표시 패널 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 이를 위하여, 박막 트랜지스터 기관과, 상기 박막 트랜지스터와 서로 마주보며 합착된 컬러 필터 기관과, 상기 박막 트랜지스터 기관의 상부면과 상기 컬러 필터 기관의 배면 각각에 형성된 정전기 방지용 투명 전극을 포함

하는 액정 표시 패널에 있어서, 상기 박막 트랜지스터 기관은 기관 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터를 덮도록 형성되며, 상기 박막 트랜지스터의 드레인 전극을 노출시키는 화소 콘택홀들을 포함하는 보호막들과, 상기 드레인 전극과 접속되는 화소 전극과, 상기 화소 전극과 프린지 필드를 형성하는 공통 전극과, 상기 박막 트랜지스터를 덮고 있는 보호막들로부터 발생된 아웃 게싱을 차단하는 상기 화소 콘택홀들 내에 형성되어 돌출된 아웃 게싱 차단 스페이서를 포함하는 것을 특징으로 한다.

[0010] 여기서, 상기 공통 전극에 공통 전압을 공급하는 공통 라인을 더 포함하며, 상기 공통 전극은 상기 공통 라인과 상기 보호막들을 관통하여 형성된 공통 전극 콘택홀을 통해 접속되는 것을 특징으로 한다.

[0011] 또한, 상기 공통 전극 콘택홀 내에 형성되어 돌출되어 형성된 아웃 게싱 차단 스페이서를 더 포함하는 것을 특징으로 한다.

[0012] 또한, 박막 트랜지스터 기관과, 상기 박막 트랜지스터와 서로 마주보며 합착된 컬러 필터 기관과, 상기 박막 트랜지스터 기관의 상부면과 상기 컬러 필터 기관의 배면 각각에 형성된 정전기 방지용 투명 전극을 포함하는 액정 표시 패널의 제조 방법에 있어서, 기관 상에 게이트 전극, 게이트 라인, 공통 라인을 포함하는 제1 도전 패턴을 형성하는 단계와, 상기 제1 도전 패턴이 형성된 기관 상에 게이트 절연막을 증착하고, 상기 게이트 절연막 상에 반도체 패턴, 소스 및 드레인 전극, 데이터 라인을 포함하는 제2 도전 패턴을 형성하는 단계와, 상기 제2 도전 패턴이 형성된 기관 상에 제1 및 제2 보호막을 증착하고, 상기 제1 및 제2 보호막을 관통하여 상기 드레인 전극을 노출시키는 제1 화소 콘택홀과, 상기 공통 라인을 노출하는 공통 전극 콘택홀을 형성하는 단계와, 상기 제1 및 제2 보호막 상에 상기 공통 라인과 접속하는 공통 전극을 포함하는 제3 도전 패턴을 형성하는 단계와, 상기 제3 도전 패턴이 형성된 기관 상에 제3 보호막을 증착하고, 상기 제3 보호막을 관통하여 상기 드레인 전극을 노출하는 제2 화소 콘택홀을 형성하는 단계와, 상기 제3 도전 패턴이 형성된 기관 상에 상기 데이터 라인과 나란하게 형성된 다수의 핑거부를 구비한 화소 전극을 형성하는 단계와, 상기 제1 및 제2 화소 콘택홀 내에 돌출되어 형성된 컬럼 스페이서를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0013] 여기서, 상기 공통 전극 콘택홀 내에 형성되어 돌출되어 형성된 아웃 게싱 차단 스페이서를 더 포함하는 것을 특징으로 한다.

발명의 효과

[0014] 본 발명에 따른 액정 표시 패널 및 그의 제조 방법은 화소 콘택홀들 내에 형성되어 돌출되어 형성된 제1 아웃 게싱 차단 스페이서와, 공통 전극 콘택홀 내에 형성되어 돌출되어 형성된 제2 아웃 게싱 차단 스페이서를 형성한다. 이에 따라, 보호막으로부터 발생된 아웃 게싱을 제1 및 제2 아웃 게싱 차단 스페이서로 막을 수 있게 되어 액정 표시 패널에 기포 발생을 방지할 수 있다.

도면의 간단한 설명

[0015] 도 1은 종래 프린지 전계 방식의 박막 트랜지스터 기관을 이용한 액정 표시 패널에서 기포가 발생한 이미지 화면이다.

도 2는 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 도시한 평면도이다.

도 3은 도 2에 도시된 박막 트랜지스터 기관을 I-I', II-II', III-III', IV-IV', V-V'선을 따라 절단하여 도시한 단면도이다.

도 4a 및 도 4b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제1 도전 패턴의 제조 방법을 나타내는 평면도 및 단면도이다.

도 5a 및 도 5b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제2 도전 패턴의 제조 방법을 나타내는 평면도 및 단면도이다.

도 6a 및 도 6b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제1 및 제2 보호막의 제조 방법을 나타내는 평면도 및 단면도이다.

도 7a 및 도 7b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제3 도전 패턴의 제조 방법을 나타내는 평면도 및 단면도이다.

도 8a 및 도 8b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제3 보호막의 제조 방법을 나타내는 평면도

및 단면도이다.

도 9a 및 도 9b는 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 제4 도전 패턴의 제조 방법을 나타내는 평면도 및 단면도이다.

도 10은 도 2 및 도 3에 도시된 박막 트랜지스터 기관의 아웃 게싱 차단 스페이스의 제조 방법을 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.
- [0017] 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 10을 참조하여 상세히 설명하기로 한다.
- [0018] 도 2는 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 도시한 평면도이고, 도 3은 도 2에 도시된 박막 트랜지스터 기관을 I-I', II-II', III-III', IV-IV', V-V'선을 따라 절단하여 도시한 단면도이다.
- [0019] 본 발명의 실시 예에 따른 액정 표시 패널은 박막 트랜지스터 기관과, 박막 트랜지스터 기관과 서로 마주보며 형성된 컬러 필터 기관(미도시)과, 박막 트랜지스터 기관의 상부면과 컬러 필터 기관의 하부면 각각에 형성된 정전기 방지용 투명 전극(미도시)을 포함한다.
- [0020] 도 2 및 도 3에 도시된 박막 트랜지스터 기관은 하부 기관 위에 게이트 절연막(112)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)의 교차부와 접속된 박막 트랜지스터, 박막 트랜지스터의 드레인 전극(110)과 접속된 제1 및 제2 화소 전극(122a, 122b)과, 제1 및 제2 화소 전극(122a, 122b)과 프린지 필드를 형성하는 공통 전극(124)과, 게이트 라인(102)과 접속된 게이트 패드(150)와, 데이터 라인(104)과 접속된 데이터 패드(160)와, 공통 라인(126)과 접속된 공통 패드(128)와, 박막 트랜지스터를 덮고 있는 보호막으로부터 발생된 아웃 게싱을 차단하기 위해 아웃 게싱 차단 스페이스(230, 232)를 포함한다.
- [0021] 게이트 라인(102)은 게이트 패드(150)를 통해 게이트 드라이버(미도시)로부터 스캔 신호를 공급하고, 데이터 라인(104)은 데이터 패드(160)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급한다. 이러한, 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(112)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0022] 박막 트랜지스터는 게이트 라인(102)에 공급되는 스캔 신호에 응답하여 데이터 라인(104)에 공급되는 화소 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 라인(102)과 접속된 게이트 전극(106)과, 데이터 라인(104)과 접속된 소스 전극(108)과, 소스 전극(108)과 마주하도록 형성된 드레인 전극(110)과, 게이트 절연막(112)을 사이에 두고 게이트 전극(106)과 중첩되어 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114)과, 소스 전극(108) 및 드레인 전극(110)과 오믹 접촉을 위하여 채널부를 제외한 활성층(114) 위에 형성된 오믹 접촉층(116)을 구비한다. 그리고, 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴(115)은 데이터 라인(104)과 데이터 패드 하부 전극(162) 각각에 포함된다.
- [0023] 화소 전극은 박막 트랜지스터의 드레인 전극(110)과 제1 및 제2 화소 콘택홀(120a, 120b)을 통해 접속된다. 이에 따라, 화소 전극은 박막 트랜지스터를 통해 데이터 라인(104)으로부터의 화소 신호가 공급된다.
- [0024] 화소 전극은 각 화소 영역에서 제3 보호막(132b)을 사이에 두고 공통 전극(124)과 중첩되어 프린지 필드를 형성한다. 화소 전극은 공통 라인(124)의 상부에 위치한 상부 화소 전극(220a)과, 게이트 라인(102)과 평행하게 형성되며, 게이트 라인(102) 상부에 위치한 하부 화소 전극(220b)과, 데이터 라인(104)과 나란하게 형성된 다수의 핑거부(122)를 포함한다.
- [0025] 이때, 다수의 핑거부는 데이터 라인(104)과 나란하게 형성되는데, 게이트 라인(102)과 나란한 각 화소 영역의 중심부를 기준으로 대칭되면서 제1 기울기(θ_1)를 가지도록 경사진 사선 방향으로 형성된다. 이때, 중심부는 경사진 사선 방향의 각도보다 더 기울어진 제2 기울기(θ_2)를 가지도록 경사지게 된다. 예를 들어, 제1 기울기의 각도(θ_1)는 7° 일 수 있으며, 제2 기울기의 각도(θ_2)는 45° 일 수 있다.
- [0026] 이에 따라, 공통 전극(124)과 화소 전극(122) 사이에 형성된 프린지 전계에 의해 액정 분자들이 대칭적으로 배열됨으로써 멀티-도메인을 형성할 수 있어 시야각을 향상시킬 수 있다.

- [0027] 공통 전극(124)은 공통 라인(126)과 제1 및 제2 보호막(132a, 134)을 관통하는 공통 전극 컨택홀(226)을 통해 접속된다. 이러한 공통 전극(124)은 화소 전극과 중첩되어 프린지 필드를 형성한다. 공통 전극(124)은 투명 전극 재질로 형성되며, 투명 전극 재질로는 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등이 이용될 수 있다.
- [0028] 공통 라인(126)은 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 공통 전극에 공급한다. 공통 라인(126)은 데이터 라인(104)과 나란하게 형성되며, 게이트 전극(106)과 동일 재질로 형성된다.
- [0029] 공통 패드는 공통 라인(126)이 연장되어 형성된 공통 패드 하부 전극(226)과, 제1 내지 제3 보호막(132a, 134, 132b)과 게이트 절연막(112)을 관통하여 형성된 공통 패드 컨택홀(128a)을 통해 공통 패드 하부 전극(226)과 접속된 공통 패드 상부 전극(128)으로 구성된다.
- [0030] 게이트 패드(150)는 게이트 드라이버(도시하지 않음)로부터 스캔 신호를 게이트 라인(102)에 공급한다. 이를 위해, 게이트 패드(150)는 게이트 라인(102)으로부터 연장되어 형성된 게이트 패드 하부 전극(152)과, 제1 내지 제3 보호막(132a, 134, 132b)과 게이트 절연막(112)을 관통하는 제1 및 제2 게이트 컨택홀들(154a, 154b)을 통해 게이트 하부 전극(152)과 접속된 게이트 패드 상부 전극(156)으로 구성된다. 게이트 패드 상부 전극(156)은 화소 전극 형성시 동시에 동일층에 동일 재질로 형성된다.
- [0031] 데이터 패드(160)는 데이터 드라이버(도시하지 않음)로부터의 화소 신호를 데이터 라인(104)에 공급한다. 이를 위해, 데이터 패드(160)는 데이터 라인(104)으로부터 연장되어 형성된 데이터 패드 하부 전극(162)과, 제1 내지 제3 보호막(132a, 134, 132b)을 관통하는 제1 및 제2 데이터 컨택홀들(164a, 164b)을 통해 데이터 패드 하부 전극(162)과 접속된 데이터 패드 상부 전극(166)으로 구성된다. 데이터 패드 상부 전극(166)은 화소 전극 형성시 동시에 동일층에 동일 재질로 형성된다.
- [0032] 아웃 게싱 차단 스페이서(230, 232)는 박막 트랜지스터를 덮고 있는 포토 아크릴로 형성된 제2 보호막(134)으로부터 발생된 아웃 게싱(Out-gassing)을 차단하기 위해 화소 컨택홀들(120a, 120b) 내에 형성되어 돌출된 제1 아웃 게싱 차단 스페이서(230)와, 공통 전극 컨택홀(226) 내에 형성되어 돌출된 제2 아웃 게싱 차단 스페이서(232)를 포함한다. 이러한, 제1 및 제2 아웃 게싱 차단 스페이서(230, 232)는 박막 트랜지스터 기관과 컬러 필터 기관 사이의 셀 갭을 유지시키는 역할을 한다.
- [0033] 구체적으로, 공통 전극(124)과 데이터 라인(104) 간의 기생 커패시터 발생을 줄이기 위해 유기 절연 물질인 포토 아크릴로 제2 보호막(134)을 형성하여 공통 전극(124)과 데이터 라인(104) 간의 거리를 넓힐 수 있다. 하지만, 포토 아크릴은 기생 커패시터를 줄일 수 있지만, 아웃 게싱(Out-gassing)이 발생하는 문제가 있다.
- [0034] 포토 아크릴로부터 발생된 아웃 게싱은 박막 트랜지스터 기관과 컬러 필터 기관을 합착한 후, 두 기관 각각에 정전기 방지용 투명 전극을 형성할 때 더 많이 형성된다. 이는, 합착할 때의 고진공 상태와 동시에 정전기 방지용 투명 전극 형성하기 위해 스퍼터링 공정시 고온 및 고진공 상태에서 진행되어 액정 표시 패널 내부에서 아웃 게싱이 더욱 발생하게 된다.
- [0035] 이때, 제1 내지 제3 보호막(132a, 134, 132b)과, 이들의 화소 컨택홀들(120a, 120b) 간의 단차로 인해 아웃 게싱이 더 발생되며, 제1 및 제2 보호막(132a, 134)과, 이들의 공통 전극 컨택홀(226) 간의 단차로 인해 아웃 게싱이 더 발생하게 된다.
- [0036] 따라서, 제1 아웃 게싱 차단 스페이서(230)는 화소 컨택홀들(120a, 120b) 내에 형성되어 화소 컨택홀들(120a, 120b)로부터 나오는 아웃 게싱들을 차단하며, 제2 아웃 게싱 차단 스페이서(232)는 공통 전극 컨택홀(226) 내에 형성되어 공통 전극컨택홀(226)로부터 나오는 아웃 게싱들을 차단한다.
- [0037] 도 4a 내지 도 10b는 도 3에 도시된 박막 트랜지스터 기관의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.
- [0038] 도 4a 및 도 4b를 참조하면, 기관(101) 상에 게이트 전극(106), 게이트 라인(102), 공통 라인(126), 게이트 패드 하부 전극(152)을 포함하는 제1 도전 패턴이 형성된다.
- [0039] 구체적으로, 기관(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 적어도 두 층의 게이트 금속층이 형성된다. 게이트 금속층으로는 Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Cu/Mo/Ti, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu 합금/Mo, Cu 합금/Al, Cu 합금/Mo 합금, Cu 합금/Al 합금, Al/Mo 합금, Mo 합금/Al, Al 합금/Mo 합금, Mo 합금/Al 합금, Mo/Al 합금 등과 같이 이중층 이상이 적층된 구조로 형성되거나, Mo, Ti,

Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등을 이용하여 단일층으로 형성될 수 있다. 이어서, 제1 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 게이트 금속층을 패터닝함으로써 게이트 전극(106), 게이트 라인(102), 공통 라인(126), 게이트 패드 하부 전극(152)을 포함하는 제1 도전 패턴이 형성된다.

[0040] 도 5a 및 도 5b를 참조하면, 제1 도전 패턴이 형성된 기판(101) 상에 게이트 절연막(112)이 형성되며, 게이트 절연막(112)이 형성된 기판(101) 상에 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴(115), 소스 및 드레인 전극(108,110), 데이터 라인(104), 데이터 패드 하부 전극(162)을 포함하는 제2 도전 패턴이 형성된다.

[0041] 구체적으로, 제1 도전 패턴이 형성된 하부 기판(101) 상에 PECVD 등의 증착 방법으로 게이트 절연막(112), 비정질 실리콘층, 불순물(n+ 또는 p+) 도핑된 비정질 실리콘층이 순차적으로 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 데이터 금속층이 형성된다. 게이트 절연막(112)으로는 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질이 이용되고, 데이터 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu 합금/Mo, Cu 합금/Al, Cu 합금/Mo 합금, Cu 합금/Al 합금, Al/Mo 합금, Mo 합금/Al, Al 합금/Mo 합금, Mo 합금/Al 합금, Mo/Al 합금 등과 같이 이중층 이상이 적층된 구조로 이용된다.

[0042] 그리고, 데이터 금속층 위에 포토레지스트가 도포된 다음, 제2 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 비정질 실리콘층과 데이터 금속층을 패터닝함으로써 게이트 절연막 상에 형성된 활성층(114) 및 오믹 접촉층(116)으로 이루어진 반도체 패턴(115)과, 소스 전극(108) 및 드레인 전극(110)과, 데이터 라인(104), 데이터 패드 하부 전극(162)을 포함하는 제2 도전 패턴이 형성된다. 여기서, 제2 마스크는 예를 들어, 슬릿 마스크 또는 하프톤 마스크를 이용하여 포토레지스트를 서로 다른 두께를 가지는 포토레지스트 패턴을 형성함으로써 반도체 패턴(115)과 소스 및 드레인 전극(108,110)을 동일 공정에서 형성할 수 있다.

[0043] 도 6a 및 도 6b를 참조하면, 제2 도전 패턴이 형성된 기판(101) 상에 제1 게이트 콘택홀(154a), 제1 데이터 콘택홀(164a), 제1 화소 콘택홀(120a), 공통 전극 콘택홀(226)을 가지는 제1 및 제2 보호막(132a,134)이 형성된다.

[0044] 구체적으로, 반도체 패턴(115) 및 제2 도전 패턴이 형성된 게이트 절연막(112) 상에 제1 및 제2 보호막(132a,134)이 PECVD 또는 CVD 방법으로 증착된다. 제1 보호막(132a)은 게이트 절연막과 같은 무기 절연 물질로 형성될 수 있으며, 제2 보호막(134)은 포토 아크릴과 같은 유기 절연 물질로 형성될 수 있다. 이 제1 및 제2 보호막(132a,134)은 제3 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 제1 및 제2 보호막(132a,134)을 패터닝함으로써 제1 게이트 콘택홀(154a), 제1 데이터 콘택홀(164a), 제1 화소 콘택홀(120a), 공통 전극 콘택홀(226)을 형성한다. 제1 화소 콘택홀(120a)은 제1 및 제2 보호막(132a,134)을 관통하여 드레인 전극(110)을 노출시키며, 제1 게이트 콘택홀(154a)은 게이트 절연막(112), 제1 및 제2 보호막(132a,134)을 관통하여 게이트 패드 하부 전극(152)을 노출시키며, 제1 데이터 콘택홀(164a)은 제1 및 제2 보호막(132a,134)을 관통하여 데이터 패드 하부 전극(162)을 노출시키며, 공통 전극 콘택홀(226)은 게이트 절연막(112), 제1 및 제2 보호막(132a,134)을 관통하여 게이트 라인(126)을 노출시킨다.

[0045] 도 7a 및 도 7b를 참조하면, 제1 및 제2 보호막(132a,134)이 형성된 기판(101) 상에 공통 전극(124)을 포함하는 제3 도전 패턴을 형성한다.

[0046] 구체적으로, 제1 및 제2 보호막(132a,134)이 형성된 기판(101) 상에 투명 도전층이 형성된다. 투명 전극층은 스퍼터링 방법 등으로 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zind Oxide : ITZO)를 증착할 수 있다. 이어서, 제4 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 투명 전극층을 패터닝함으로써 공통 전극(124)을 포함하는 제3 도전 패턴이 형성된다.

[0047] 도 8a 및 도 8b를 참조하면, 제3 도전 패턴이 형성된 기판(101) 상에 제2 게이트 콘택홀(154b), 제2 데이터 콘택홀(164b), 제2 화소 콘택홀(120b)을 포함하며, 공통 전극(124)이 노출된 제3 보호막(132b)이 형성된다.

[0048] 구체적으로, 제3 도전 패턴이 형성된 기판(101) 상에 제3 보호막(132b)이 PECVD 또는 CVD 방법으로 증착된다. 제3 보호막(132b)은 게이트 절연막과 같은 무기 절연 물질로 형성될 수 있다. 이러한, 제3 보호막(132b)은 제5 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 제3 보호막

(132b)을 패터닝함으로써 제2 게이트 콘택홀(154b), 제2 데이터 콘택홀(164b), 제2 화소 콘택홀(120a)이 형성되며, 공통 전극(124)이 노출된다. 제2 화소 콘택홀(120b)은 제3 보호막(132b)을 관통하여 드레인 전극(110)을 노출시키며, 제2 게이트 콘택홀(154b)은 제3 보호막(132b)을 관통하여 게이트 패드 하부 전극(152)을 노출시키며, 제2 데이터 콘택홀(164b)은 제3 보호막(132b)을 관통하여 데이터 패드 하부 전극(162)을 노출시킨다.

[0049] 도 9a 및 도 9b를 참조하면, 제3 보호막(132b)이 형성된 기판(101) 상에 제1 화소 전극(122a), 게이트 패드 상부 전극(156), 데이터 패드 상부 전극(166)을 포함하는 제4 도전 패턴을 형성한다.

[0050] 구체적으로, 제3 보호막(132b)이 형성된 기판(101) 상에 투명 전극층이 형성된다. 투명 전극층은 스퍼터링 방법 등으로 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO)를 증착할 수 있다. 이어서, 제6 마스크를 이용한 노광 공정과 현상 공정을 통해 형성된 포토레지스트 패턴을 마스크로 이용하여 투명 전극층을 패터닝함으로써 제3 보호막(132b) 상에 제1 화소 전극(122a), 게이트 패드 상부 전극(156), 데이터 패드 상부 전극(166)을 포함하는 제4 도전 패턴이 형성된다.

[0051] 여기서, 화소 전극(122)은 공통 라인의 상부에 위치한 상부 화소 전극과, 게이트 라인과 평행하게 형성되며, 상부 게이트 라인 상부에 위치한 하부 화소 전극과, 데이터 라인과 나란하게 형성된 다수의 핑거부를 포함한다.

[0052] 이에 따라, 화소 전극은 제1 및 제2 화소 콘택홀(120a, 120b)을 통해 드레인 전극(110)과 접속되며, 게이트 패드 상부 전극(156)은 제1 및 제2 게이트 콘택홀(154a, 154b)을 통해 게이트 패드 하부 전극(152)과 접속되며, 데이터 패드 상부 전극(166)은 제1 및 제2 데이터 콘택홀(164a, 164b)을 통해 데이터 패드 하부 전극(162)과 접속된다.

[0053] 도 10을 참조하면, 제4 도전 패턴이 형성된 기판 상에 제1 및 제2 아웃 게싱 차단 스페이서(230, 232)가 형성된다.

[0054] 구체적으로, 제4 도전 패턴이 형성된 기판(101) 상에 감광성 물질을 형성한다. 제7 마스크를 이용한 노광 공정과 현상 공정을 통해 감광성 물질을 패터닝함으로써 제1 및 제2 화소 콘택홀들(120a, 120b) 내에 형성되어 돌출된 제1 아웃 게싱 차단 스페이서(230)와, 공통 전극 콘택홀(226) 내에 형성되어 돌출된 제2 아웃 게싱 차단 스페이서(232)가 형성된다.

[0055] 상술한 제조 공정에 의해 마련된 박막 트랜지스터 기판과 컬러 필터 기판을 합착한 후, 박막 트랜지스터 기판의 상부면과 컬러 필터 기판의 하부면 각각에 정전기 방지용 투명 전극을 스퍼터링 방법 등으로 형성한다.

[0056] 이에 따라, 정전기 방지용 투명 전극이 형성된 액정 표시 패널이 마련된다.

[0057] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

[0058]	106 : 게이트 전극	108 : 소스 전극
	110 : 드레인 전극	112 : 게이트 절연막
	114 : 활성층	116 : 오믹 접촉층
	132a, 132b, 134 : 제1 내지 제3 보호막	
	122 : 화소 전극	
	124 : 공통 전극	126 : 공통 라인
	150 : 게이트 패드	160 : 데이터 패드
	220a : 상부 화소 전극	220b : 하부 화소 전극

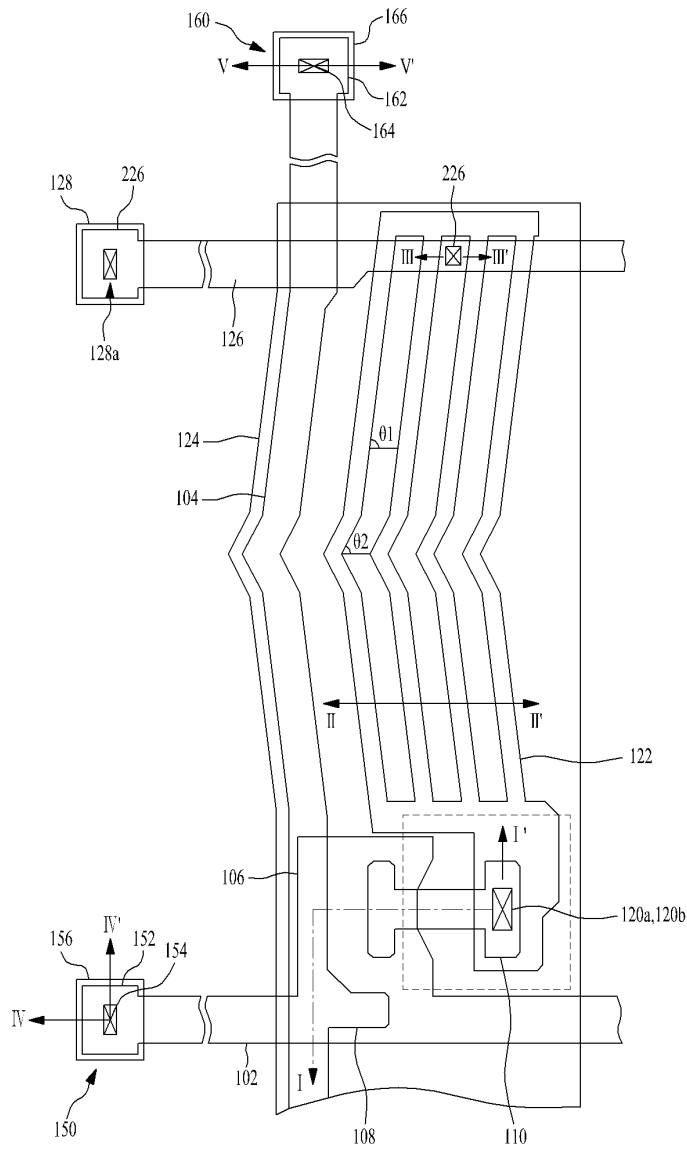
230, 232 : 제1 및 제2 아웃 계싱 차단 스페이서

도면

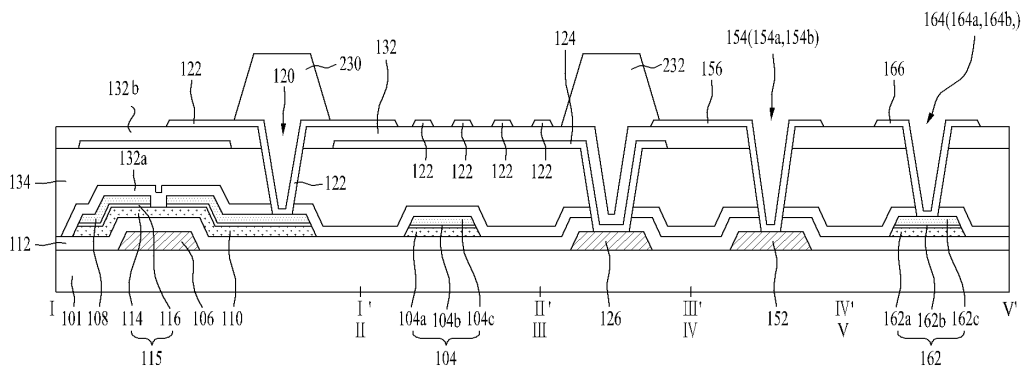
도면1



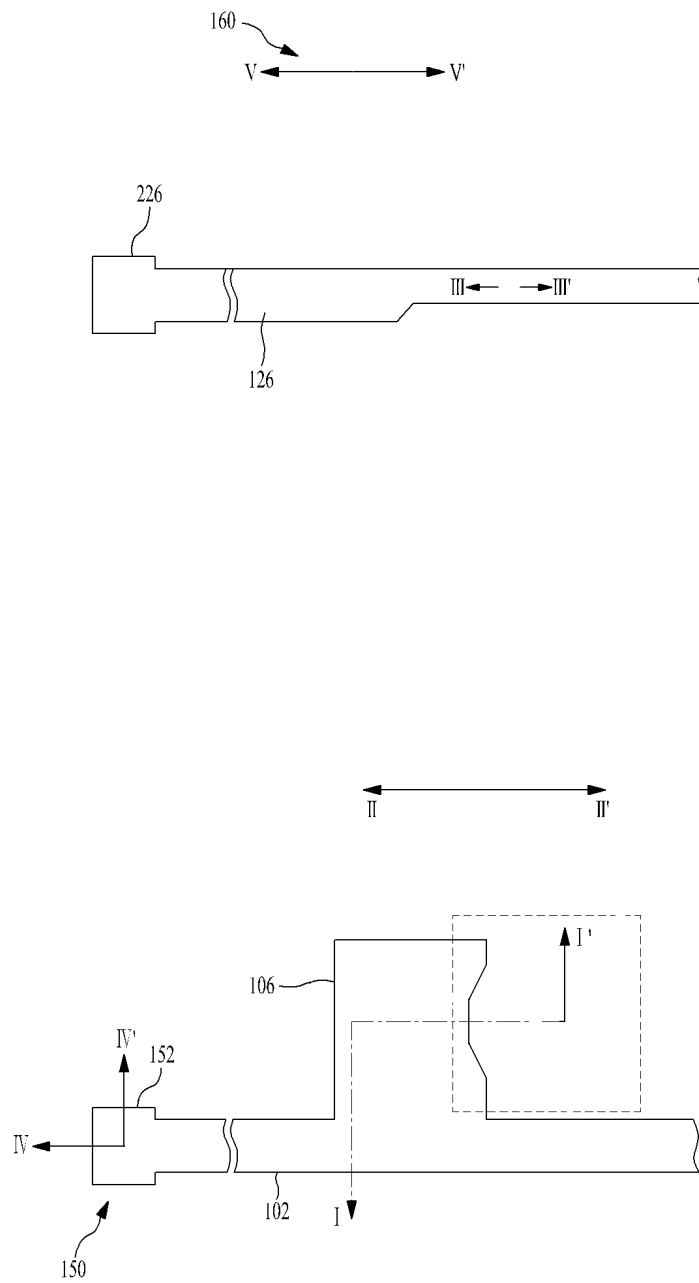
도면2



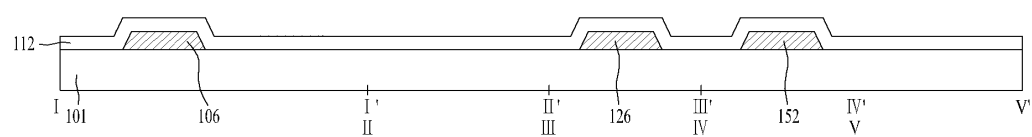
도면3



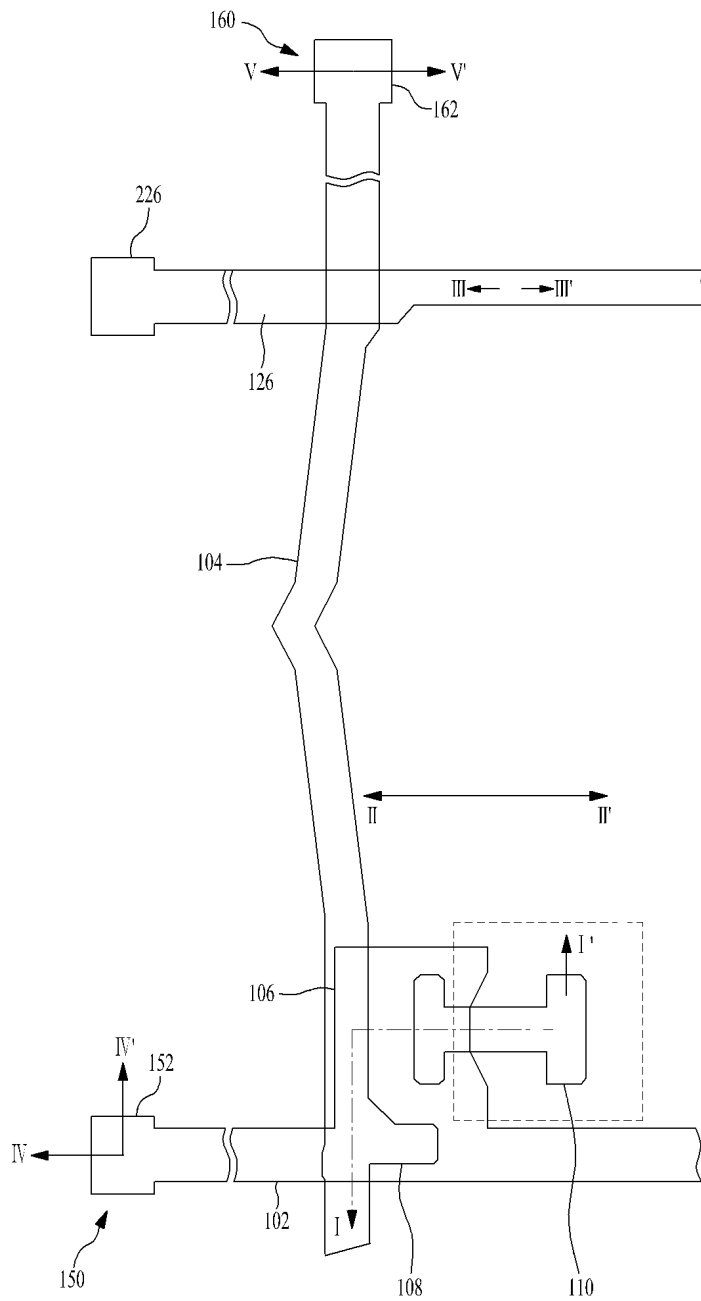
도면4a



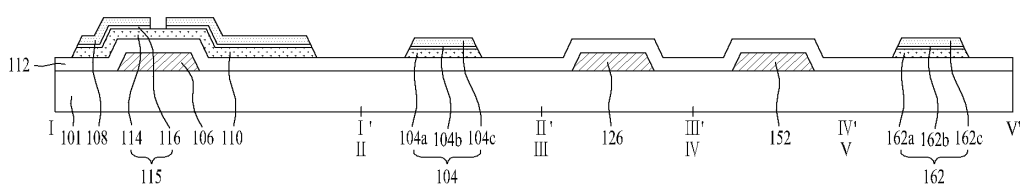
도면4b



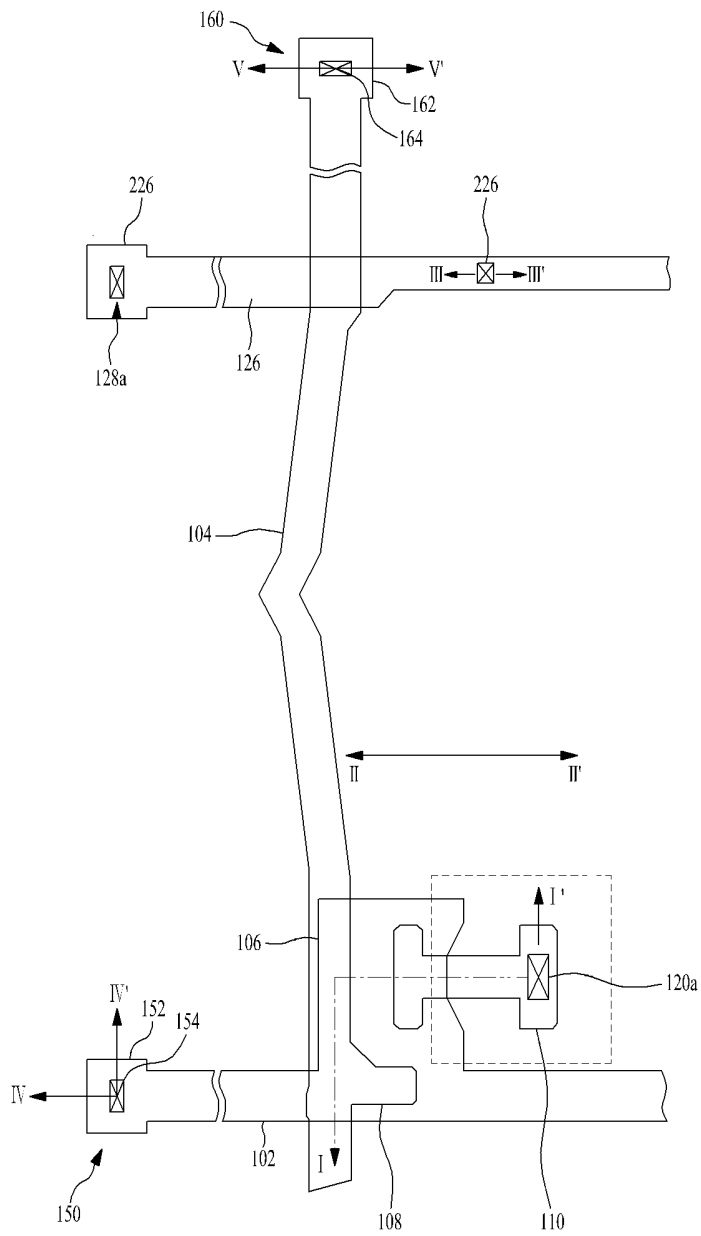
도면5a



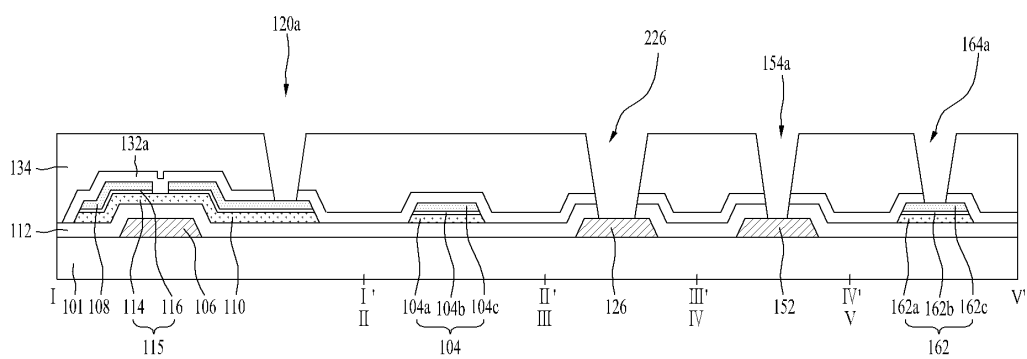
도면5b



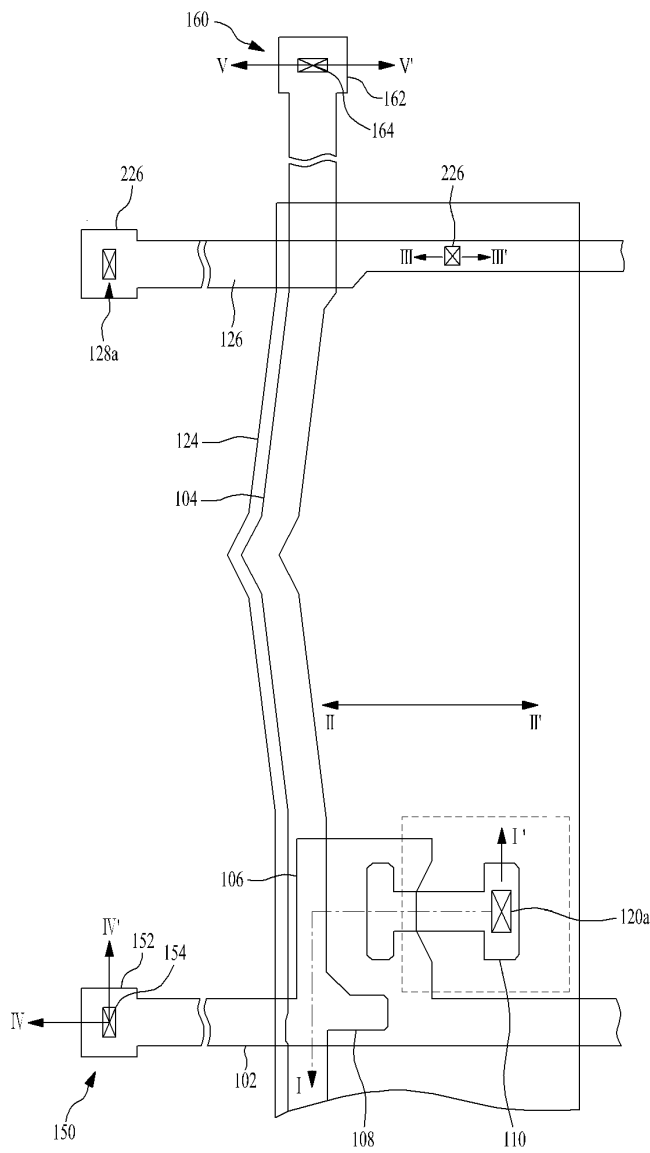
도면6a



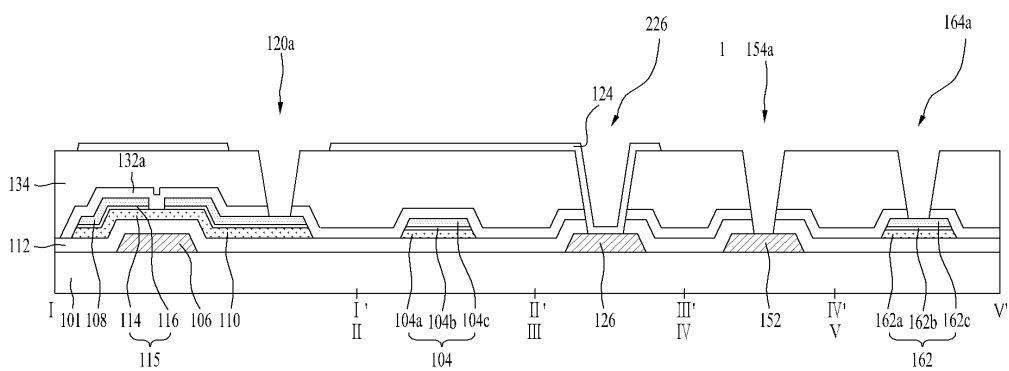
도면6b



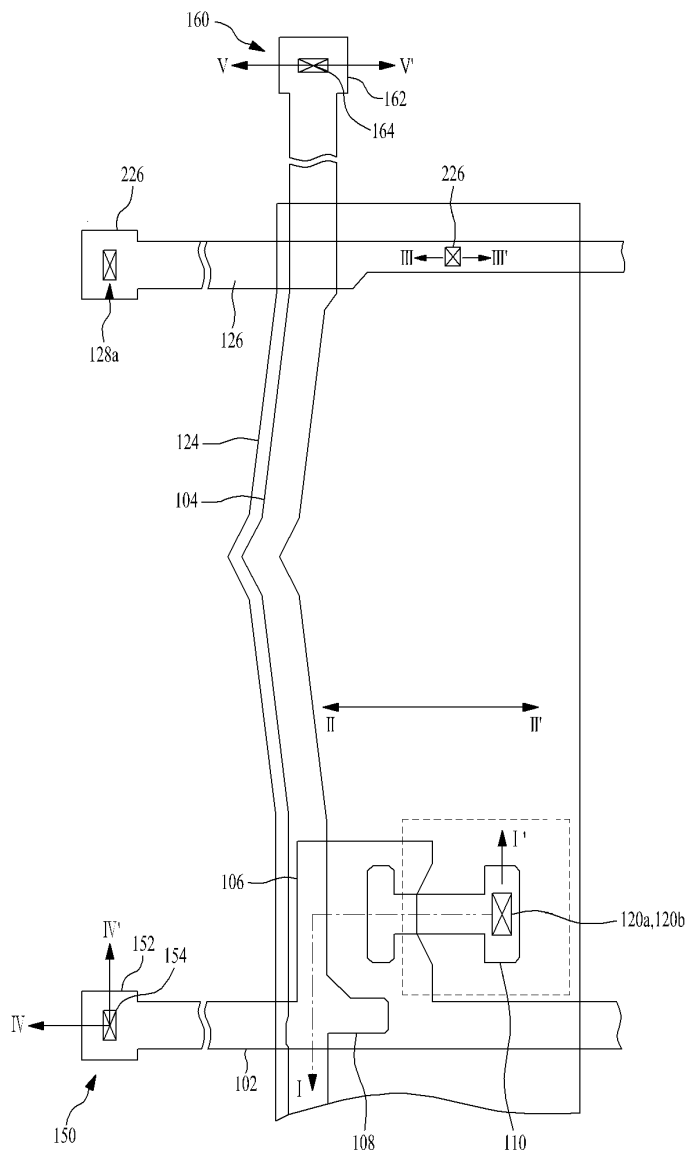
도면7a



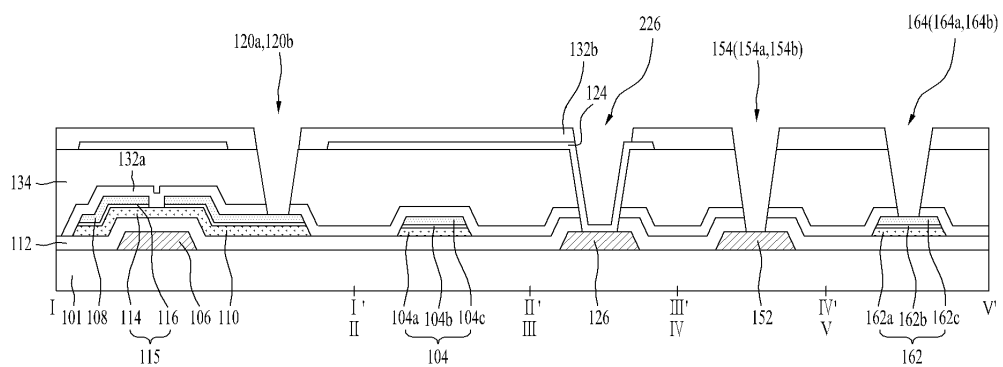
도면7b



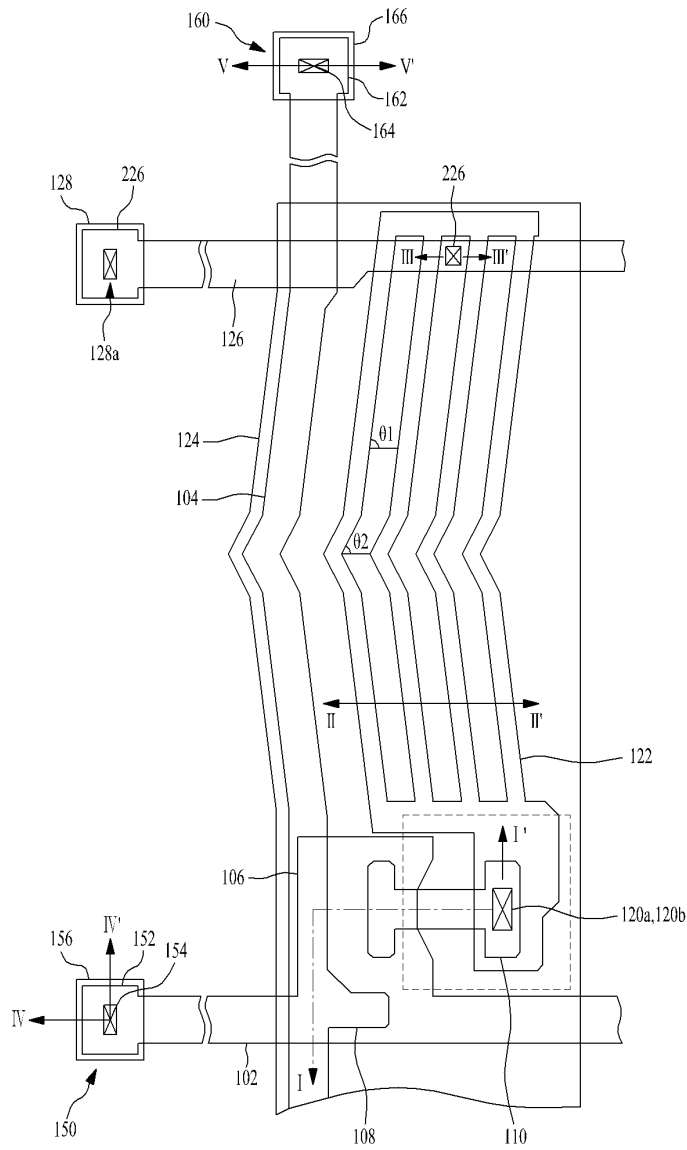
도면8a



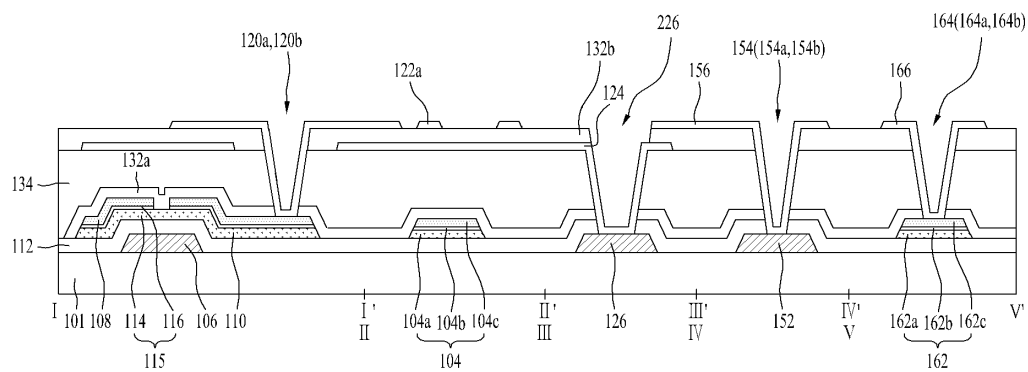
도면8b



도면9a



도면9b



도면10

