



(12) 发明专利

(10) 授权公告号 CN 109445214 B

(45) 授权公告日 2021.09.21

(21) 申请号 201811528680.9

(22) 申请日 2018.12.13

(65) 同一申请的已公布的文献号

申请公布号 CN 109445214 A

(43) 申请公布日 2019.03.08

(73) 专利权人 昆山龙腾光电股份有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72) 发明人 钟德镇 郑会龙 沈家军 姜丽梅

(74) 专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51) Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/1343 (2006.01)

H01L 27/12 (2006.01)

H01L 21/77 (2017.01)

(56) 对比文件

JP 2010107700 A, 2010.05.13

CN 207249281 U, 2018.04.17

CN 103293811 A, 2013.09.11

CN 103984161 A, 2014.08.13

CN 207133553 U, 2018.03.23

CN 104570519 A, 2015.04.29

CN 104122701 A, 2014.10.29

CN 105223740 A, 2016.01.06

JP 2010230744 A, 2010.10.14

CN 103293811 A, 2013.09.11

CN 107611139 A, 2018.01.19

CN 106842728 A, 2017.06.13

CN 106950765 A, 2017.07.14

CN 105824158 A, 2016.08.03

CN 101625491 A, 2010.01.13

KR 20110066737 A, 2011.06.17

审查员 周明阳

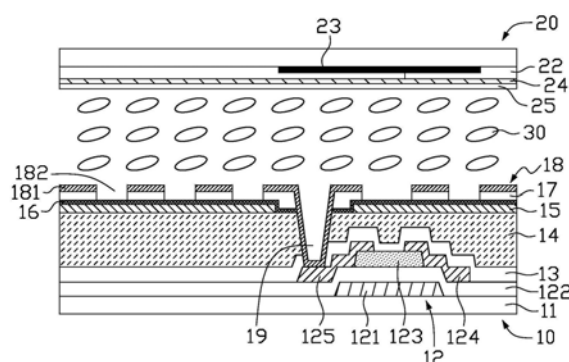
权利要求书3页 说明书10页 附图15页

(54) 发明名称

阵列基板及制作方法和液晶显示面板

(57) 摘要

一种阵列基板及制作方法和液晶显示面板，其中阵列基板包括：衬底；形成在衬底上的TFT阵列，TFT阵列包括呈阵列排布的多个TFT；覆盖TFT阵列的第一绝缘层；覆盖第一绝缘层的平坦层；形成在平坦层上的公共电极；覆盖公共电极的第二绝缘层；覆盖第二绝缘层的第三绝缘层；形成在第三绝缘层上的多个像素电极，每个像素电极通过接触孔与对应的TFT的一个导电电极连接，每个像素电极为具有电极条与狭缝的梳状结构，第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层，其中第三绝缘层和第二绝缘层选用不同的材料，第三绝缘层与第二绝缘层的蚀刻选择比大于1，第二绝缘层的膜厚小于第三绝缘层的膜厚。



1. 一种阵列基板,其特征在于,包括:

衬底;

形成在该衬底上的TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

覆盖该TFT阵列的第一绝缘层;

覆盖该第一绝缘层的平坦层;

形成在该平坦层上的公共电极;

覆盖该公共电极的第二绝缘层;

覆盖该第二绝缘层的第三绝缘层;

形成在该第三绝缘层上的多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构,该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层,其中该第三绝缘层和该第二绝缘层选用不同的材料,该第三绝缘层与该第二绝缘层的蚀刻选择比大于1,该第二绝缘层的膜厚小于该第三绝缘层的膜厚。

2. 如权利要求1所述的阵列基板,其特征在于,该第三绝缘层选用氮化硅,该第二绝缘层选用氧化硅或氮氧化硅。

3. 如权利要求1所述的阵列基板,其特征在于,该第一绝缘层与该第三绝缘层选用相同的材料。

4. 如权利要求1所述的阵列基板,其特征在于,该第二绝缘层的膜厚为 $100\text{\AA}$ - $500\text{\AA}$,该第三绝缘层的膜厚为 $1000\text{\AA}$ - $2500\text{\AA}$ 。

5. 一种液晶显示面板,包括阵列基板、与该阵列基板相对设置的彩膜基板以及设置在该阵列基板与该彩膜基板之间的液晶层,其特征在于,该阵列基板为权利要求1-4任一项所述的阵列基板。

6. 如权利要求5所述的液晶显示面板,其特征在于,该液晶层的盒厚为 $3.0\mu\text{m}$ - $3.4\mu\text{m}$,该液晶层采用负性液晶分子。

7. 一种阵列基板的制作方法,其特征在于,包括:

在衬底上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

形成覆盖该TFT阵列的第一绝缘层;

形成覆盖该第一绝缘层的平坦层,并对该平坦层进行图案化,在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层;

在该平坦层上沉积第一透明导电层,并对该第一透明导电层进行图案化,在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层,该第一透明导电层在图案化之后形成公共电极;

形成覆盖该公共电极的第二绝缘层,该第二绝缘层还同时覆盖露出的该平坦层和该第一绝缘层;

形成覆盖该第二绝缘层的第三绝缘层,其中该第三绝缘层和该第二绝缘层选用不同的材料,该第三绝缘层与该第二绝缘层的蚀刻选择比大于1,该第二绝缘层的膜厚小于该第三绝缘层的膜厚;

采用干蚀刻工艺对该第三绝缘层、该第二绝缘层和该第一绝缘层进行图案化,在对应

于每个接触孔的位置去除该第三绝缘层、该第二绝缘层和该第一绝缘层,露出每个TFT的一个导电电极;

在该第三绝缘层上沉积第二透明导电层,该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触;

在该第二透明导电层上涂布光阻,并利用光罩对该光阻进行曝光显影,然后以留下的该光阻为遮罩对该第二透明导电层进行图案化,该第二透明导电层在图案化之后形成多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构;

在该第二透明导电层被图案化形成该多个像素电极之后,继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺,使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层;

去除该光阻。

8.一种阵列基板的制作方法,其特征在于,包括:

在衬底上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

形成覆盖该TFT阵列的第一绝缘层;

形成覆盖该第一绝缘层的平坦层,并对该平坦层进行图案化,在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层;

在该平坦层上沉积第一透明导电层;

形成覆盖该第一透明导电层的第二绝缘层,并采用干蚀刻工艺对该第二绝缘层进行图案化,在对应于每个接触孔的位置去除该第二绝缘层而露出下方的该第一透明导电层;

对该第一透明导电层进行图案化,在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层,该第一透明导电层在图案化之后形成公共电极;

形成覆盖该第二绝缘层的第三绝缘层,该第三绝缘层还同时覆盖露出的该平坦层和该第一绝缘层,其中该第三绝缘层和该第二绝缘层选用不同的材料,该第三绝缘层与该第二绝缘层的蚀刻选择比大于1,该第二绝缘层的膜厚小于该第三绝缘层的膜厚;

采用干蚀刻工艺对该第三绝缘层和该第一绝缘层进行图案化,在对应于每个接触孔的位置去除该第三绝缘层和该第一绝缘层,露出每个TFT的一个导电电极;

在该第三绝缘层上沉积第二透明导电层,该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触;

在该第二透明导电层上涂布光阻,并利用光罩对该光阻进行曝光显影,然后以留下的该光阻为遮罩对该第二透明导电层进行图案化,该第二透明导电层在图案化之后形成多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构;

在该第二透明导电层被图案化形成该多个像素电极之后,继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺,使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层;

去除该光阻。

9.一种阵列基板的制作方法,其特征在于,包括:

在衬底上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

形成覆盖该TFT阵列的第一绝缘层；

形成覆盖该第一绝缘层的平坦层，并对该平坦层进行图案化，在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层；

在该平坦层上沉积第一透明导电层，并对该第一透明导电层进行图案化，在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层，该第一透明导电层在图案化之后形成公共电极；

形成覆盖该公共电极的第二绝缘层，该第二绝缘层还同时覆盖露出的该平坦层和该第一绝缘层；

采用干蚀刻工艺对该第二绝缘层进行图案化，在对应于每个接触孔的位置去除该第二绝缘层，露出下方的该第一绝缘层；

形成覆盖该第二绝缘层的第三绝缘层，该第三绝缘层还同时覆盖露出的该第一绝缘层，其中该第三绝缘层和该第二绝缘层选用不同的材料，该第三绝缘层与该第二绝缘层的蚀刻选择比大于1，该第二绝缘层的膜厚小于该第三绝缘层的膜厚；

采用干蚀刻工艺对该第三绝缘层和该第一绝缘层进行图案化，在对应于每个接触孔的位置去除该第三绝缘层和该第一绝缘层，露出每个TFT的一个导电电极；

在该第三绝缘层上沉积第二透明导电层，该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触；

在该第二透明导电层上涂布光阻，并利用光罩对该光阻进行曝光显影，然后以留下的该光阻为遮罩对该第二透明导电层进行图案化，该第二透明导电层在图案化之后形成多个像素电极，每个像素电极通过接触孔与对应的TFT的一个导电电极连接，每个像素电极为具有电极条与狭缝的梳状结构；

在该第二透明导电层被图案化形成该多个像素电极之后，继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺，使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层；

去除该光阻。

10. 如权利要求7-9任一项所述的阵列基板的制作方法，其特征在于，该第三绝缘层选用氮化硅，该第二绝缘层选用氧化硅或氮氧化硅，该第二绝缘层的膜厚为 $100\text{\AA}$ - $500\text{\AA}$ ，该第三绝缘层的膜厚为 $1000\text{\AA}$ - $2500\text{\AA}$ 。

阵列基板及制作方法和液晶显示面板

技术领域

[0001] 本发明涉及液晶显示的技术领域,特别是涉及一种阵列基板及制作方法和液晶显示面板。

背景技术

[0002] 随着显示技术的发展,液晶显示面板(Liquid Crystal Display,LCD)因其轻便、低辐射等优点越来越受到人们的欢迎。液晶显示面板包括对置的彩膜基板(color filter, CF)和阵列基板(TFT array substrate)以及夹置在两者之间的液晶层(LC layer)。

[0003] 液晶显示面板工作时,通过分别加载驱动电压和公共电压至像素电极和公共电极以在液晶层之间产生电场,液晶分子的偏转方向会随着所加载的驱动电压和公共电压之差而改变,从而控制通过液晶层的光通过率,进而控制液晶显示面板的每个像素单元的亮度。

[0004] 提高液晶显示面板的穿透率,降低液晶显示面板的最大驱动电压(也可理解为饱和电压)一直是业界的努力方向之一,目前解决方案主要有:

[0005] (a).从设计面:增加像素的开口率;

[0006] (b).从材料面:采用高穿透的彩色滤光片,高穿透的液晶材料,带APCF功能的偏光片等。

[0007] 然而,从设计上增加像素的开口率,会增大漏光风险;从材料上使用带APCF功能的偏光片等,会增加材料成本。

发明内容

[0008] 本发明的目的在于提供一种阵列基板及制作方法和液晶显示面板,可以在维持同等穿透率下,降低液晶显示面板的最大驱动电压,达到节省功耗的目的。

[0009] 本发明实施例提供一种阵列基板,包括:

[0010] 衬底;

[0011] 形成在该衬底上的TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

[0012] 覆盖该TFT阵列的第一绝缘层;

[0013] 覆盖该第一绝缘层的平坦层;

[0014] 形成在该平坦层上的公共电极;

[0015] 覆盖该公共电极的第二绝缘层;

[0016] 覆盖该第二绝缘层的第三绝缘层;

[0017] 形成在该第三绝缘层上的多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构,该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层,其中该第三绝缘层和该第二绝缘层选用不同的材料,该第三绝缘层与该第二绝缘层的蚀刻选择比大于1,该第二绝缘层的膜厚小于该第三绝缘层的膜厚。

[0018] 进一步地,该第三绝缘层选用氮化硅,该第二绝缘层选用氧化硅或氮氧化硅。

[0019] 进一步地,该第一绝缘层与该第三绝缘层选用相同的材料。

[0020] 进一步地,该第二绝缘层的膜厚为 $100\text{\AA}$ - $500\text{\AA}$,该第三绝缘层的膜厚为 $1000\text{\AA}$ - $2500\text{\AA}$ 。

[0021] 本发明实施例还提供一种液晶显示面板,包括阵列基板、与该阵列基板相对设置的彩膜基板以及设置在该阵列基板与该彩膜基板之间的液晶层,该阵列基板为上述的阵列基板。

[0022] 进一步地,该液晶层的盒厚为 $3.0\mu\text{m}$ - $3.4\mu\text{m}$,该液晶层采用负性液晶分子。

[0023] 本发明第一实施例提供一种阵列基板的制作方法,包括:

[0024] 在衬底上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

[0025] 形成覆盖该TFT阵列的第一绝缘层;

[0026] 形成覆盖该第一绝缘层的平坦层,并对该平坦层进行图案化,在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层;

[0027] 在该平坦层上沉积第一透明导电层,并对该第一透明导电层进行图案化,在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层,该第一透明导电层在图案化之后形成公共电极;

[0028] 形成覆盖该公共电极的第二绝缘层,该第二绝缘层还同时覆盖露出的该平坦层和该第一绝缘层;

[0029] 形成覆盖该第二绝缘层的第三绝缘层,其中该第三绝缘层和该第二绝缘层选用不同的材料,该第三绝缘层与该第二绝缘层的蚀刻选择比大于1,该第二绝缘层的膜厚小于该第三绝缘层的膜厚;

[0030] 采用干蚀刻工艺对该第三绝缘层、该第二绝缘层和该第一绝缘层进行图案化,在对应于每个接触孔的位置去除该第三绝缘层、该第二绝缘层和该第一绝缘层,露出每个TFT的一个导电电极;

[0031] 在该第三绝缘层上沉积第二透明导电层,该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触;

[0032] 在该第二透明导电层上涂布光阻,并利用光罩对该光阻进行曝光显影,然后以留下的该光阻为遮罩对该第二透明导电层进行图案化,该第二透明导电层在图案化之后形成多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构;

[0033] 在该第二透明导电层被图案化形成该多个像素电极之后,继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺,使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层;

[0034] 去除该光阻。

[0035] 本发明第二实施例提供一种阵列基板的制作方法,包括:

[0036] 在衬底上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT;

[0037] 形成覆盖该TFT阵列的第一绝缘层;

[0038] 形成覆盖该第一绝缘层的平坦层,并对该平坦层进行图案化,在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层;

[0039] 在该平坦层上沉积第一透明导电层；

[0040] 形成覆盖该第一透明导电层的第二绝缘层，并采用干蚀刻工艺对该第二绝缘层进行图案化，在对应于每个接触孔的位置去除该第二绝缘层而露出下方的该第一透明导电层；

[0041] 对该第一透明导电层进行图案化，在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层，该第一透明导电层在图案化之后形成公共电极；

[0042] 形成覆盖该第二绝缘层的第三绝缘层，该第三绝缘层还同时覆盖露出的该平坦层和该第一绝缘层，其中该第三绝缘层和该第二绝缘层选用不同的材料，该第三绝缘层与该第二绝缘层的蚀刻选择比大于1，该第二绝缘层的膜厚小于该第三绝缘层的膜厚；

[0043] 采用干蚀刻工艺对该第三绝缘层和该第一绝缘层进行图案化，在对应于每个接触孔的位置去除该第三绝缘层和该第一绝缘层，露出每个TFT的一个导电电极；

[0044] 在该第三绝缘层上沉积第二透明导电层，该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触；

[0045] 在该第二透明导电层上涂布光阻，并利用光罩对该光阻进行曝光显影，然后以留下的该光阻为遮罩对该第二透明导电层进行图案化，该第二透明导电层在图案化之后形成多个像素电极，每个像素电极通过接触孔与对应的TFT的一个导电电极连接，每个像素电极为具有电极条与狭缝的梳状结构；

[0046] 在该第二透明导电层被图案化形成该多个像素电极之后，继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺，使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层；

[0047] 去除该光阻。

[0048] 本发明第三实施例提供一种阵列基板的制作方法，包括：

[0049] 在衬底上形成TFT阵列，该TFT阵列包括呈阵列排布的多个TFT；

[0050] 形成覆盖该TFT阵列的第一绝缘层；

[0051] 形成覆盖该第一绝缘层的平坦层，并对该平坦层进行图案化，在对应于每个接触孔的位置去除该平坦层而露出下方的该第一绝缘层；

[0052] 在该平坦层上沉积第一透明导电层，并对该第一透明导电层进行图案化，在对应于每个接触孔的位置去除该第一透明导电层而露出下方的该平坦层和该第一绝缘层，该第一透明导电层在图案化之后形成公共电极；

[0053] 形成覆盖该公共电极的第二绝缘层，该第二绝缘层还同时覆盖露出的该平坦层和该第一绝缘层；

[0054] 采用干蚀刻工艺对该第二绝缘层进行图案化，在对应于每个接触孔的位置去除该第二绝缘层，露出下方的该第一绝缘层；

[0055] 形成覆盖该第二绝缘层的第三绝缘层，该第三绝缘层还同时覆盖露出的该第一绝缘层，其中该第三绝缘层和该第二绝缘层选用不同的材料，该第三绝缘层与该第二绝缘层的蚀刻选择比大于1，该第二绝缘层的膜厚小于该第三绝缘层的膜厚；

[0056] 采用干蚀刻工艺对该第三绝缘层和该第一绝缘层进行图案化，在对应于每个接触孔的位置去除该第三绝缘层和该第一绝缘层，露出每个TFT的一个导电电极；

[0057] 在该第三绝缘层上沉积第二透明导电层,该第二透明导电层填入每个TFT的接触孔中并与每个TFT露出的导电电极接触;

[0058] 在该第二透明导电层上涂布光阻,并利用光罩对该光阻进行曝光显影,然后以留下的该光阻为遮罩对该第二透明导电层进行图案化,该第二透明导电层在图案化之后形成多个像素电极,每个像素电极通过接触孔与对应的TFT的一个导电电极连接,每个像素电极为具有电极条与狭缝的梳状结构;

[0059] 在该第二透明导电层被图案化形成该多个像素电极之后,继续以留下的该光阻为遮罩对该第三绝缘层进行干蚀刻工艺,使该第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的该第二绝缘层;

[0060] 去除该光阻。

[0061] 进一步地,该第三绝缘层选用氮化硅,该第二绝缘层选用氧化硅或氮氧化硅,该第二绝缘层的膜厚为 $100\text{\AA}$ - $500\text{\AA}$,该第三绝缘层的膜厚为 $1000\text{\AA}$ - $2500\text{\AA}$ 。

[0062] 本发明实施例提供的阵列基板及制作方法和液晶显示面板,新增设置了对公共电极进行保护的第三绝缘层,第三绝缘层在与每个像素电极的电极条相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层,可以使公共电极更多地被显露出来,大大增强像素电极与公共电极之间的边缘电场,在维持相近的光学水准下,可大幅度降低饱和电压(V_{sat}),达到节省功耗的目的。第三绝缘层和第二绝缘层选用不同的材料,第三绝缘层与第二绝缘层的蚀刻选择比大于1,根据第二绝缘层和第三绝缘层的刻蚀速率不同,达到将每个像素电极的狭缝处的第三绝缘层完全刻蚀去除,在刻蚀完第三绝缘层时,由于第二绝缘层更加致密,不易被刻蚀,因此可以避免第二绝缘层被刻蚀穿,更好地保护下面的公共电极,公共电极不会露出,像素电极与公共电极之间不易发生短路(Short)风险,提升了制程良率;而且由于第二绝缘层的存在,对蚀刻时间的精度要求不高,可以在第三绝缘层被完全充分蚀刻之后再停止蚀刻,无需担心因蚀刻速率控制不当导致第三绝缘层蚀刻不足或第三绝缘层过度蚀刻而露出公共电极的问题,提高了制程弹性。相较于现有从设计面和材料面进行改善的方案而言,可行性更高且成本更低。

附图说明

[0063] 图1为本发明实施例中液晶显示面板的结构示意图。

[0064] 图2为比较例中液晶显示面板的结构示意图。

[0065] 图3为本发明实施例与比较例的V-T曲线的比较示意图。

[0066] 图4为本发明实施例与比较例沿狭缝位置处 Φ 值的比较示意图。

[0067] 图5为本发明实施例与比较例沿狭缝位置处电场 $|E|$ 的比较示意图。

[0068] 图6a-6q为本发明第一实施例中阵列基板的制作过程示意图。

[0069] 图7a-7k为本发明第二实施例中阵列基板的制作过程示意图。

[0070] 图8a-8h为本发明第三实施例中阵列基板的制作过程示意图。

具体实施方式

[0071] 下面结合附图和具体实施例对本发明作进一步详细的说明,但并不是把本发明的实施范围局限于此。

[0072] 请参阅图1,本发明实施例提供一种液晶显示面板,包括阵列基板10、与阵列基板10相对设置的彩膜基板20以及设置在阵列基板10与彩膜基板20之间的液晶层30。

[0073] 具体地,阵列基板10包括:

[0074] 衬底11;

[0075] 形成在衬底11上的TFT阵列,TFT阵列包括呈阵列排布的多个TFT 12;

[0076] 覆盖TFT阵列的第一绝缘层13;

[0077] 覆盖第一绝缘层13的平坦层14;

[0078] 形成在平坦层14上的公共电极15;

[0079] 覆盖公共电极15的第二绝缘层16;

[0080] 覆盖第二绝缘层16的第三绝缘层17;

[0081] 形成在第三绝缘层17上的多个像素电极18,每个像素电极18通过接触孔19与对应的TFT 12的一个导电极(源极124或漏极125)连接,每个像素电极18为具有电极条181与狭缝182的梳状结构,第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16。

[0082] 本领域技术人员能够理解地,阵列基板10上还设有多条扫描线(图未示)与多条数据线(图未示),由该多条扫描线与该多条数据线相互绝缘交叉限定形成多个像素单元,像素电极18设置在每个像素单元内,像素电极18通过TFT 12(薄膜晶体管)与对应的扫描线和数据线连接。

[0083] 第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16,即第三绝缘层17在与每个像素电极18的狭缝182相对应的位置以及在相邻像素单元之间未设置像素电极18的位置均被蚀刻掉而露出下方的第二绝缘层16。

[0084] 其中,第三绝缘层17和第二绝缘层16选用不同的材料,且第三绝缘层17与第二绝缘层16的蚀刻选择比大于1,即在相同刻蚀条件下,第三绝缘层17的刻蚀速率大于第二绝缘层16的刻蚀速率。另外,第二绝缘层16的膜厚小于第三绝缘层17的膜厚。

[0085] 例如,第三绝缘层17可以选用氮化硅(SiN_x),第二绝缘层16可以选用氧化硅(SiO_x)或氮氧化硅(SiO_xNy),但不限于此。选用氮化硅作为第三绝缘层17的材料,氧化硅或氮氧化硅作为第二绝缘层16的材料,因为相较于氧化硅或氮氧化硅而言,氮化硅更易被刻蚀。

[0086] 第一绝缘层13与第三绝缘层17可以选用相同的材料。例如当第三绝缘层17选用氮化硅时,第一绝缘层13也选用氮化硅,这样在制作形成接触孔19时,第三绝缘层17和第一绝缘层13更易被刻蚀,提高生产效率。

[0087] 第二绝缘层16的膜厚可以远小于第三绝缘层17的膜厚,优选地,第二绝缘层16的膜厚为 $100\text{\AA}$ - $500\text{\AA}$,第三绝缘层17的膜厚为 $1000\text{\AA}$ - $2500\text{\AA}$ 。第三绝缘层17之所以采用较大的膜厚,是因为像素电极18与公共电极15之间需要形成储存电容(C_{st}),如果第三绝缘层17做的太薄,则不利于像素电极18的充电保持。而第二绝缘层16的主要作用是保护下面的公共电极15在第三绝缘层17被蚀刻掉之后不露出,避免像素电极18与公共电极15之间发生短路(short)风险,因此第二绝缘层16只需较小的膜厚即可。

[0088] 公共电极15可以为整面设置的面状电极,即公共电极15除了在对应于每个接触孔

19的位置被刻蚀掉之外,其余为整面相连的结构。像素电极18和公共电极15例如采用氧化铟锡(ITO)或氧化铟锌(IZO)等。

[0089] 另外,在像素电极18上还覆盖有配向层(图未示),配向层覆盖每个像素电极18的电极条181且同时覆盖露出部分的第二绝缘层16。配向层的材料可以选用聚酰亚胺(Polyimide,PI),配向层的主要作用是用于对液晶层30中的液晶分子进行初始配向。

[0090] 具体地,彩膜基板20上设有色阻层22、黑色矩阵23、辅助电极24和平坦层25。色阻层22为R、G、B色阻。本实施例中,辅助电极24覆盖在色阻层22和黑色矩阵23上,平坦层25覆盖在辅助电极24上。彩膜基板20上各个膜层之间的设置顺序不限于此,可以根据需要进行调整,且彩膜基板20上还可以设置其他的膜层结构。

[0091] 具体地,液晶层30的盒厚为 $3.0\mu\text{m}$ - $3.4\mu\text{m}$,且液晶层30优选搭配使用负性液晶分子,即介电各向异性为负的液晶分子。

[0092] 图2为比较例中液晶显示面板的结构示意图,该比较例用于与本发明中图1所示的实施例进行比较之用。

[0093] 在该比较例中,未设置对公共电极15进行保护的第三绝缘层17,且第三绝缘层17也未被蚀刻。

[0094] 换言之,相较于该比较例,本发明实施例新增设置了对公共电极15进行保护的第三绝缘层16,第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16,第三绝缘层17和第二绝缘层16选用不同的材料,第三绝缘层17与第二绝缘层16的蚀刻选择比大于1,且第二绝缘层16的膜厚小于第三绝缘层17的膜厚。

[0095] 本发明实施例中,第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉,即除了与每个像素电极18的电极条181相对应的位置之外,第三绝缘层17的其余区域被蚀刻掉。针对边缘场开关模式(Fringe Field Switching,FFS)的液晶显示面板而言,是利用像素电极18与公共电极15之间产生的边缘电场来实现对液晶分子的驱动。将第三绝缘层17除了与每个像素电极18的电极条181相对应的位置之外的其余区域蚀刻掉,可以使公共电极15更多地被显露出来,大大增强像素电极18与公共电极15之间的边缘电场。与该比较例相比,在维持相近的光学水准下,本发明实施例可大幅度降低饱和电压(V_{sat}),达到节省功耗的目的。

[0096] 图3为本发明实施例与该比较例的V-T曲线的比较示意图,水平轴代表电压(单位为V),垂直轴代表穿透率。通过仿真结果,在达到相同穿透率(5.9%)的前提下,该比较例的饱和电压为5.4V(100%),本发明实施例的饱和电压为4.7V(87%),本发明实施例的饱和电压相较该比较例降低0.7V,逻辑功耗可节省13%。

[0097] 图4为本发明实施例与该比较例沿狭缝182位置处Phi值的比较示意图,水平轴代表液晶盒厚方向(从靠近阵列基板10一侧至靠近彩膜基板20一侧,单位为 μm),垂直轴代表液晶分子的扭转程度(即Phi值, Φ)。从图4可看出,本发明实施例在对应于每个像素电极18的狭缝182位置处,液晶分子的扭转程度(即Phi值, Φ)与该比较例相比更大。

[0098] 图5为本发明实施例与该比较例沿狭缝182位置处电场|E|的比较示意图,水平轴代表液晶盒厚方向(从靠近阵列基板10一侧至靠近彩膜基板20一侧,单位为 μm),垂直轴代表电场强度|E|。从图5可看出,本发明实施例在对应于每个像素电极18的狭缝182位置处靠

近阵列基板10一侧(对应于0-2 μ m的液晶盒厚范围内),有效电场强度 $|E|$ 更大,从而在达到相近水准的穿透率(Tr)下,可以实现饱和电压的下降。

[0099] 本发明实施例中,通过在像素电极18与公共电极15之间,在成膜介质绝缘层即第三绝缘层17之前,增加第二绝缘层16的薄膜制程,且第三绝缘层17和第二绝缘层16选用不同的材料,第三绝缘层17与第二绝缘层16的蚀刻选择比大于1,根据第二绝缘层16和第三绝缘层17的刻蚀速率不同,达到将每个像素电极18的狭缝182处的第三绝缘层17完全刻蚀去除,在刻蚀完第三绝缘层17时,由于第二绝缘层16更加致密,不易被刻蚀,因此可以避免第二绝缘层16被刻蚀穿,更好地保护下面的公共电极15,公共电极15不会露出,像素电极18与公共电极15之间不易发生短路(Short)风险,提升了制程良率;在该比较例中,如果第三绝缘层17在对应狭缝182处进行蚀刻减薄,容易产生因蚀刻速率控制不当导致第三绝缘层17蚀刻不足或第三绝缘层17过度蚀刻而露出公共电极15的问题,而在本发明实施例中,第三绝缘层17相较于第二绝缘层16更易被蚀刻,但第二绝缘层16不易被刻蚀,由于第二绝缘层16的存在,对蚀刻时间的精度要求不高,可以在第三绝缘层17被完全充分蚀刻之后再停止蚀刻,无需担心因蚀刻速率控制不当导致第三绝缘层17蚀刻不足或第三绝缘层17过度蚀刻而露出公共电极15的问题,提高了制程弹性(也称为Margin,即裕度)。

[0100] 图6a-6q为本发明第一实施例中阵列基板10的制作过程示意图,用于制作上述的阵列基板10,该制作方法包括:

[0101] 请参阅图6a-6d,在衬底11上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT 12。每个TFT 12包括栅极121、栅极绝缘层122、有源层123、源极124和漏极125。具体地,请参阅图6a,在衬底11上沉积第一金属层,对该第一金属层进行图案化制作形成扫描线和栅极121;请参阅图6b,在衬底11上沉积栅极绝缘层122,栅极绝缘层122覆盖扫描线和栅极121;请参阅图6c,在栅极绝缘层122上沉积有源层薄膜,对该有源层薄膜进行图案化制作形成有源层123,有源层123可以为非晶硅(a-Si)、多晶硅(p-Si)、金属氧化物半导体(如IGZO、ITZO)等;请参阅图6d,在栅极绝缘层122上沉积第二金属层,对该第二金属层进行图案化制作形成数据线、源极124和漏极125。

[0102] 请参阅图6e,形成覆盖该TFT阵列的第一绝缘层13。具体地,第一绝缘层13可以选用氮化硅,但不限于此。

[0103] 请参阅图6f-6g,形成覆盖第一绝缘层13的平坦层14,并对平坦层14进行图案化,在对应于每个接触孔19的位置去除该平坦层14而露出下方的第一绝缘层13。具体地,平坦层14可以选用有机材料,且可以通过涂布的方式形成。

[0104] 请参阅图6h-6i,在平坦层14上沉积第一透明导电层150,并对第一透明导电层150进行图案化,在对应于每个接触孔19的位置去除该第一透明导电层150而露出下方的平坦层14和第一绝缘层13,第一透明导电层150在图案化之后形成公共电极15。具体地,对第一透明导电层150进行图案化时,可以采用湿蚀刻的方式。

[0105] 请参阅图6j,形成覆盖公共电极15的第二绝缘层16,第二绝缘层16还同时覆盖露出的平坦层14和第一绝缘层13。

[0106] 请参阅图6k,形成覆盖第二绝缘层16的第三绝缘层17,其中第三绝缘层17和第二绝缘层16选用不同的材料,第三绝缘层17与第二绝缘层16的蚀刻选择比大于1,第二绝缘层16的膜厚小于第三绝缘层17的膜厚。具体地,第三绝缘层17可以选用氮化硅,第二绝缘层16可

以选用氧化硅或氮氧化硅,但不限于此。第二绝缘层16的膜厚可以为 $100\text{\AA}$ - $500\text{\AA}$,第三绝缘层17的膜厚可以为 $1000\text{\AA}$ - $2500\text{\AA}$,但不限于此。

[0107] 请参图6l,采用干蚀刻工艺对第三绝缘层17、第二绝缘层16和第一绝缘层13进行图案化,在对应于每个接触孔19的位置去除第三绝缘层17、第二绝缘层16和第一绝缘层13,露出每个TFT 12的一个导电电极(源极124或漏极125)。图中,以示意露出漏极125为例。

[0108] 请参图6m,在第三绝缘层17上沉积第二透明导电层180,第二透明导电层180填入每个TFT 12的接触孔19中并与每个TFT 12露出的导电电极(图中示意为漏极125)接触。

[0109] 请参图6n-6o,在第二透明导电层180上涂布光阻40,并利用光罩50对光阻40进行曝光显影,然后以留下的光阻40为遮罩对第二透明导电层180进行图案化,第二透明导电层180在图案化之后形成多个像素电极18,每个像素电极18通过接触孔19与对应的TFT 12的一个导电电极(图中示意为漏极125)连接,每个像素电极18为具有电极条181与狭缝182的梳状结构。具体地,光阻40可以采用正性光阻或负性光阻,图中以正性光阻为例。对第二透明导电层180进行图案化时,可以采用湿蚀刻的方式。

[0110] 请参图6p,在第二透明导电层180被图案化形成多个像素电极18之后,继续以留下的光阻40为遮罩对第三绝缘层17进行干蚀刻工艺,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16。利用在蚀刻形成像素电极18时所采用的光阻40作为遮罩,继续对第三绝缘层17进行干蚀刻,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉,实施方式简单,易于实现,不需要耗费额外的光罩费用。

[0111] 请参图6q,去除光阻40。

[0112] 图7a-7k为本发明第二实施例中阵列基板10的制作过程示意图,用于制作上述的阵列基板10,该制作方法包括:

[0113] 在衬底11上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT 12。此步骤与图6a-6d相同,请参见上述与图6a-6d相关的说明。

[0114] 形成覆盖该TFT阵列的第一绝缘层13。此步骤与图6e相同,请参见上述与图6e相关的说明。

[0115] 形成覆盖第一绝缘层13的平坦层14,并对平坦层14进行图案化,在对应于每个接触孔19的位置去除该平坦层14而露出下方的第一绝缘层13。此步骤与图6f-6g相同,请参见上述与图6f-6g相关的说明。

[0116] 请参图7a,在平坦层14上沉积第一透明导电层150。

[0117] 请参图7b-7c,形成覆盖第一透明导电层150的第二绝缘层16,并采用干蚀刻工艺对第二绝缘层16进行图案化,在对应于每个接触孔19的位置去除该第二绝缘层16而露出下方的第一透明导电层150。

[0118] 请参图7d,对第一透明导电层150进行图案化,在对应于每个接触孔19的位置去除该第一透明导电层150而露出下方的平坦层14和第一绝缘层13,第一透明导电层150在图案化之后形成公共电极15。具体地,对第一透明导电层150进行图案化时,可以采用湿蚀刻的方式。

[0119] 请参图7e,形成覆盖第二绝缘层16的第三绝缘层17,第三绝缘层17还同时覆盖露出的平坦层14和第一绝缘层13,其中第三绝缘层17和第二绝缘层16选用不同的材料,第三

绝缘层17与第二绝缘层16的蚀刻选择比大于1,第二绝缘层16的膜厚小于第三绝缘层17的膜厚。具体地,第三绝缘层17可以选用氮化硅,第二绝缘层16可以选用氧化硅或氮氧化硅,但不限于此。第二绝缘层16的膜厚可以为100Å-500Å,第三绝缘层17的膜厚可以为1000Å-2500Å,但不限于此。

[0120] 请参图7f,采用干蚀刻工艺对第三绝缘层17和第一绝缘层13进行图案化,在对应于每个接触孔19的位置去除该第三绝缘层17和该第一绝缘层13,露出每个TFT 12的一个导电电极(源极124或漏极125)。图中,以示意露出漏极125为例。

[0121] 请参图7g,在第三绝缘层17上沉积第二透明导电层180,第二透明导电层180填入每个TFT 12的接触孔19中并与每个TFT 12露出的导电电极(图中示意为漏极125)接触。

[0122] 请参图7h-7i,在第二透明导电层180上涂布光阻40,并利用光罩50对光阻40进行曝光显影,然后以留下的光阻40为遮罩对第二透明导电层180进行图案化,第二透明导电层180在图案化之后形成多个像素电极18,每个像素电极18通过接触孔19与对应的TFT 12的一个导电电极(图中示意为漏极125)连接,每个像素电极18为具有电极条181与狭缝182的梳状结构。具体地,光阻40可以采用正性光阻或负性光阻,图中以正性光阻为例。对第二透明导电层180进行图案化时,可以采用湿蚀刻的方式。

[0123] 请参图7j,在第二透明导电层180被图案化形成多个像素电极18之后,继续以留下的光阻40为遮罩对第三绝缘层17进行干蚀刻工艺,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16。利用在蚀刻形成像素电极18时所采用的光阻40作为遮罩,继续对第三绝缘层17进行干蚀刻,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉,实施方式简单,易于实现,不需要耗费额外的光罩费用。

[0124] 请参图7k,去除光阻40。

[0125] 图8a-8h为本发明第三实施例中阵列基板10的制作过程示意图,用于制作上述的阵列基板10,该制作方法包括:

[0126] 在衬底11上形成TFT阵列,该TFT阵列包括呈阵列排布的多个TFT 12。此步骤与图6a-6d相同,请参见上述与图6a-6d相关的说明。

[0127] 形成覆盖该TFT阵列的第一绝缘层13。此步骤与图6e相同,请参见上述与图6e相关的说明。

[0128] 形成覆盖第一绝缘层13的平坦层14,并对平坦层14进行图案化,在对应于每个接触孔19的位置去除该平坦层14而露出下方的第一绝缘层13。此步骤与图6f-6g相同,请参见上述与图6f-6g相关的说明。

[0129] 在平坦层14上沉积第一透明导电层150,并对第一透明导电层150进行图案化,在对应于每个接触孔19的位置去除该第一透明导电层150而露出下方的平坦层14和第一绝缘层13,第一透明导电层150在图案化之后形成公共电极15。此步骤与图6h-6i相同,请参见上述与图6h-6i相关的说明。

[0130] 形成覆盖公共电极15的第二绝缘层16,第二绝缘层16还同时覆盖露出的平坦层14和第一绝缘层13。此步骤与图6j相同,请参见上述与图6j相关的说明。

[0131] 请参图8a,采用干蚀刻工艺对第二绝缘层16进行图案化,在对应于每个接触孔19的位置去除该第二绝缘层16,露出下方的第一绝缘层13。

[0132] 请参阅图8b,形成覆盖第二绝缘层16的第三绝缘层17,第三绝缘层17还同时覆盖露出的第一绝缘层13,其中第三绝缘层17和第二绝缘层16选用不同的材料,第三绝缘层17与第二绝缘层16的蚀刻选择比大于1,第二绝缘层16的膜厚小于第三绝缘层17的膜厚。具体地,第三绝缘层17可以选用氮化硅,第二绝缘层16可以选用氧化硅或氮氧化硅,但不限于此。第二绝缘层16的膜厚可以为 $100\text{\AA}$ - $500\text{\AA}$,第三绝缘层17的膜厚可以为 $1000\text{\AA}$ - $2500\text{\AA}$,但不限于此。

[0133] 请参阅图8c,采用干蚀刻工艺对第三绝缘层17和第一绝缘层13进行图案化,在对应于每个接触孔19的位置去除该第三绝缘层17和该第一绝缘层13,露出每个TFT 12的一个导电电极(源极124或漏极125)。图中,以示意露出漏极125为例。

[0134] 请参阅图8d,在第三绝缘层17上沉积第二透明导电层180,第二透明导电层180填入每个TFT 12的接触孔19中并与每个TFT 12露出的导电电极(图中示意为漏极125)接触。

[0135] 请参阅图8e-8f,在第二透明导电层180上涂布光阻40,并利用光罩50对光阻40进行曝光显影,然后以留下的光阻40为遮罩对第二透明导电层180进行图案化,第二透明导电层180在图案化之后形成多个像素电极18,每个像素电极18通过接触孔19与对应的TFT 12的一个导电电极(图中示意为漏极125)连接,每个像素电极18为具有电极条181与狭缝182的梳状结构。具体地,光阻40可以采用正性光阻或负性光阻,图中以正性光阻为例。对第二透明导电层180进行图案化时,可以采用湿蚀刻的方式。

[0136] 请参阅图8g,在第二透明导电层180被图案化形成多个像素电极18之后,继续以留下的光阻40为遮罩对第三绝缘层17进行干蚀刻工艺,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉而露出下方的第二绝缘层16。利用在蚀刻形成像素电极18时所采用的光阻40作为遮罩,继续对第三绝缘层17进行干蚀刻,使第三绝缘层17在与每个像素电极18的电极条181相对应的位置之外的其余区域被蚀刻掉,实施方式简单,易于实现,不需要耗费额外的光罩费用。

[0137] 请参阅图8h,去除该光阻40。

[0138] 上述实施方式只是本发明的实施例,不是用来限制本发明的实施与权利范围,凡依据本发明专利所申请的保护范围中所述的内容做出的等效变化和修饰,均应包括在本发明的专利保护范围内。

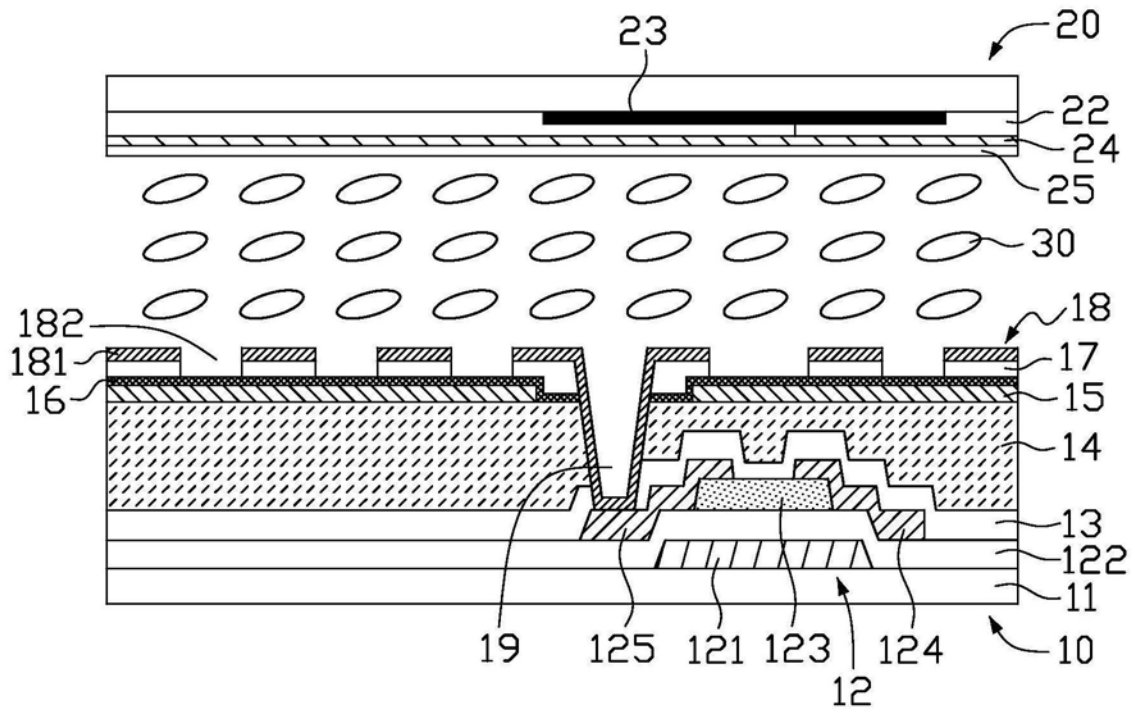


图1

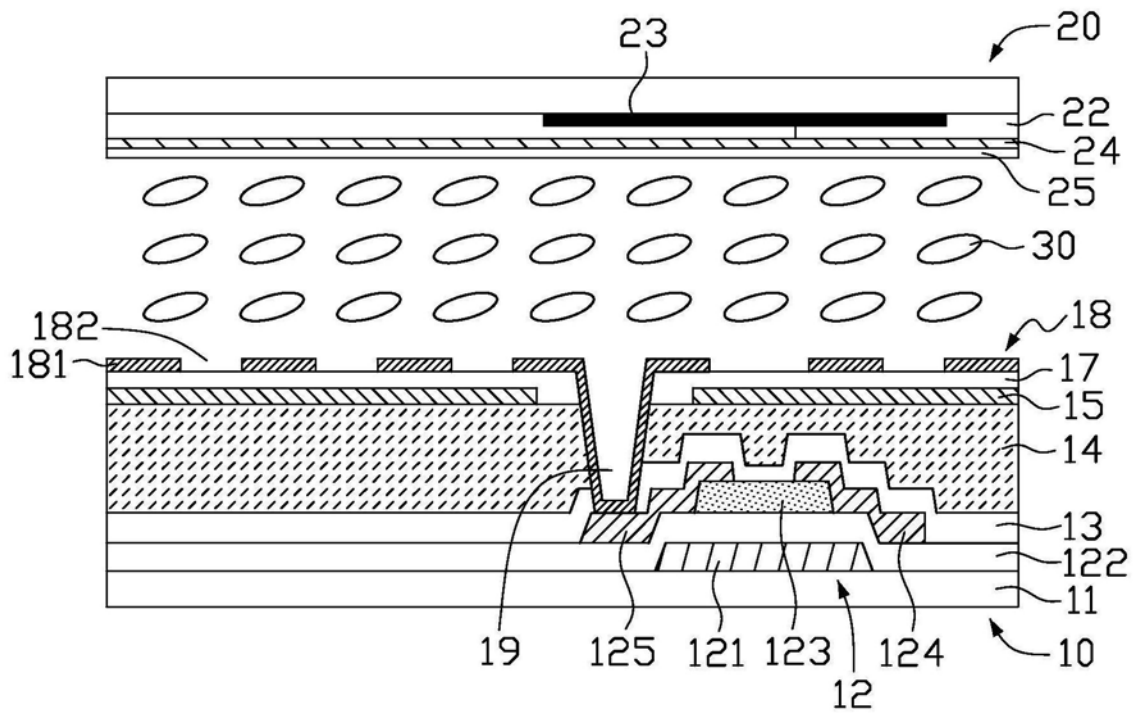


图2

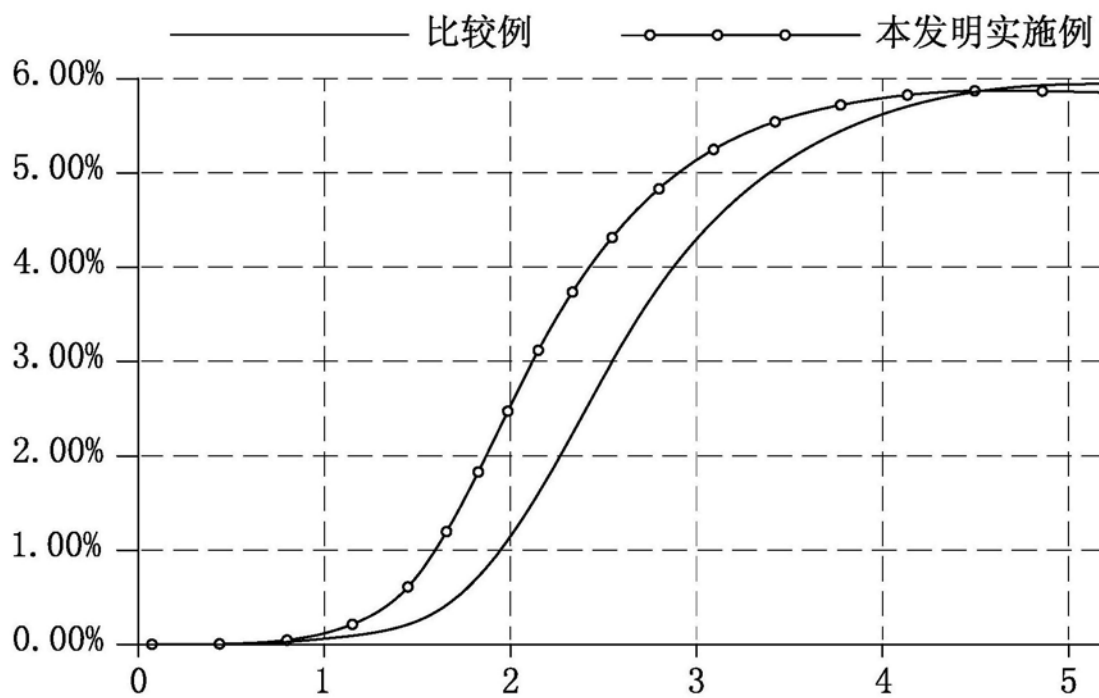


图3

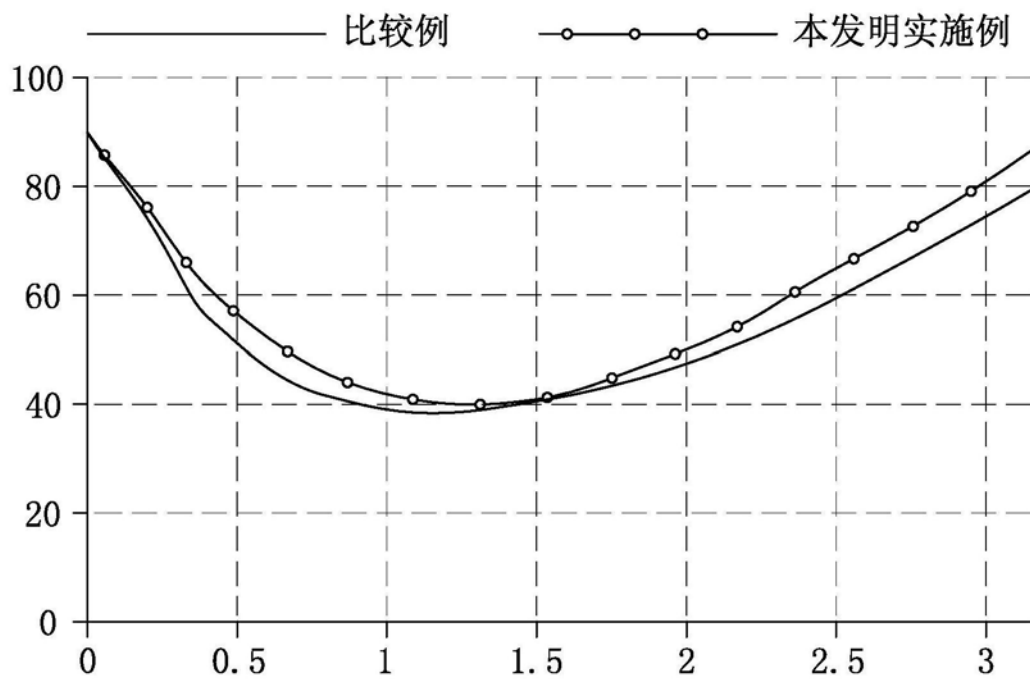


图4

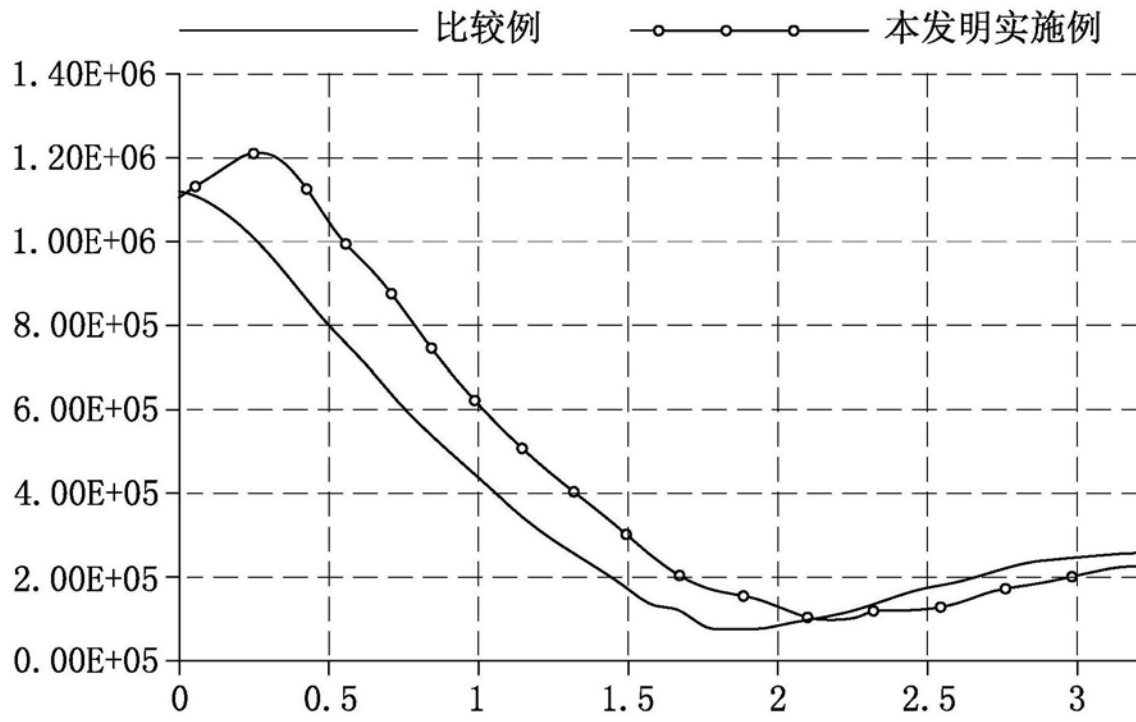


图5



图6a

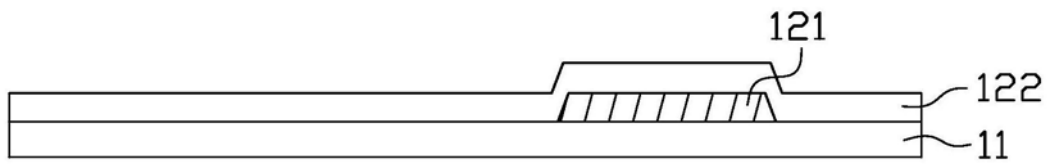


图6b

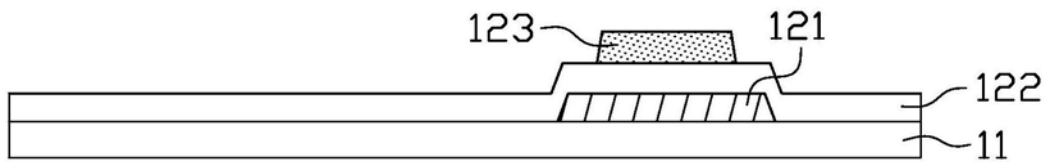


图6c

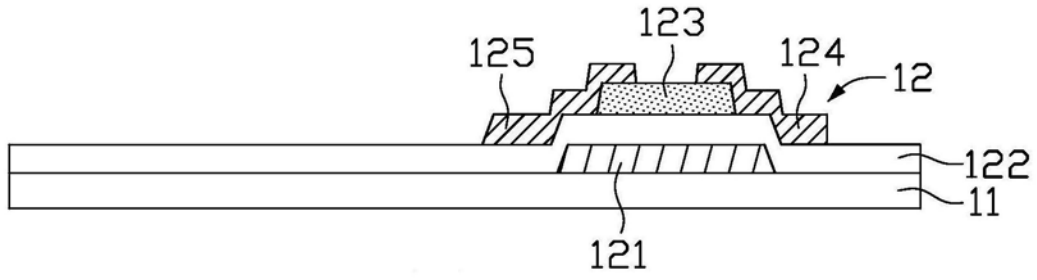


图6d

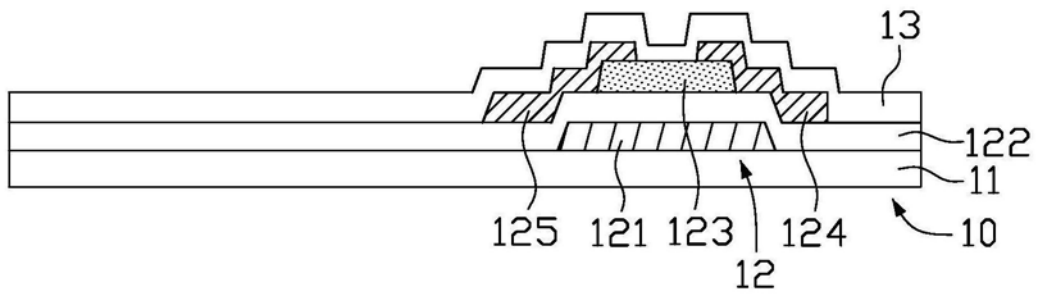


图6e

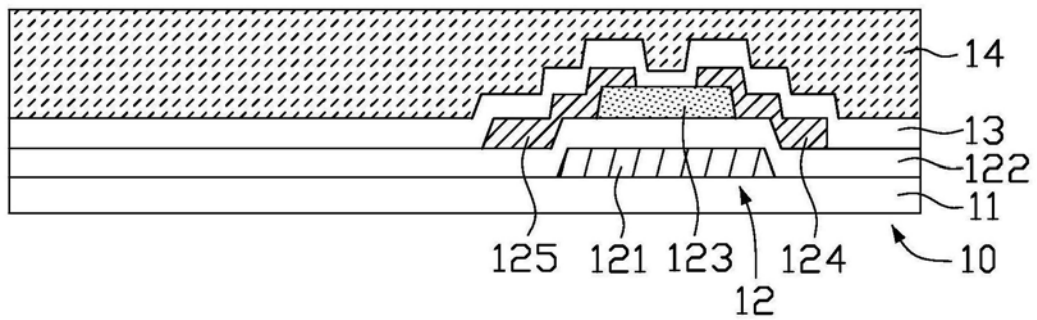


图6f

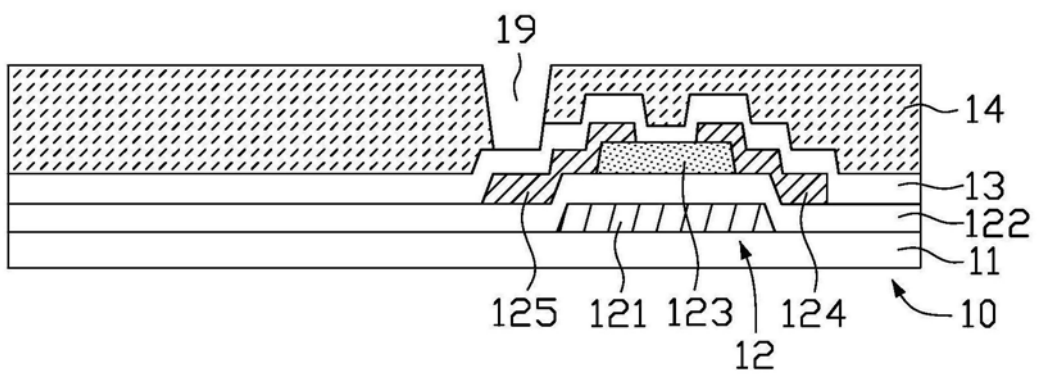


图6g

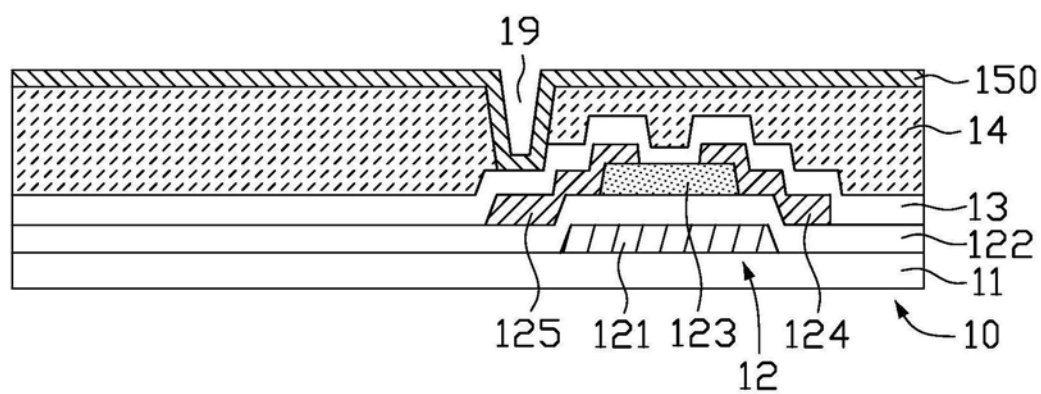


图6h

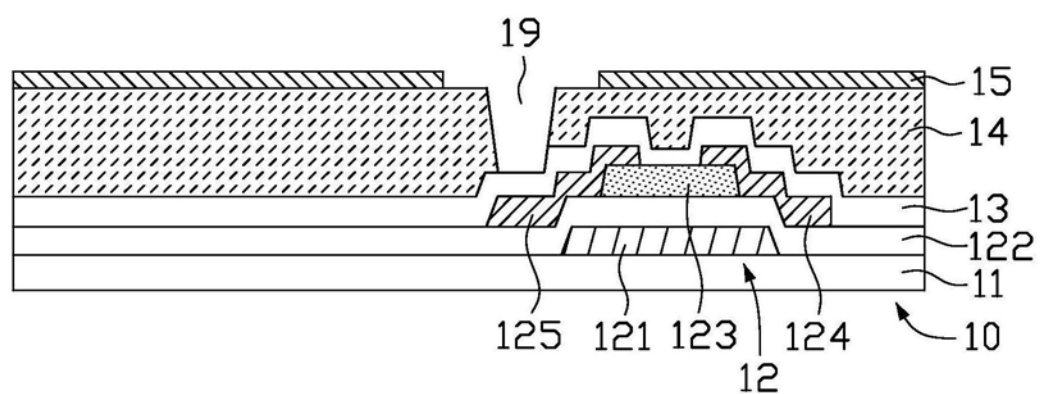


图6i

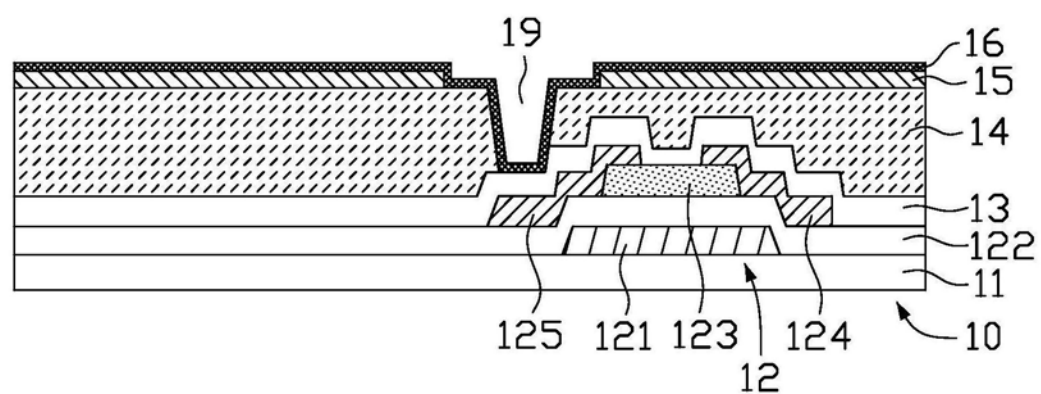


图6j

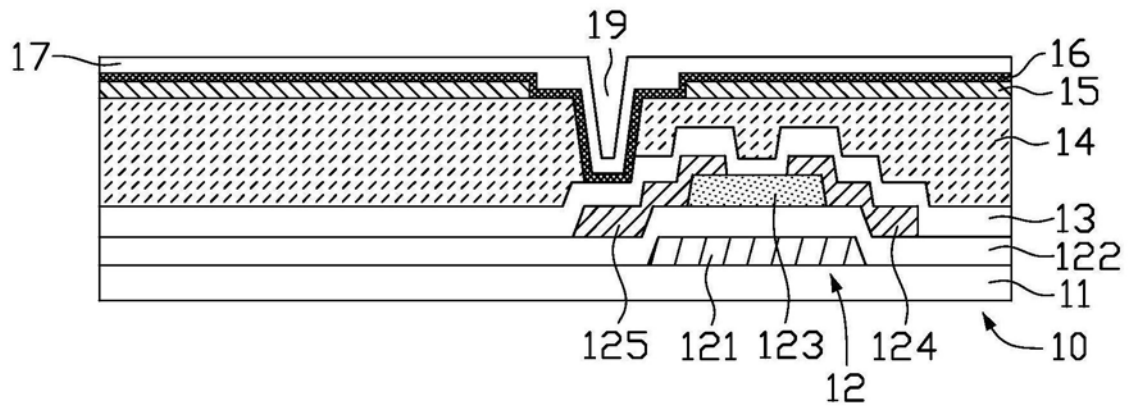


图6k

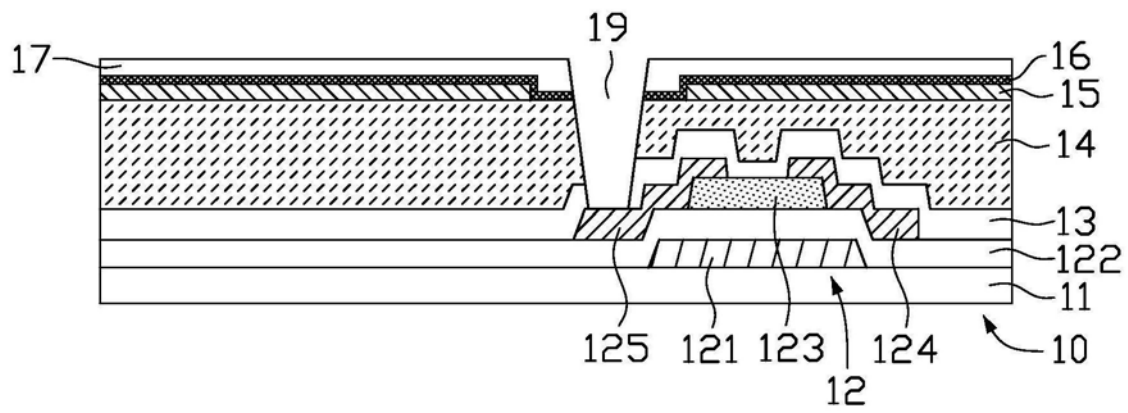


图6l

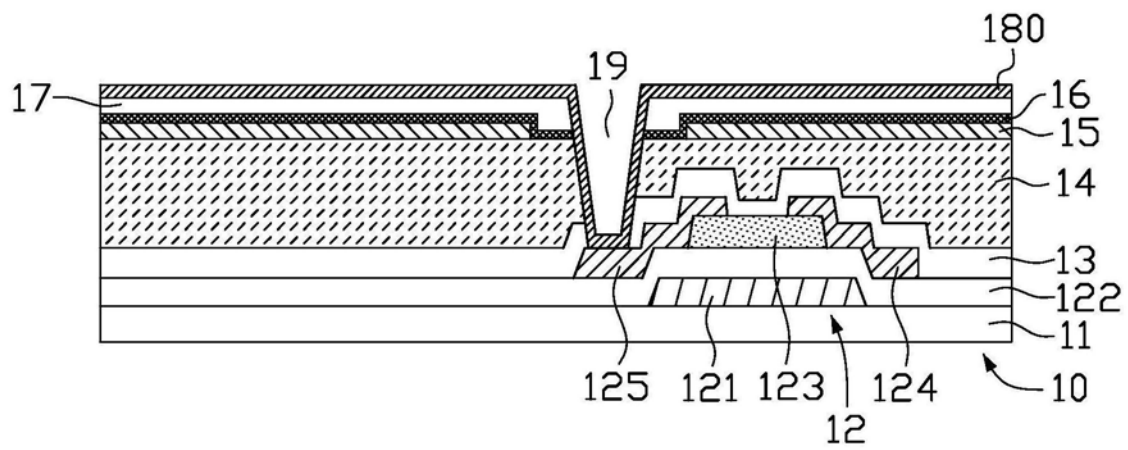


图6m

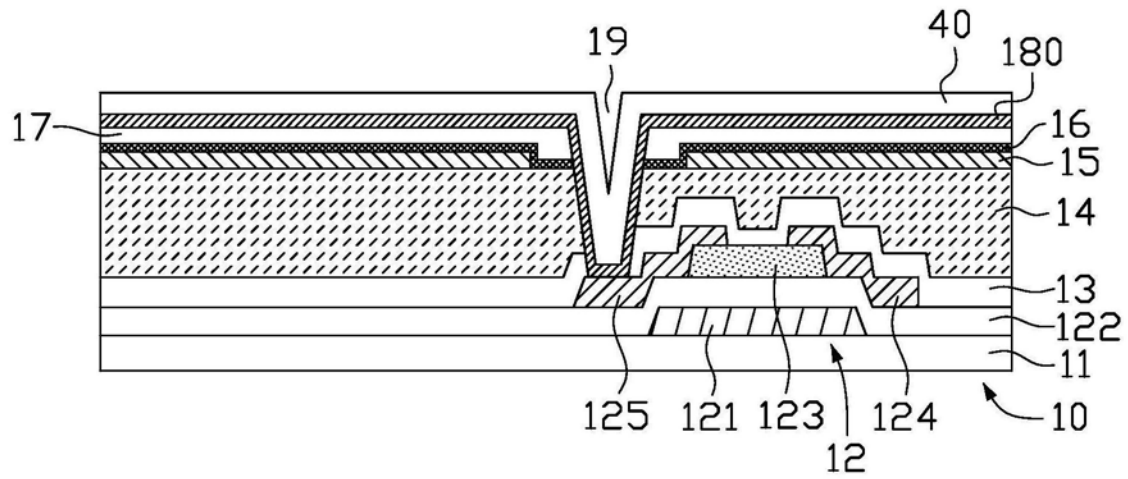


图6n

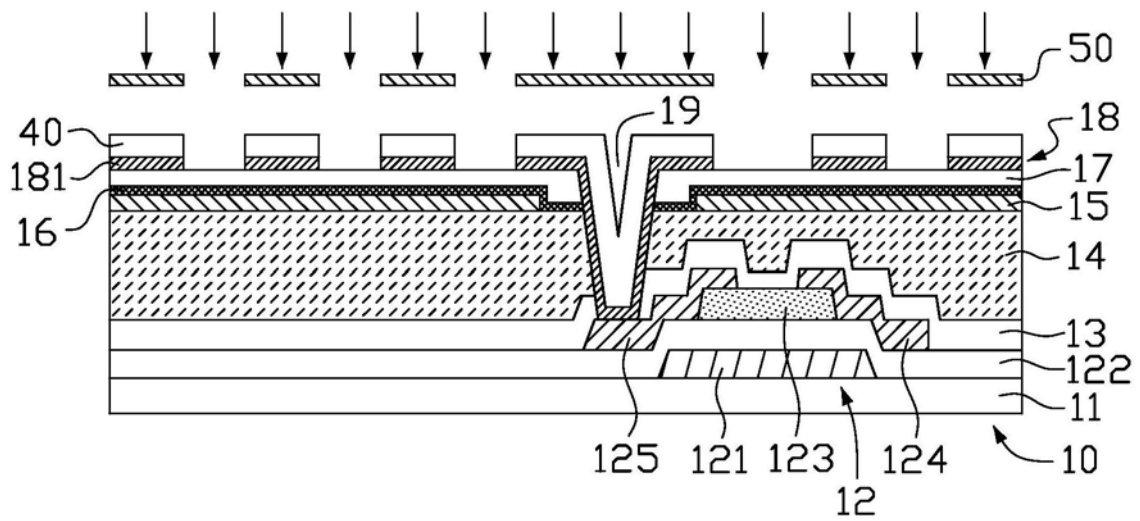


图6o

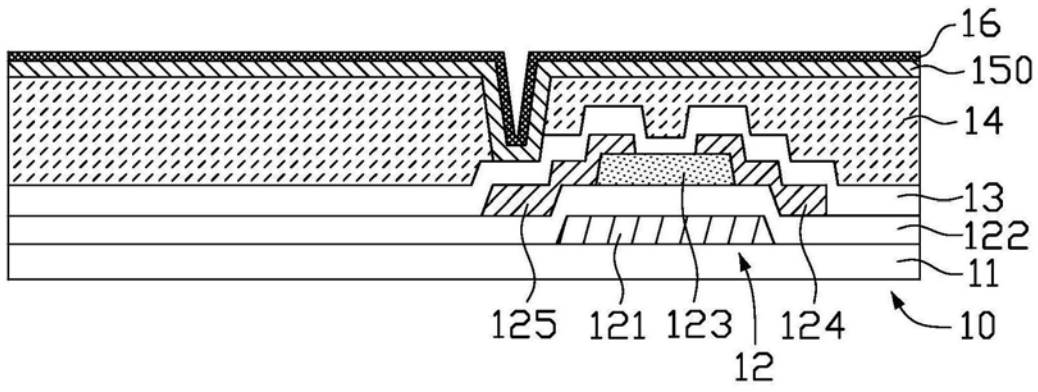


图7b

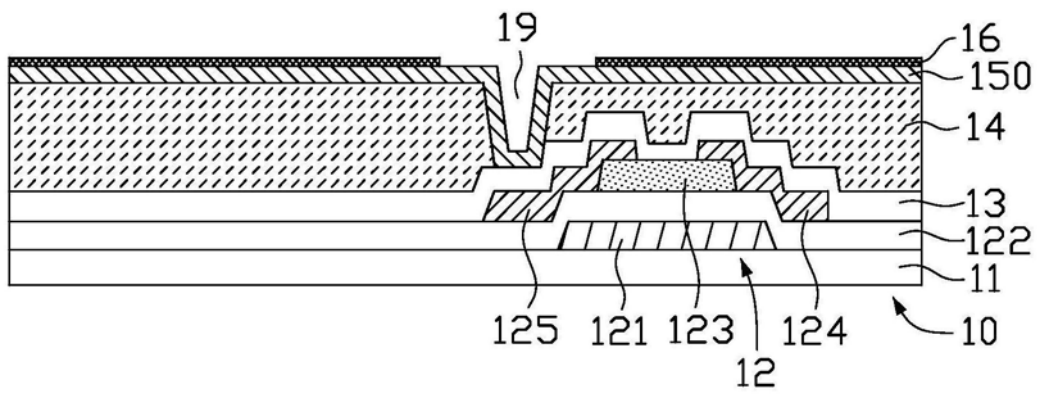


图7c

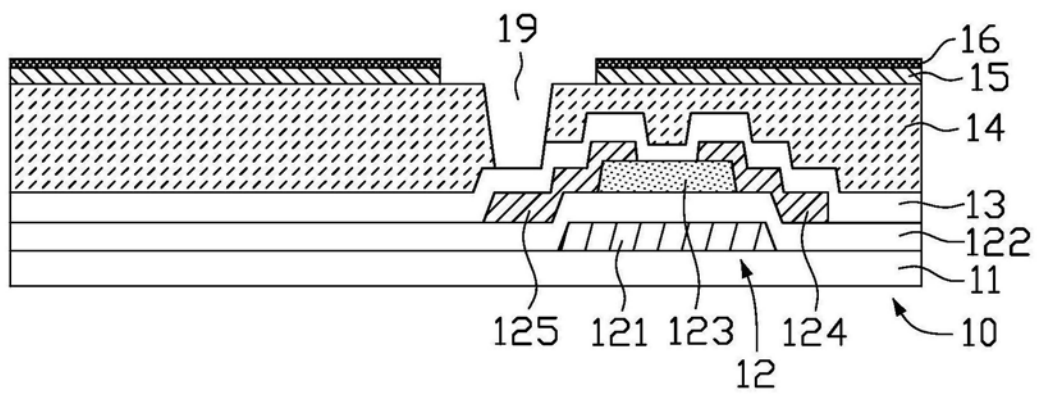


图7d

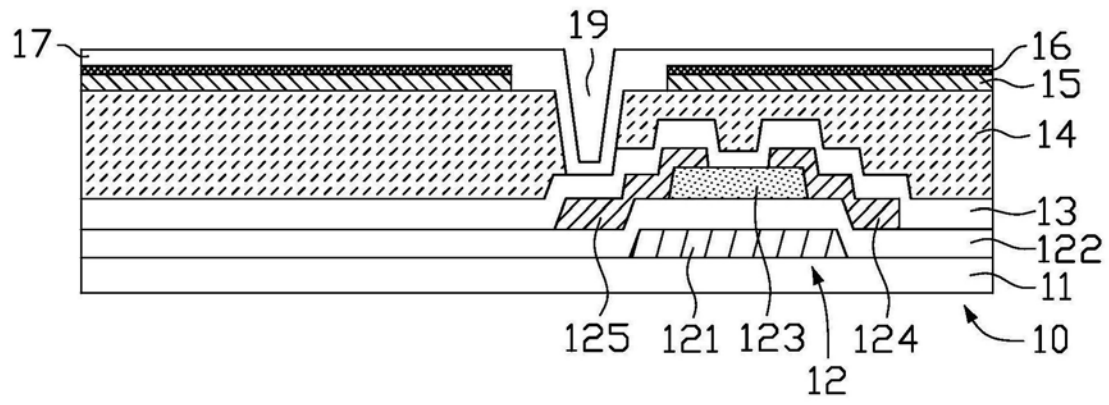


图7e

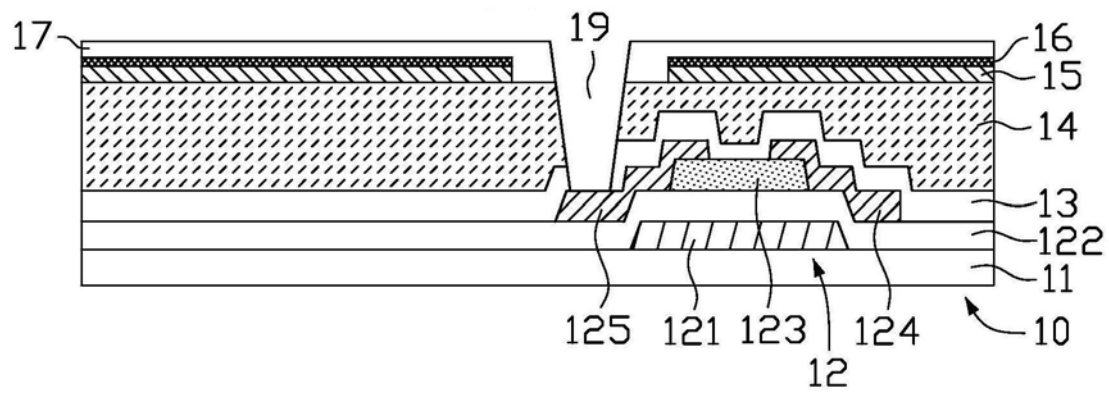


图7f

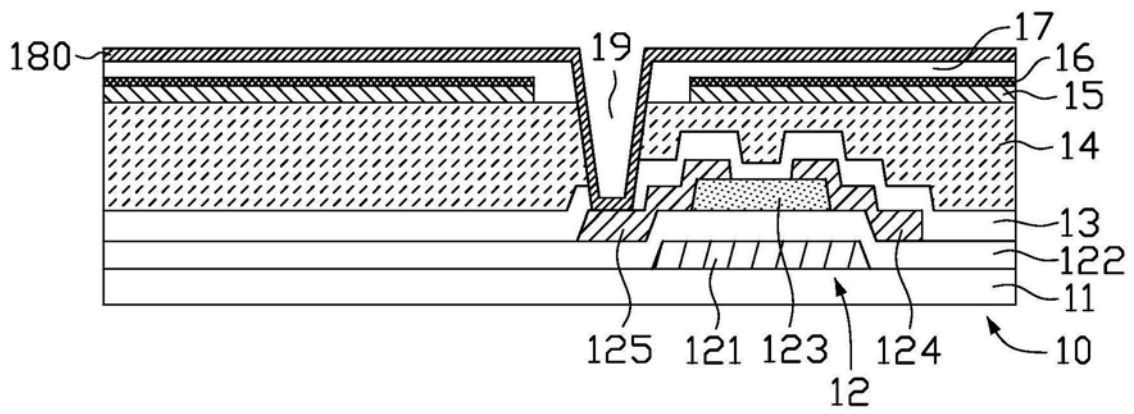


图7g

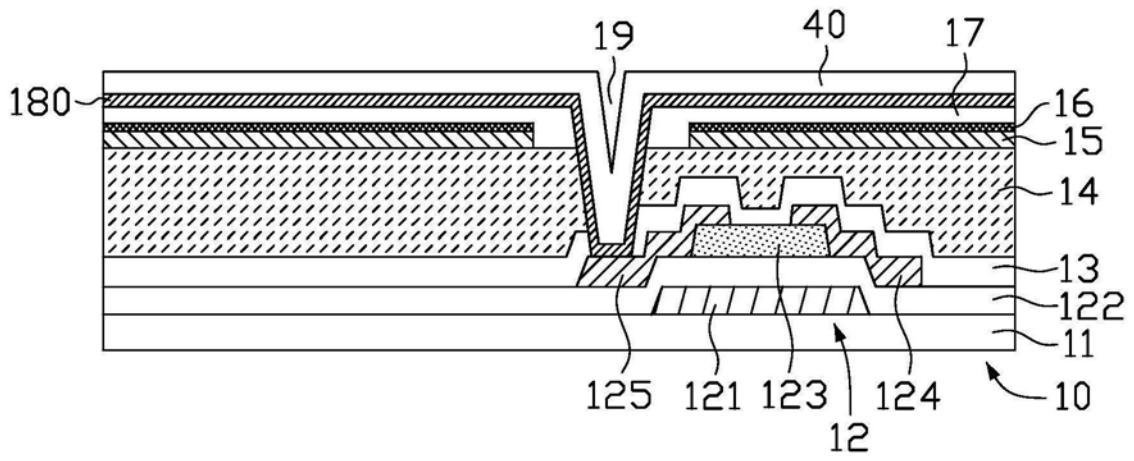


图7h

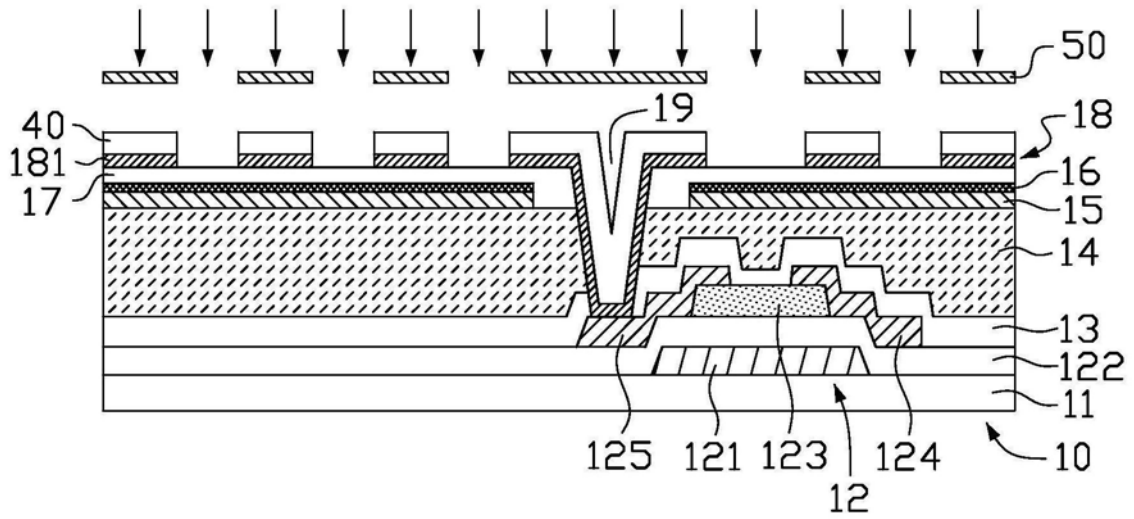


图7i

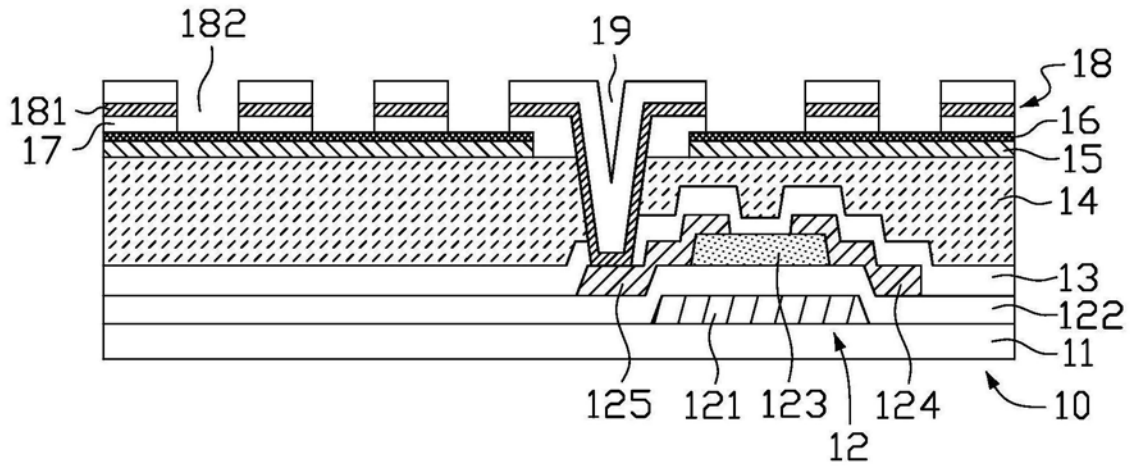


图7j

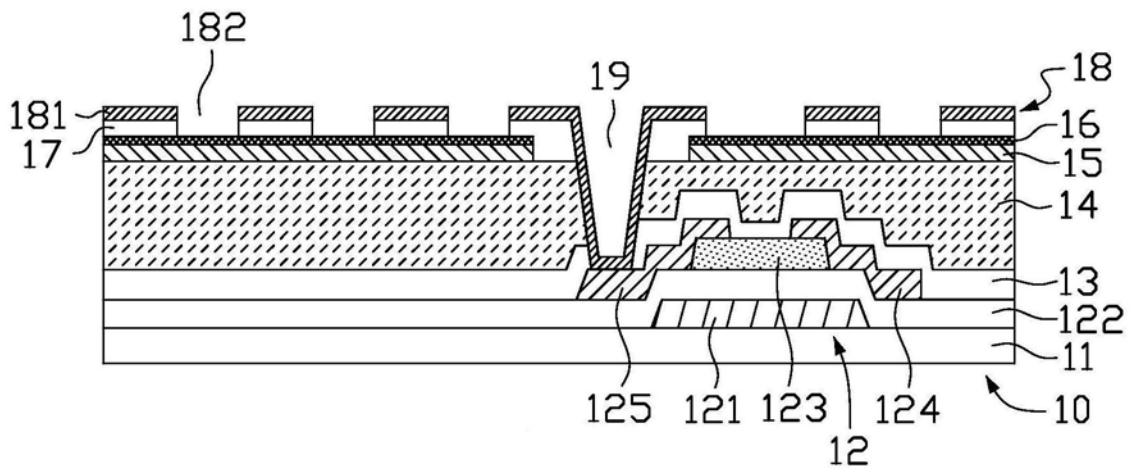


图7k

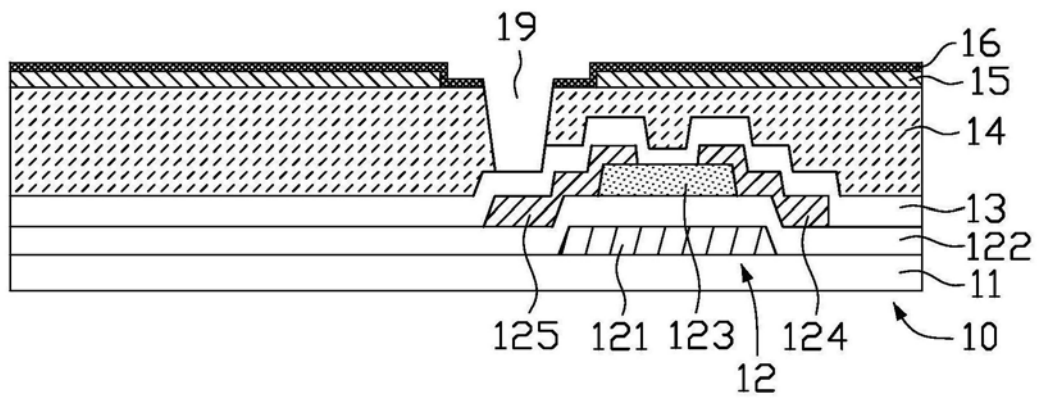


图8a

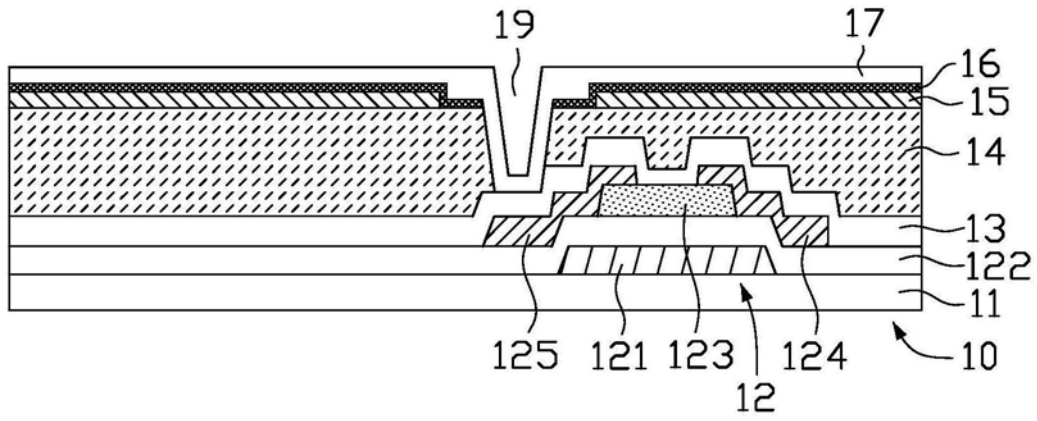


图8b

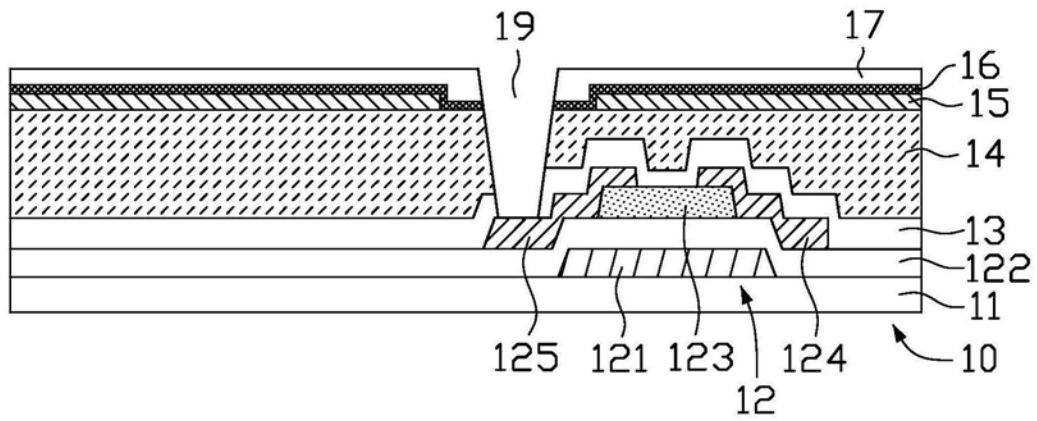


图8c

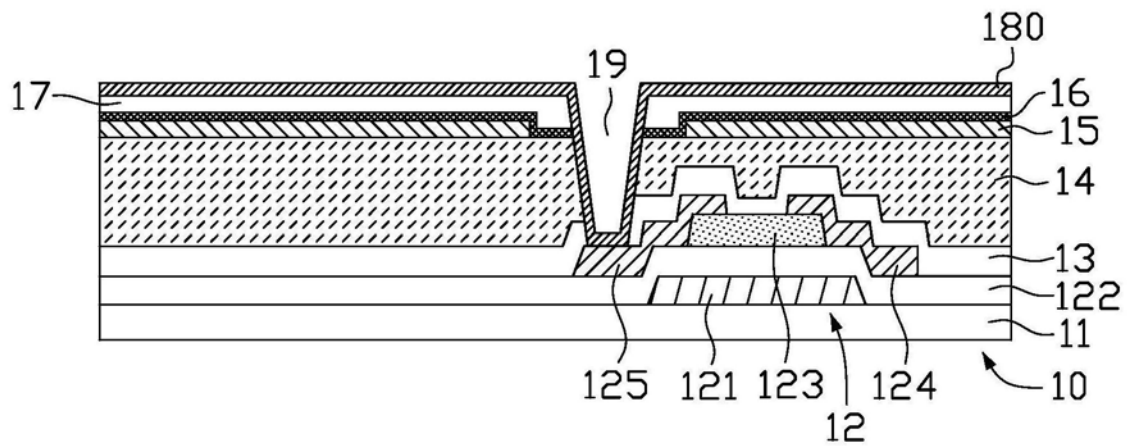


图8d

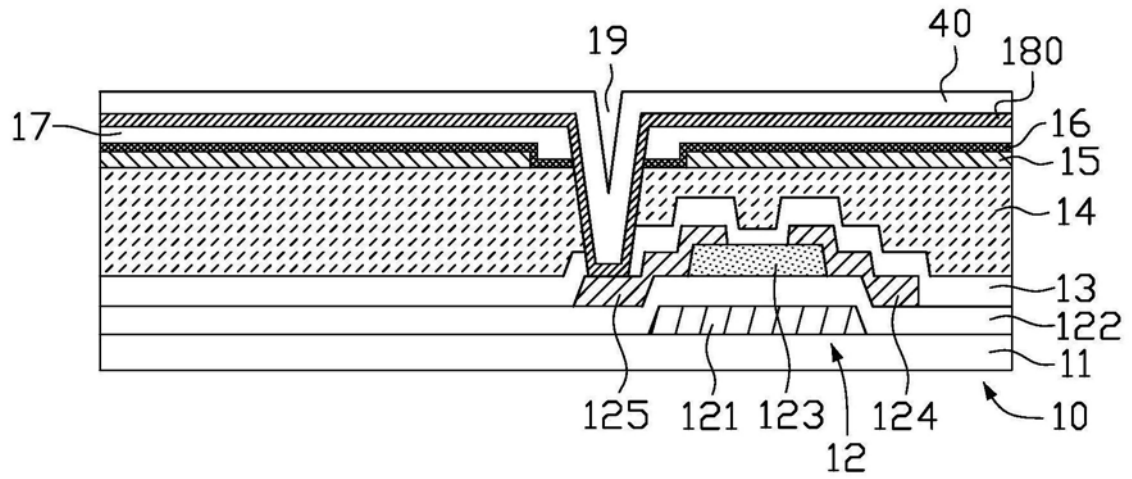


图8e

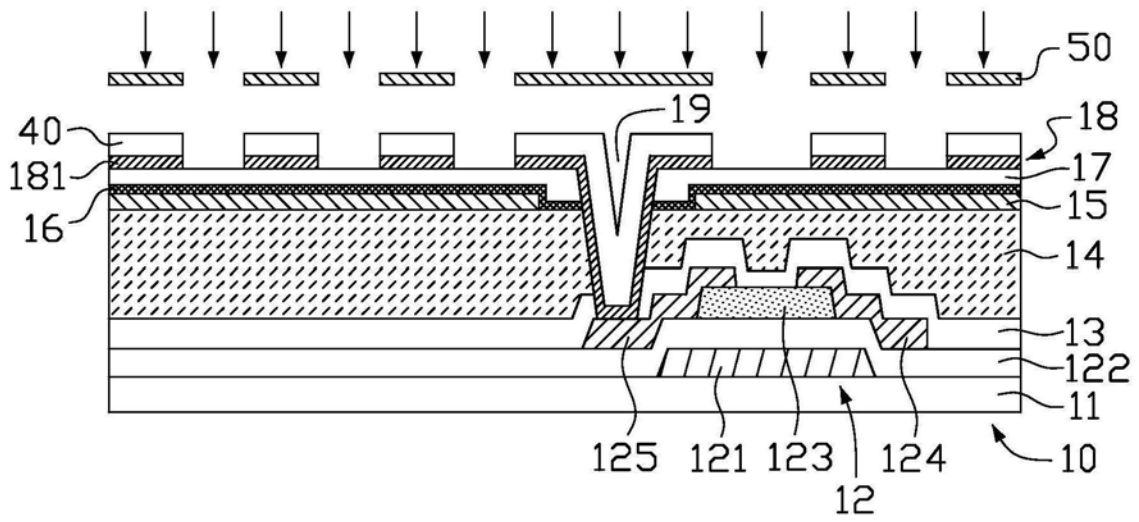


图8f

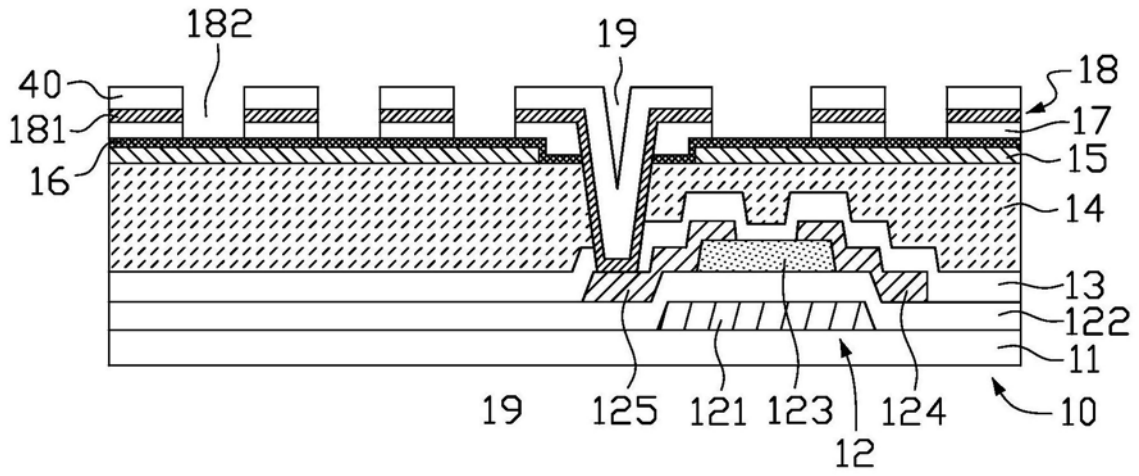


图8g

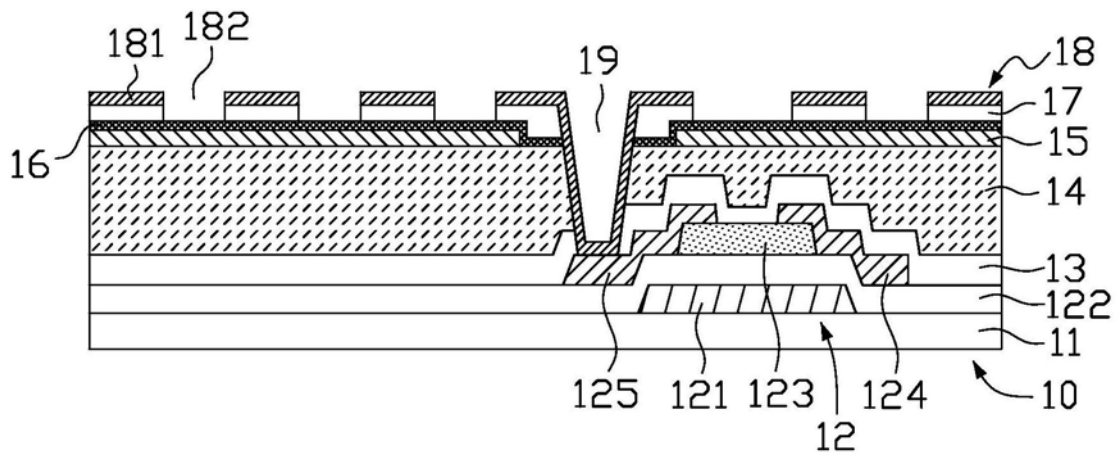


图8h