



(12) 发明专利

(10) 授权公告号 CN 106980215 B

(45) 授权公告日 2021.10.08

(21) 申请号 201710036872.7

(51) Int.Cl.

(22) 申请日 2017.01.18

G02F 1/1362 (2006.01)

H01L 27/12 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 106980215 A

审查员 俞思敏

(43) 申请公布日 2017.07.25

(30) 优先权数据

10-2016-0005998 2016.01.18 KR

(73) 专利权人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 徐振娥

(74) 专利代理机构 北京钲霖知识产权代理有限公司

公司 11722

代理人 李英艳 冯志云

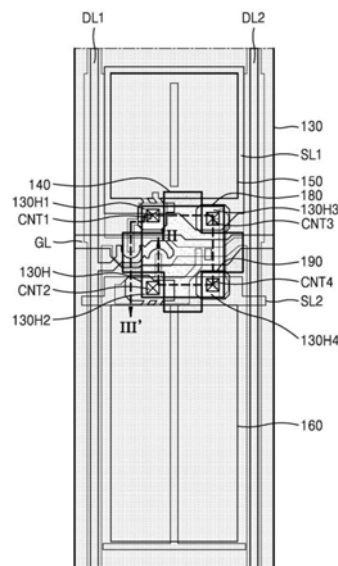
权利要求书2页 说明书10页 附图13页

(54) 发明名称

薄膜晶体管基板、包括其的液晶显示装置和制造其的方法

(57) 摘要

本发明提供了薄膜晶体管基板、包括其的液晶显示装置和制造其的方法。该薄膜晶体管基板包括单独形成的间隔壁以便更容易地控制形成在液晶显示器 (LCD) 的滤色器中的通孔的尺寸。



1. 一种薄膜晶体管基板,包括:
在第一方向上延伸的栅线;
在交叉所述第一方向的第二方向上延伸的第一数据线和第二数据线;
电连接到所述栅线和所述第一数据线的的第一薄膜晶体管;
与所述第一薄膜晶体管相邻的第二薄膜晶体管;
覆盖所述第一薄膜晶体管和所述第二薄膜晶体管的滤色器层,所述滤色器层具有第一颜色并形成在其中的通孔;
设置在所述滤色器层上且电连接到所述第一薄膜晶体管的第一像素电极;
设置在所述滤色器层上且电连接到所述第二薄膜晶体管的第二像素电极;以及
间隔壁,与所述滤色器层单独形成且设置在所述通孔内部且空间地划分所述通孔以在所述通孔内形成至少两个子孔,所述至少两个子孔彼此被所述间隔壁分开,
其中:
所述第一像素电极连接到通过所述至少两个子孔中的第一子孔暴露的所述第一薄膜晶体管;以及
所述第二像素电极连接到通过所述至少两个子孔中的第二子孔暴露的所述第二薄膜晶体管。
2. 如权利要求1所述的薄膜晶体管基板,其中所述间隔壁具有与所述第一颜色不同的第二颜色。
3. 如权利要求1所述的薄膜晶体管基板,其中所述间隔壁的端部分交叠所述滤色器层的与所述通孔相邻的端部分。
4. 如权利要求1所述的薄膜晶体管基板,其中:
所述第一像素电极设置为在所述第一数据线与所述第二数据线之间与所述栅线相邻;
所述第二像素电极设置为在与所述第一像素电极相邻的位置中在所述第一数据线与所述第二数据线之间与所述栅线相邻;以及
所述栅线设置在所述第一像素电极与所述第二像素电极之间。
5. 如权利要求1所述的薄膜晶体管基板,其中所述第二薄膜晶体管电连接到所述栅线和所述第一数据线。
6. 如权利要求5所述的薄膜晶体管基板,其中:
所述第一像素电极包括高像素电极;以及
所述第二像素电极包括低像素电极。
7. 如权利要求6所述的薄膜晶体管基板,还包括:
设置在所述滤色器层之下且与所述第一像素电极相邻的第一存储线;以及
设置在所述滤色器层之下且与所述第二像素电极相邻的第二存储线。
8. 如权利要求7所述的薄膜晶体管基板,还包括:
设置在所述滤色器层上且电连接到所述第一存储线的第一金属层;以及
设置在所述滤色器层上且电连接到所述第二存储线的第二金属层。
9. 如权利要求8所述的薄膜晶体管基板,其中:
所述通孔还包括被所述间隔壁分开的第三子孔和第四子孔;
所述第一金属层通过所述第三子孔连接到所述第一存储线;以及

所述第二金属层通过所述第四子孔连接到所述第二存储线。

10. 如权利要求1所述的薄膜晶体管基板, 其中所述第二薄膜晶体管电连接到所述栅线和所述第二数据线。

11. 一种液晶显示装置, 包括:

如权利要求1所述的薄膜晶体管基板;

面对所述薄膜晶体管基板的配对基板; 以及

设置在所述薄膜晶体管基板与所述配对基板之间的液晶层。

12. 一种制造薄膜晶体管基板的方法, 所述方法包括:

在基板上形成彼此相邻的第一薄膜晶体管和第二薄膜晶体管;

形成覆盖所述第一薄膜晶体管 and 所述第二薄膜晶体管的滤色器层, 所述滤色器层具有第一颜色和在其中的通孔;

在形成所述通孔之后, 在所述通孔内部形成间隔壁, 所述间隔壁将所述通孔划分成至少两个子孔, 所述至少两个子孔彼此被所述间隔壁分开;

形成连接到通过所述至少两个子孔中的第一子孔暴露的所述第一薄膜晶体管的第一像素电极; 以及

形成连接到通过所述至少两个子孔中的第二子孔暴露的所述第二薄膜晶体管的第二像素电极。

13. 如权利要求12所述的方法, 其中所述间隔壁包括与所述第一颜色不同的颜色的颜料。

14. 如权利要求12所述的方法, 其中所述间隔壁的端部分交叠所述滤色器层的与所述通孔相邻的端部分。

15. 如权利要求12所述的方法, 其中所述第一薄膜晶体管 and 所述第二薄膜晶体管电连接到相同的栅线和相同的数据线。

16. 如权利要求12所述的方法, 还包括:

形成与所述第一像素电极相邻的第一存储线; 以及

形成与所述第二像素电极相邻的第二存储线。

17. 如权利要求16所述的方法, 其中所述第一存储线 and 所述第二存储线设置在所述基板与所述滤色器层之间。

18. 如权利要求16所述的方法, 还包括:

在所述滤色器层上形成第一金属层 and 第二金属层。

19. 如权利要求18所述的方法, 其中:

所述通孔还包括被所述间隔壁彼此分开的第三子孔 and 第四子孔;

所述第一金属层通过所述第三子孔连接到所述第一存储线; 以及

所述第二金属层通过所述第四子孔连接到所述第二存储线。

20. 如权利要求12所述的方法, 其中所述第一薄膜晶体管 and 所述第二薄膜晶体管电连接到相同的栅线。

薄膜晶体管基板、包括其的液晶显示装置和制造其的方法

技术领域

[0001] 本发明的示例性实施方式总体而言涉及薄膜晶体管基板,并且,更具体地,涉及包括其的液晶显示装置,和制造其的方法。

背景技术

[0002] 因为特定的液晶显示装置具有使其适合于便携使用的诸如低工作电压和低功耗的优点,所以液晶显示装置在诸如笔记本电脑、监视器、航天器和飞机的各种各样的领域中被广泛使用。

[0003] 液晶显示装置包括设置在两个基板之间的液晶(LC)层,并且通过根据施加于其的电场的大小调节LC层的布置状态从而调节光的透射来显示图像。

[0004] 通常,因为薄膜晶体管形成在两个基板中的下基板上,所以下基板被称为薄膜晶体管基板。另一方面,因为滤色器形成在上基板上,所以上基板可以被称为滤色器基板。

[0005] 然而,当滤色器基板和薄膜晶体管基板被单独制造然后被附接在一起时,在制造工艺中已经具有复杂性并且在对准这两个基板方面已经包括了困难。

[0006] 为了克服上述制造的缺点,具有设置在薄膜晶体管基板上的滤色器以便更加简化制造工艺和改善对准的液晶显示装置已经被提出。当滤色器被设置在薄膜晶体管基板上时,滤色器通常包括用于诸如像素电极和薄膜晶体管的电路部件之间的电连接的孔。

[0007] 孔可以在滤色器被制造的同时通过常规的光刻曝光和显影工艺形成,但由于过度曝光或不曝光通常难以控制孔的尺寸。

[0008] 在本背景部分中公开的以上信息只是为了增强本发明构思的上下文的理解,因此,可以包含不构成在本国已经为本领域普通技术人员所知的现有技术的信息。

发明内容

[0009] 本发明的一个或更多个示例性实施方式提供可以容易地控制形成在滤色器中的孔的尺寸的薄膜晶体管基板、包括其的液晶显示装置和制造其的方法。

[0010] 根据一个或更多个示例性实施方式,薄膜晶体管基板包括:在第一方向上延伸的栅线;在交叉第一方向的第二方向上延伸的第一数据线和第二数据线;电连接到栅线和第一数据线的第二薄膜晶体管;与第一薄膜晶体管相邻的第二薄膜晶体管;覆盖第一薄膜晶体管和第二薄膜晶体管的滤色器层,该滤色器层具有第一颜色并形成在其中的通孔;设置在滤色器层上且电连接到第一薄膜晶体管的第一像素电极;设置在滤色器层上且电连接到第二薄膜晶体管的第二像素电极;以及间隔壁,与滤色器层单独形成且设置在通孔内部且空间地划分通孔,使得至少两个彼此分开的子孔通过间隔壁形成在通孔中,其中第一像素电极连接到通过至少两个子孔中的第一子孔暴露的第一薄膜晶体管,并且第二像素电极连接到通过至少两个子孔中的第二子孔暴露的第二薄膜晶体管。

[0011] 间隔壁可以具有与第一颜色不同的第二颜色。

[0012] 间隔壁的末端可以交叠滤色器层的与通孔相邻的末端。

[0013] 第一像素电极可以设置为在第一数据线与第二数据线之间与栅线相邻,第二像素电极可以设置为在与第一像素电极相邻的位置中在第一数据线与第二数据线之间与栅线相邻,栅线可以设置在第一像素电极与第二像素电极之间。

[0014] 第二薄膜晶体管可以电连接到栅线和第一数据线。

[0015] 第一像素电极可以包括高像素电极,第二像素电极可以包括低像素电极。

[0016] 薄膜晶体管基板还可以包括设置在滤色器层之下且与第一像素电极相邻的第一存储线,并且第二存储线可以设置在滤色器层之下且与第二像素电极相邻。

[0017] 薄膜晶体管基板还可以包括设置在滤色器层上且电连接到第一存储线的第一金属层,以及设置在滤色器层上且电连接到第二存储线的第二金属层。

[0018] 通孔还可以包括被间隔壁分开的第三子孔和第四子孔,第一金属层可以通过第三子孔连接到第一存储线,第二金属层可以通过第四子孔连接到第二存储线。

[0019] 第二薄膜晶体管可以电连接到栅线和第二数据线。

[0020] 根据一个或更多个实施方式,液晶显示装置可以包括上述薄膜晶体管基板、面对薄膜晶体管基板的配对基板和设置在薄膜晶体管基板与配对基板之间的液晶层。

[0021] 根据一个或更多个实施方式,制造薄膜晶体管基板的方法包括:在基板上形成彼此相邻的第一薄膜晶体管和第二薄膜晶体管;形成覆盖第一薄膜晶体管和第二薄膜晶体管的滤色器层,滤色器层具有第一颜色和在其中的通孔;在形成通孔之后,在通孔内部形成间隔壁,间隔壁将通孔划分成至少两个子孔;形成连接到通过至少两个子孔中的第一子孔暴露的第一薄膜晶体管的第一像素电极;以及形成连接到通过至少两个子孔中的第二子孔暴露的第二薄膜晶体管的第二像素电极。

[0022] 间隔壁可以包括与第一颜色不同的颜色的颜料。

[0023] 间隔壁的末端可以交叠滤色器层的与通孔相邻的末端。

[0024] 第一薄膜晶体管和第二薄膜晶体管可以电连接到相同的栅线和相同的数据线。

[0025] 该方法还可以包括形成与第一像素电极相邻的第一数据线,和形成与第二像素电极相邻的第二数据线。

[0026] 第一数据线和第二数据线可以设置在基板与滤色器层之间。

[0027] 该方法还可以包括在滤色器层上形成第一金属层和第二金属层。

[0028] 通孔还可以包括被间隔壁彼此分开的第三子孔和第四子孔,第一金属层可以通过第三子孔连接到第一存储线,第二金属层可以通过第四子孔连接到第二存储线。

[0029] 第一薄膜晶体管和第二薄膜晶体管可以电连接到相同的栅线。

[0030] 根据示例性实施方式,可以容易地控制形成在滤色器中的孔的尺寸。

[0031] 额外的方面将在随后的详细描述中进行陈述,并且,部分地,从本公开中将是显而易见的,或者可以通过本发明构思的实践被学习。

[0032] 前述的一般描述和随后的详细描述是示例性的和解释性的并且旨在提供仅由所附的权利要求界定的本发明主题的进一步解释。

附图说明

[0033] 被包括来提供本发明构思的进一步理解并且被合并在本说明书中和组成本说明书的一部分的附图示出本发明构思的示例性实施方式,并且与说明一起用来解释本发明构

思的原理。

[0034] 图1是示出根据本发明一示例性实施方式构造的液晶显示装置的像素布置的平面图。

[0035] 图2是示出根据本发明一示例性实施方式的一个像素的提取平面图。

[0036] 图3是沿图2的线III-III' 截取的像素的截面图。

[0037] 图4是示出图2的液晶电容器的晶体管和像素电极的布置的提取平面图。

[0038] 图5是示出图2的滤色器层和间隔壁的平面图。

[0039] 图6A、图6B、图6C、图6D和图6E是示出根据本发明的原理制造薄膜晶体管基板的方法的截面图。

[0040] 图7是参照图2至6E描述的根据本发明一示例性实施方式的像素的等效电路图。

[0041] 图8是根据本发明另一示例性实施方式的像素的等效电路图。

[0042] 图9是示出根据本发明又一示例性实施方式的像素的平面图。

[0043] 图10是沿图9的线X-X' 截取的像素的截面图。

具体实施方式

[0044] 在随后的描述中,出于解释的目的,为了提供各种不同的示例性实施方式的透彻理解,陈述许多具体细节。然而,显而易见的是,可以实践各种不同的示例性实施方式而不用这些具体细节或者用一种或更多种等同布置。在其它情形中,为了避免不必要地模糊各种不同的示例性实施方式,众所周知的结构和器件以框图的形式显示。

[0045] 除非另有说明,否则示出的示例性实施方式将被理解为提供各种不同的示例性实施方式的不同细节的示例性特征。因此,除非另有说明,否则各种不同的图示的特征、部件、模块、层、膜、面板、区域和/或方面可以被组合、分开、互换和/或重新布置而不背离公开的示例性实施方式。进一步地,在附图中,层、膜、面板、区域等的尺寸和相对尺寸可以出于清晰和描述性的目的被夸大。当可以不同地实施一示例性实施方式时,可以与所述顺序不同地执行具体的工艺顺序。例如,两个连续描述的工艺可以基本上同时进行或以与所述顺序相反的顺序进行。而且,相同的附图标记表示相同的元件。

[0046] 当一元件或层被称为“在”另外的元件或层“上”、“连接到”或“联接到”另外的元件或层时,它可以直接在所述另外的元件或层上、直接连接到或联接到所述另外的元件或层,或者可以存在居间元件或层。然而,当一元件或层被称为“直接在”另外的元件或层“上”、“直接连接到”或“直接联接到”另外的元件或层时,则没有居间元件或层存在。进一步地,x轴、y轴和z轴不限于直角坐标系的三个轴,并且可以被更广义地解释。例如,x轴、y轴和z轴可以垂直于彼此,或者可以代表不垂直于彼此的不同方向。出于本公开的目的,“X、Y和Z中的至少一个”和“从包括X、Y和Z的组中选出的至少一个”可以被解释为只有X、只有Y、只有Z,或者X、Y和Z中的两个或更多个的任意组合,诸如,例如XYZ、XYX、YZ和ZZ。当在这里使用时,术语“和/或”包括相关列举项目中的一个或更多个的任意和所有组合。

[0047] 虽然术语“第一”、“第二”等可以在此用来描述各种不同的元件、部件、区域、层和/或部分,但是这些元件、部件、区域、层和/或部分不应被这些术语限制。这些术语是用来将一个元件、部件、区域、层和/或部分与另一个元件、部件、区域、层和/或部分区分开。因此,以下讨论的第一元件、部件、区域、层和/或部分可以被称为第二元件、部件、区域、层和/或

部分,而不背离示例本公开的教导。

[0048] 出于描述的目的,在这里可以使用诸如“在……之下”、“在……下面”、“下部”、“在……之上”、“上部”等的空间关系术语,从而来描述如图中所示的一个元件或特征的与另外的元件(们)或特征(们)的关系。除了图中所绘的取向之外,空间关系术语旨在涵盖装置在使用、操作和/或制造中的不同取向。例如,如果图中的装置被翻转,则被描述为“在”另外的元件或特征“下面”或“之下”的元件将取向为“在”所述另外的元件或特征“之上”。因此,示例性术语“在……下面”能包含上和下两个方向。此外,装置可以被另外取向(例如旋转90度或处于另外的取向),并且,照这样,在此使用的空间关系描述语被相应地解释。

[0049] 在此使用的术语是出于描述特定实施方式的目的,不旨在是限制性的。当在此使用时,单数形式“一”和“该”也旨在包括复数形式,除非上下文清楚地另有所指。此外,当在本说明书中使用时,术语“包含”和/或“包括”指明所陈述的特征、整体、步骤、操作、元件、部件和/或其组的存在,但不排除一个或更多个其他特征、整体、步骤、操作、元件、部件和/或其组的存在或添加。

[0050] 在这里参照截面图描述各种不同的示例性实施方式,所述截面图是理想化的示例性实施方式和/或中间结构的示意图。照这样,将预期到作为例如制造技术和/或公差的结果的相对于图示的形状的变化。因此,在此公开的示例性实施方式不应被解释为限于示出的区域的具体形状,而将包括例如由制造引起的形状的偏离。例如,被示为矩形的注入区将通常在其边缘处具有圆化的或弯曲的特征和/或注入浓度的梯度,而非从注入区到非注入区的二元变化。同样地,由注入形成的埋入区可以引起埋入区与注入通过其发生的表面之间的区域中的某些注入。因此,图中所示的区域本质上是示意性的,并且它们的形状不旨在示出器件的区域的实际形状,且不旨在是限制性的。

[0051] 除非另外规定,在此使用的所有术语(包括技术术语和科学术语)具有与本公开是其一部分的领域的普通技术人员通常理解的相同的含义。诸如通用词典中定义的术语的术语应被解释为具有与在相关技术的背景下的它们的含义相一致的含义,且将不在理想化或过度形式化的意义上被解释,除非在此明确地如此界定。

[0052] 图1是示出根据本发明一示例性实施方式的液晶显示装置的像素布置的平面图。

[0053] 参照图1,液晶显示装置包括沿第一方向D1和第二方向D2布置成矩形构型的多个像素P。所述多个像素P可以包括红色、绿色和蓝色像素P。相同颜色的像素P可以沿第二方向D2设置。

[0054] 第一至第三滤色器层130R、130G和130B可以设置在多个像素P上。第一滤色器层130R可以是入射光转换成红色光的红色滤色器。第一滤色器层130R可以对应于红色像素并且基本上成直线地延伸。第二滤色器层130G可以是入射光转换成绿色光的绿色滤色器。第二滤色器层130G可以对应于绿色像素并且基本上成直线地延伸。第三滤色器层130B可以是入射光转换成蓝色光的蓝色滤色器。第三滤色器层130B可以对应于蓝色像素并且基本上成直线地延伸。

[0055] 每一个像素P包括形成在基板上的薄膜晶体管和电连接到晶体管的液晶电容器。第一至第三滤色器层130R、130G和130B设置在薄膜晶体管形成在其上的相同的基板上。例如,第一至第三滤色器层130R、130G和130B可以设置在薄膜晶体管与液晶电容器的像素电极之间,并且包括用来将薄膜晶体管电连接到液晶电容器的像素电极的孔。

[0056] 图2是示出根据本发明一示例性实施方式的一个像素的提取平面图,图3是沿图2的线III-III' 截取的像素的截面图,图4是示出图2的液晶电容器的晶体管和像素电极的布置的提取平面图,图5是示出图2的滤色器层和间隔壁的平面图。

[0057] 参照图2、3和4,液晶显示装置包括彼此相对的薄膜晶体管基板10和配对基板20,以及设置在其间的液晶(LC)层30。

[0058] 栅线GL以及第一和第二数据线DL1和DL2设置在第一基板100上。栅线GL沿第一方向延伸,第一数据线DL1和第二数据线DL2沿交叉第一方向的第二方向延伸。第一至第三薄膜晶体管T1、T2和T3设置为在第一数据线DL1与第二数据线DL2之间与栅线GL相邻。

[0059] 栅线GL电连接到第一薄膜晶体管T1的栅电极、第二薄膜晶体管T2的栅电极和第三薄膜晶体管T3的栅电极。例如,一部分栅线GL形成第一至第三薄膜晶体管T1、T2和T3的栅电极。

[0060] 第一数据线DL1电连接到第一薄膜晶体管T1的源电极和第二薄膜晶体管T2的源电极。

[0061] 第二数据线DL2沿第一方向与第一数据线DL1间隔开。第二数据线DL2电连接到与图2中所示的像素相邻的像素(未示出)的薄膜晶体管(未示出)。

[0062] 第一像素电极150设置为与第二像素电极160相邻并且栅线GL设置在其间。在平面图中,第一像素电极150设置在第一数据线DL1与第二数据线DL2之间在栅线GL之上,第二像素电极160设置在第一数据线DL1与第二数据线DL2之间在栅线GL之下。

[0063] 在本发明一示例性实施方式中,第一像素电极150是高像素电极且电连接到第一薄膜晶体管T1。第一像素电极150可以通过第一接触部分CNT1电连接到第一薄膜晶体管T1的漏电极。第二像素电极160是低像素电极且电连接到第二薄膜晶体管T2。第二像素电极160可以通过第二接触部分CNT2电连接到第二薄膜晶体管T2的漏电极。

[0064] 第一电压可以被施加于第一像素电极150,低于第一电压的第二电压可以被施加于第二像素电极160。取决于第一电压和第二电压,对应于第一像素电极150的一部分像素可以作为高像素被驱动,对应于第二像素电极160的一部分像素可以作为低像素被驱动。

[0065] 虽然未示出,但是第一像素电极150和第二像素电极160可以具有狭缝图案。例如,第一像素电极150和第二像素电极160可以包括彼此交叉的水平干线和垂直干线,以及连接到水平干线和垂直干线的多条支线。

[0066] 第一存储线SL1设置在第一数据线DL1与第二数据线DL2之间。第一存储线SL1是高存储线并且可以设置为与第一像素电极150相邻。例如,第一存储线SL1可以具有是闭合曲线的圆形,并且可以沿第一像素电极150的外周界设置。第一存储线SL1可以具有其它形状。例如,第一存储线SL1可以具有与以下将更详细地描述的第二存储线SL2的形状相同的形状。

[0067] 第一存储线SL1电连接到第三薄膜晶体管T3的源电极,并且通过第三接触部分CNT3连接到第一金属层180。

[0068] 第二存储线SL2设置在第一数据线DL1与第二数据线DL2之间。第二存储线SL2是低存储线并且可以设置为与第二像素电极160相邻。第二存储线SL2可以具有“H”形状。例如,第二存储线SL2可以包括基本上平行于栅电极的第一部分SL2a、相对于第一部分SL2a垂直延伸的第二部分SL2b以及连接到第二部分SL2b并且基本上平行于第一部分SL2a的第三部

分SL2c。然而,可以预期的是,虽然第二存储线SL2被描述为具有“H”形状,但是也可以使用其它形状。

[0069] 第二存储线SL2电连接到连接电极170。第二存储线SL2通过第四接触部分CNT4连接到第二金属层190。

[0070] 参照图2、3和4,滤色器层130设置在包括第一至第三薄膜晶体管T1、T2和T3以及第一和第二存储线SL1和SL2的像素电路层10A上。滤色器层130设置在第一和第二像素电极150和160以及第一和第二金属层180和190之下。第一和第二像素电极150和160以及第一和第二金属层180和190可以包括相同的材料并且可以设置在同一层上。

[0071] 滤色器层130包括第一颜色的颜料。例如,滤色器层130可以包括具有红色、绿色和蓝色中的一种的颜料。

[0072] 滤色器层130包括分别对应于第一至第四接触部分CNT1、CNT2、CNT3和CNT4的第一至第四子孔130H1、130H2、130H3和130H4。第一子孔130H1对应于第一接触部分CNT1,第二子孔130H2对应于第二接触部分CNT2,第三子孔130H3对应于第三接触部分CNT3,第四子孔130H4对应于第四接触部分CNT4。

[0073] 第一至第四子孔130H1、130H2、130H3和130H4被滤色器层130的通孔130H围绕,并且被间隔壁140彼此分开。间隔壁140可以具有如图2和5中所示的“+”形状,并且间隔壁140的端部分的一个或更多个可以交叠滤色器层130的与通孔130H相邻且围绕通孔130H的端部分。

[0074] 第一至第四子孔130H1、130H2、130H3和130H4可以通过例如在滤色器层130中形成通孔130H,然后单独形成如图5中所示地空间地划分通孔130H的间隔壁140而形成。

[0075] 作为对比示例,当形成滤色器层130之后,对应于示例性实施方式的第一至第四接触部分CNT1、CNT2、CNT3和CNT4的四个孔可以通过使用掩模的曝光和显影工艺形成。在使用掩模的曝光工艺期间,不期望的部分可能通过光的折射等被曝光(过度曝光),或者期望的部分可能不被曝光(不曝光)。在这种情况下,控制对应于第一至第四接触部分CNT1、CNT2、CNT3和CNT4的孔的尺寸可能是困难的。尤其,当像素P的尺寸是小的以获得高分辨率时,可能难以控制对应于第一至第四接触部分CNT1、CNT2、CNT3和CNT4的孔的尺寸。

[0076] 然而,根据本发明一示例性实施方式,当相对大尺寸的通孔130H形成之后,第一至第四子孔130H1、130H2、130H3和130H4是通过经由间隔壁140图案化通孔130H和将通孔130H划分成多个空间而形成,使得控制对应于第一至第四接触部分CNT1、CNT2、CNT3和CNT4的第一至第四子孔130H1、130H2、130H3和130H4的尺寸是容易的。此外,这样的方法可以防止上述的过度曝光或不曝光的出现。

[0077] 间隔壁140可以包括第二颜色的颜料。例如,间隔壁140可以包括与滤色器层130的颜色不同的颜色的颜料。根据一示例性实施方式,如果滤色器层130包括红色颜料,则间隔壁140可以包括绿色或蓝色颜料。

[0078] 配对基板20设置为与薄膜晶体管基板10相对并且LC层30设置在配对基板20与薄膜晶体管基板10之间。黑矩阵220和公共电极210可以设置在配对基板20的第二基板200上。

[0079] 虽然图3示出黑矩阵220和公共电极210设置在配对基板20上,但是其它布置是可能的。例如,公共电极210可以设置在薄膜晶体管基板10之上。或者,黑矩阵220和公共电极210两者可以设置在薄膜晶体管基板10上。

[0080] 图6A至6E是示出根据本发明一示例性实施方式的制造薄膜晶体管基板的工艺的截面图。

[0081] 参照图2、4和6A,栅线GL、第一数据线DL1、第二数据线DL2、第一至第三薄膜晶体管T1、T2和T3以及第一和第二存储线SL1和SL2形成在第一基板100上。

[0082] 首先,当金属层(未示出)形成在第一基板100之上后,栅线GL以及第一和第二存储线SL1和SL2通过图案化金属层而形成。栅线GL在第一方向上延伸,且一部分栅线GL形成第一至第三薄膜晶体管T1、T2和T3的栅电极。图6A示出第一和第二薄膜晶体管T1和T2的栅电极G1和G2。

[0083] 如图2中所示,在平面图中,第一存储线SL1可以形成在栅线GL之上,第二存储线SL2可以形成在栅线GL之下。

[0084] 然后,栅绝缘层103形成在第一基板100上。栅绝缘层103可以包括包含硅氧化物和/或硅氮化物的无机材料。虽然未示出,但是栅绝缘层103可以包括暴露第一存储线SL1和第二存储线SL2的孔。

[0085] 然后,在半导体材料层(未示出)和金属层(未示出)形成之后,半导体层、第一至第三薄膜晶体管T1、T2和T3的源电极和漏电极、第一和第二数据线DL1和DL2以及连接电极170通过图案化半导体材料层和金属层而形成。半导体材料层可以包括非晶硅(a-Si)、多晶硅和诸如铟镓锌氧化物(IGZO)的金属氧化物。一部分第一数据线DL1可以起到第一和第二薄膜晶体管T1和T2的源电极的作用。图6A示出半导体层A1和A2,第一和第二薄膜晶体管T1和T2的源电极S1和S2与漏电极D1和D2。虽然未在图6A中示出,但是连接电极170(见图4)通过栅绝缘层103中包括的孔电连接到第一和第二存储线SL1和SL2。

[0086] 然后,第一钝化层105形成在栅绝缘层103上。第一钝化层105可以包括包含硅氧化物和/或硅氮化物的无机材料。在另一示例性实施方式中,第一钝化层105可以包括诸如丙烯酸树脂、硅树脂和聚酰亚胺树脂的有机材料,但实施方式不限于此。

[0087] 参照图2和6B,包括通孔130H的滤色器层130通过在第一钝化层105上形成包括第一颜色的颜料的光敏抗蚀剂,并且执行使用掩模的曝光和显影工艺而形成。

[0088] 参照图2和6C,间隔壁140形成在通孔130H的内部。在形成另一像素的滤色器层(未示出)的工艺中,间隔壁140可以与另一像素的滤色器层一起形成。以这种方式,间隔壁140可以包括与滤色器层130中包括的颜料的第一颜色不同的颜色的颜料。

[0089] 如图2中所示,间隔壁140可以具有“+”形状。通孔130H被间隔壁140划分成第一至第四子孔130H1、130H2、130H3和130H4。

[0090] 参照图2和6D,第二钝化层107形成在滤色器层130和间隔壁140上。第二钝化层107可以包括包含硅氧化物和/或硅氮化物的无机材料。在另一示例性实施方式中,第二钝化层107可以包括诸如丙烯酸树脂、硅树脂和聚酰亚胺树脂的有机材料,但实施方式不限于此。

[0091] 然后,穿过第一和第二钝化层105和107的第三至第六孔H1、H2、H3和H4通过蚀刻第一和第二钝化层对应于第一至第四子孔130H1、130H2、130H3和130H4的部分而形成。

[0092] 第一薄膜晶体管T1的漏电极通过第一子孔130H1和第三孔H1暴露,第二薄膜晶体管T2的漏电极通过第二子孔130H2和第四孔H2暴露。例如其一部分连接到连接电极170的第一存储线SL1通过第三子孔130H3和第五孔H3暴露。例如其一部分连接到连接电极170的第二存储线SL2通过第四子孔130H4和第六孔H4暴露。

[0093] 参照图2、4和6E,第一和第二像素电极150和160以及第一和第二金属层180和190通过在第二钝化层107之上形成导电层(未示出)并图案化该导电层而形成。

[0094] 导电层可以是诸如铟锡氧化物(ITO)层和铟锌氧化物(IZO)层的透明导电氧化物(TCO)层。

[0095] 第一像素电极150连接到通过第一子孔130H1和第三孔H1暴露的第一薄膜晶体管T1,第二像素电极160连接到通过第二子孔130H2和第四孔H2暴露的第二薄膜晶体管T2。第一金属层180可以通过接触由第三子孔130H3和第五孔H3暴露的连接电极170而连接到第一存储线SL1。第二金属层190可以通过接触由第四子孔130H4和第六孔H4暴露的连接电极170而连接到第二存储线SL2。

[0096] 根据以上制造方法,如参照图5所描述地,在相对大尺寸的通孔130H形成之后,通孔130H通过图案化间隔壁140被划分成第一至第四子孔130H1、130H2、130H3和130H4,使得控制第一至第四子孔130H1、130H2、130H3和130H4的尺寸是容易的。

[0097] 图7是根据本发明一示例性实施方式参照图2至6E描述的像素的等效电路图。

[0098] 像素P包括高像素LC电容器C1c-1和低像素LC电容器C1c-2。第一薄膜晶体管T1的栅电极和源电极分别连接到栅线GL和第一数据线DL1,且第一薄膜晶体管T1的漏电极连接到高像素LC电容器C1c-1。高像素LC电容器C1c-1包括第一像素电极150(见图2和3)、LC层30(见图3)和公共电压Vcom施加于其的公共电极210(见图3)。

[0099] 第二薄膜晶体管T2的栅电极和源电极分别连接到栅线GL和第一数据线DL1,且第二薄膜晶体管T2的漏电极连接到低像素LC电容器C1c-2。低像素LC电容器C1c-2包括第二像素电极160(见图2和3)、LC层30(见图3)和公共电压Vcom施加于其的公共电极210(见图3)。

[0100] 存储电压Vcst被施加于第三薄膜晶体管T3的源电极。存储电压Vcst被施加于第一和第二存储线SL1和SL2(见图2和3),第一存储线SL1可以连接到第三薄膜晶体管T3的源电极。

[0101] 虽然未示出,但是第一像素电极150和第一存储线SL1可以形成第一存储电容器,第二像素电极160和第二存储线SL2可以形成第二存储电容器。

[0102] 根据本发明的原理构造的像素P的连接结构也可以适用于包括例如高像素电极和低像素电极的多个像素电极的实施方式,在该连接结构中,如上所述,滤色器层130包括通孔130H,且多个子孔130H1、130H2、130H3和130H4被设置在通孔130H内部的间隔壁140分开。

[0103] 因此,根据本发明的另一示例性实施方式,具有通孔130H和将通孔130H划分成多个子孔的间隔壁140的滤色器层130的结构适用于多个像素。以下参照图8和9作出其详细描述。

[0104] 图8是根据本发明另一示例性实施方式构造的像素的等效电路图,图9是示出根据本发明另一示例性实施方式构造的像素的平面图,图10是沿图9的线X-X' 截取的像素的截面图。

[0105] 参照图8至10,彼此交叉的栅线GL与第一和第二数据线DL1和DL2设置在薄膜晶体管基板10' 的第一基板100上。

[0106] 栅线GL电连接到第一薄膜晶体管T1的栅电极和第二薄膜晶体管T2的栅电极。例如,一部分栅线GL形成第一和第二薄膜晶体管T1和T2的栅电极。

[0107] 第一数据线DL1连接到第一薄膜晶体管T1的源电极,第二数据线DL2连接到第二薄

膜晶体管T2的源电极。不同于参照图7描述的示例性实施方式,施加于第一薄膜晶体管T1和第二薄膜晶体管T2的数据信号彼此不同。

[0108] 如图8和9中所示,第一像素电极1150和第二像素电极1160设置在沿第一方向延伸的栅线GL与沿第二方向延伸的第一和第二数据线DL1和DL2之间。第一像素电极1150在平面图中对应于设置在栅线GL之上的像素P1(称为第一像素),第二像素电极1160在平面图中对应于设置在栅线GL之下的像素P2(称为第二像素)。

[0109] 虽然未示出,但是第一像素电极1150和第二像素电极1160可以具有狭缝图案。例如,第一像素电极1150和第二像素电极1160可以包括彼此交叉的水平干线和垂直干线,以及连接到水平干线和垂直干线的多条支线。

[0110] 第一薄膜晶体管T1的栅电极和源电极分别连接到栅线GL和第一数据线DL1,第一薄膜晶体管T1的漏电极通过第一接触部分CNT1连接到第一像素P1的LC电容器C1c的像素电极1150。

[0111] 第二薄膜晶体管T2的栅电极和源电极分别连接到栅线GL和第二数据线DL2,第二薄膜晶体管T2的漏电极通过第二接触部分CNT2连接到第二像素P2的LC电容器C1c的像素电极1160。

[0112] 滤色器层1130设置在包括第一和第二薄膜晶体管T1和T2的像素电路层10A上,并且设置在第一和第二像素电极1150和1160之下。滤色器层1130包括红色、绿色或蓝色颜料。

[0113] 滤色器层1130包括对应于第一和第二接触部分CNT1和CNT2的第一和第二子孔1130H1和1130H2。第一子孔1130H1对应于第一接触部分CNT1,第二子孔1130H2对应于第二接触部分CNT2。

[0114] 第一和第二子孔1130H1和1130H2被滤色器层1130的通孔1130H围绕,并且被间隔壁1140彼此分开。如图9中所示,间隔壁1140可以具有诸如矩形条的细长形状,并且间隔壁1140的一个或更多个端部分可以交叠滤色器层1130的与通孔1130H相邻的端部分。

[0115] 如参照图5所述,第一和第二子孔1130H1和1130H2可以通过形成具有通孔1130H的滤色器层1130,然后形成空间地划分通孔1130H的间隔壁1140而形成。

[0116] 间隔壁1140可以包括颜料。例如,间隔壁1140可以包括与滤色器层1130的颜色不同的颜色的颜料。在一示例性实施方式中,当滤色器层1130具有红色时,间隔壁1140可以具有绿色或蓝色。

[0117] 配对基板20设置为与薄膜晶体管基板10' 相对并且LC层30设置在配对基板20与薄膜晶体管基板10' 之间。根据一示例性实施方式,黑矩阵220和公共电极210可以设置在配对基板20的第二基板200上。或者,黑矩阵220和/或公共电极210可以设置在薄膜晶体管基板10' 之上。

[0118] 因为除了连接到第二像素电极1160的第二薄膜晶体管T2被连接到与连接第一像素电极1150的第一薄膜晶体管T1所连接的数据线不同的数据线即第二数据线DL2之外,参照图9和10描述的示例性实施方式是通过使用与参照图6A至6E描述的制造工艺基本相同的工艺而形成,因此基本相同的工艺的重复描述是不必要的并将被省略。

[0119] 虽然已经在此描述了特定示例性实施方式和实现手段,但是其它示例性实施方式和变型从本说明书中将是显而易见的。因此,本发明构思不限于这样的实施方式,而仅由所附权利要求的范围和对于本领域技术人员显而易见的各种不同修改和等同布置所限制。

[0120] 本申请要求于2016年1月18日提交的韩国专利申请第10-2016-0005998号的优先权和权益,其出于所有目的通过引用合并于此如同在此充分陈述。

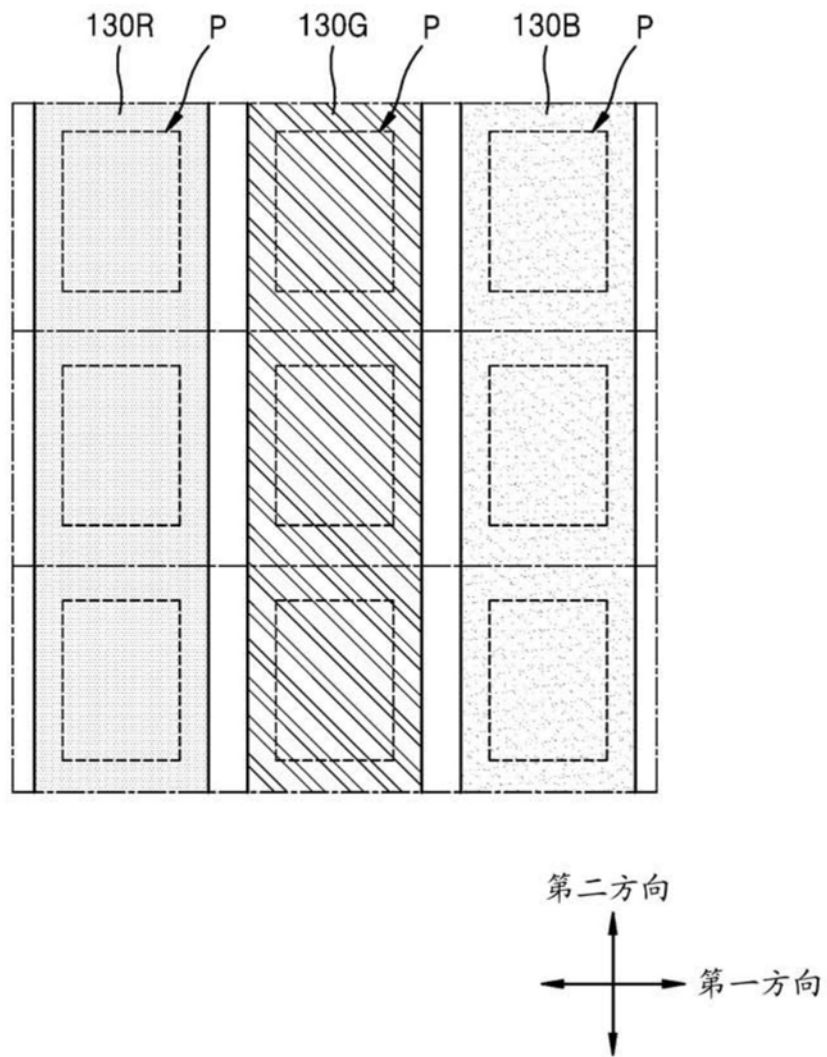


图1

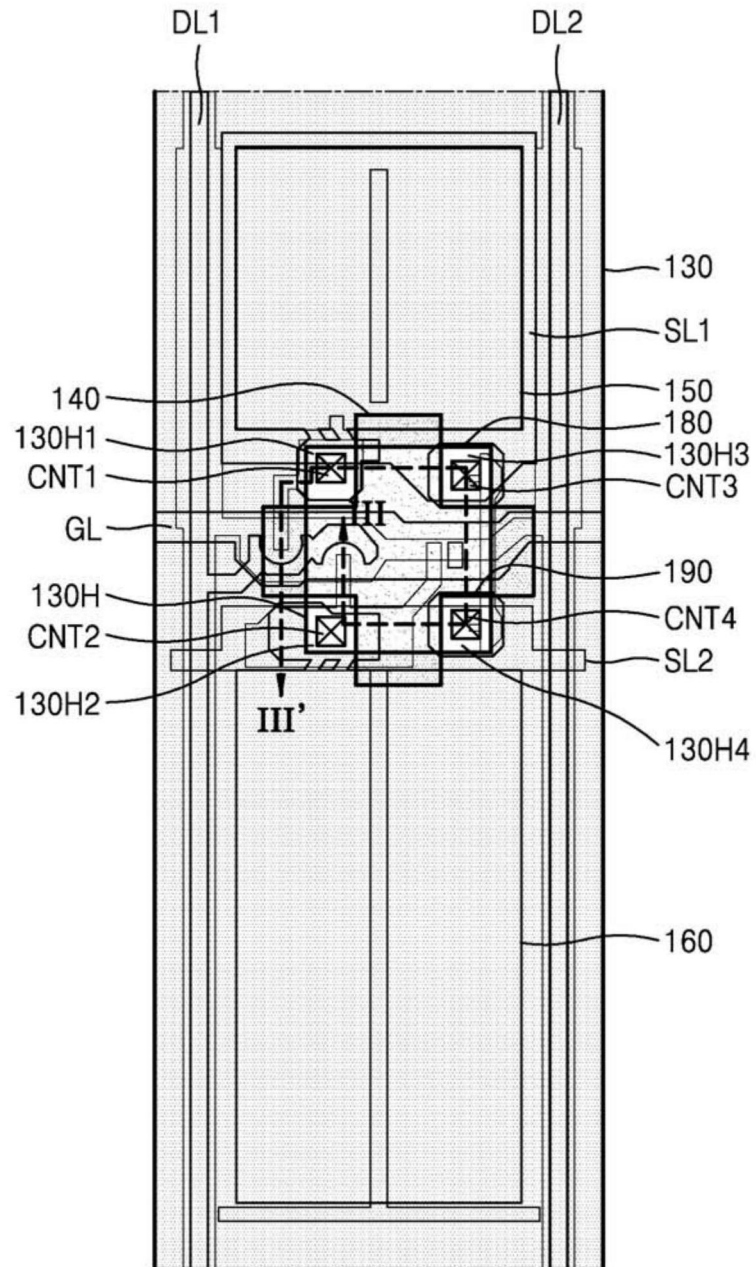


图2

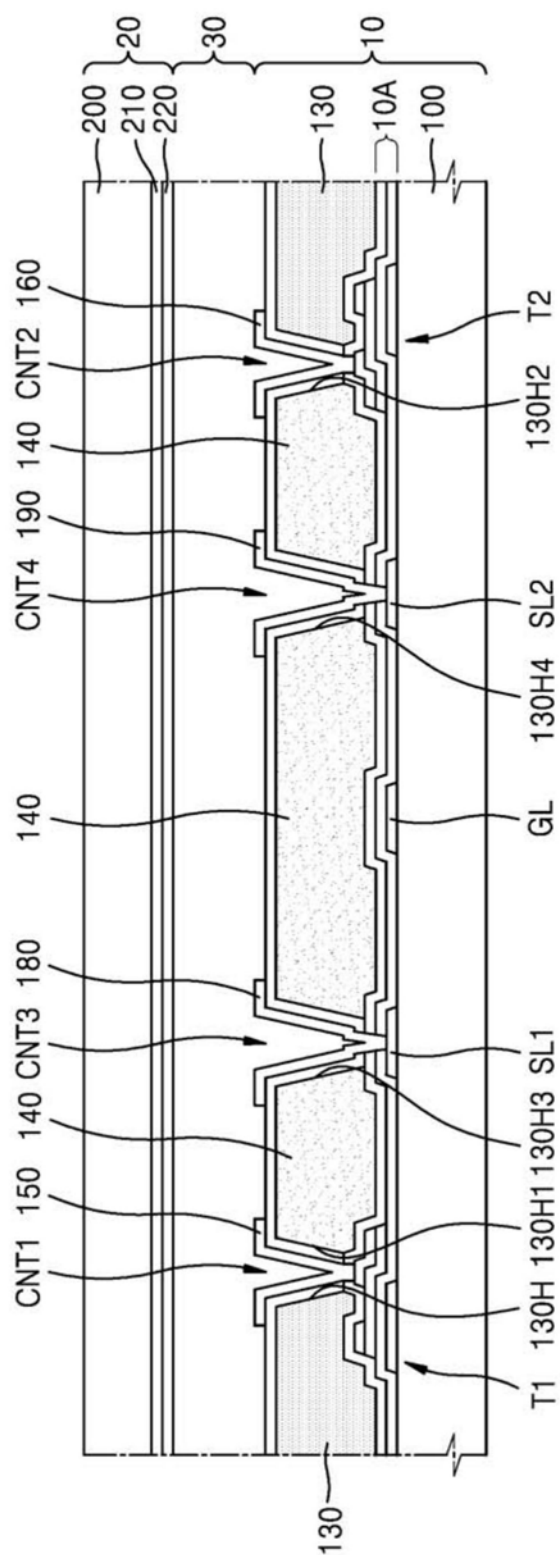


图3

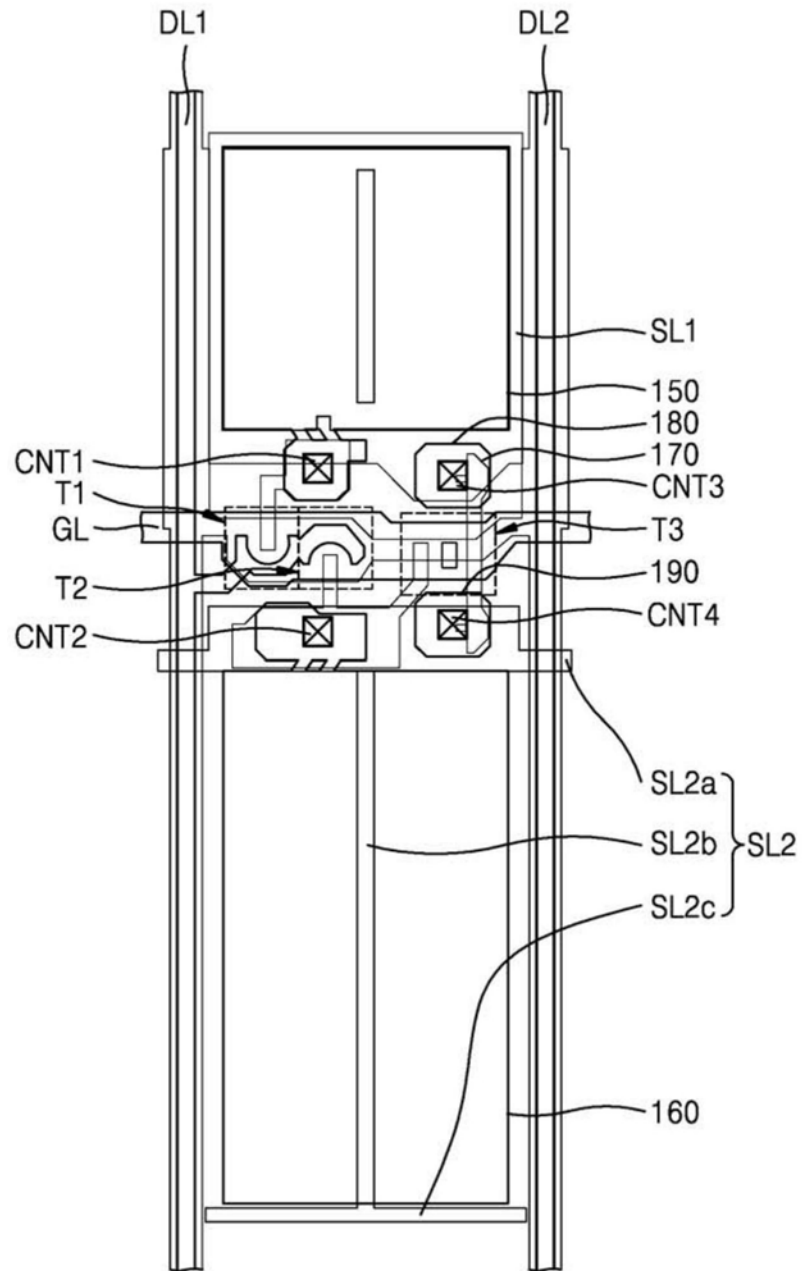


图4

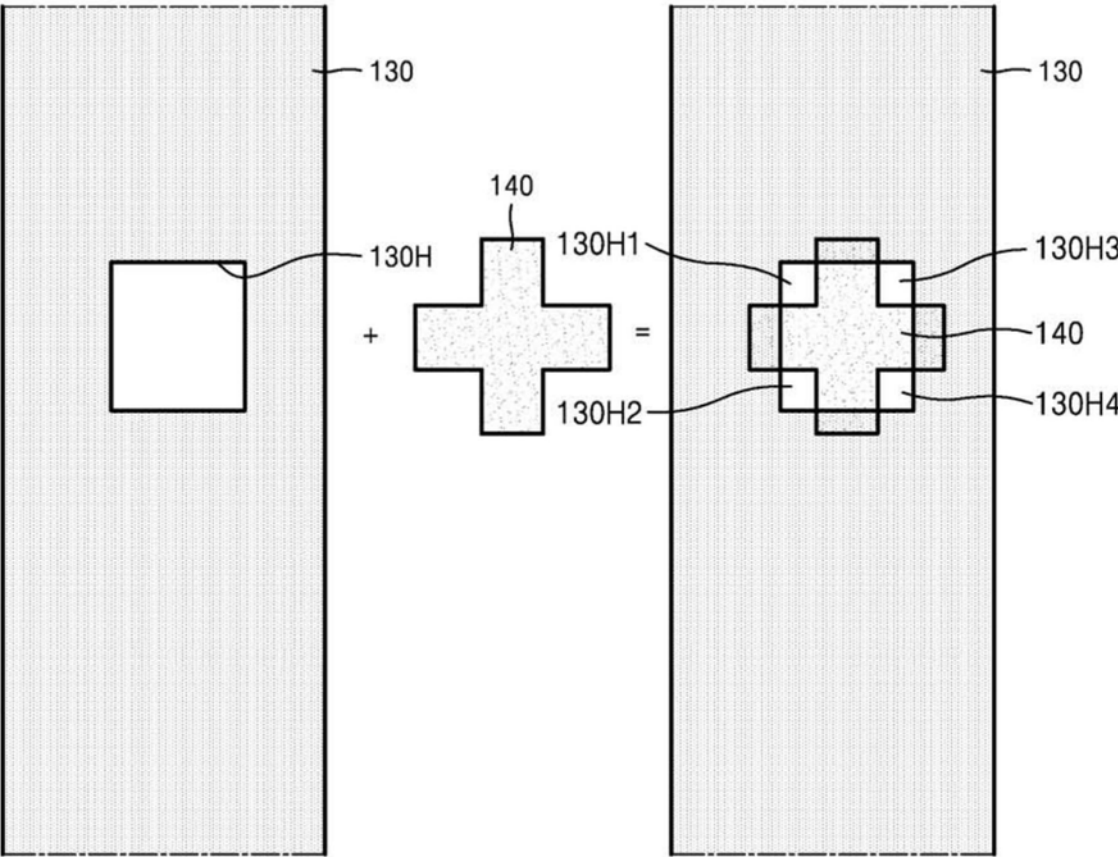


图5

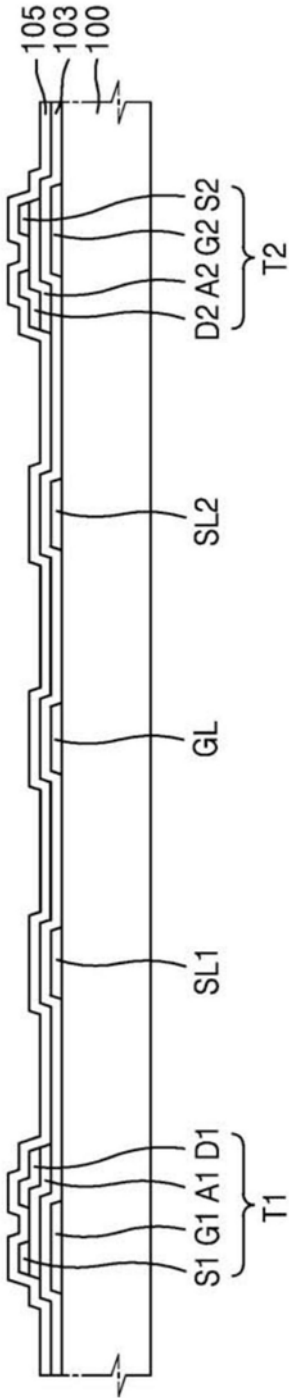


图6A

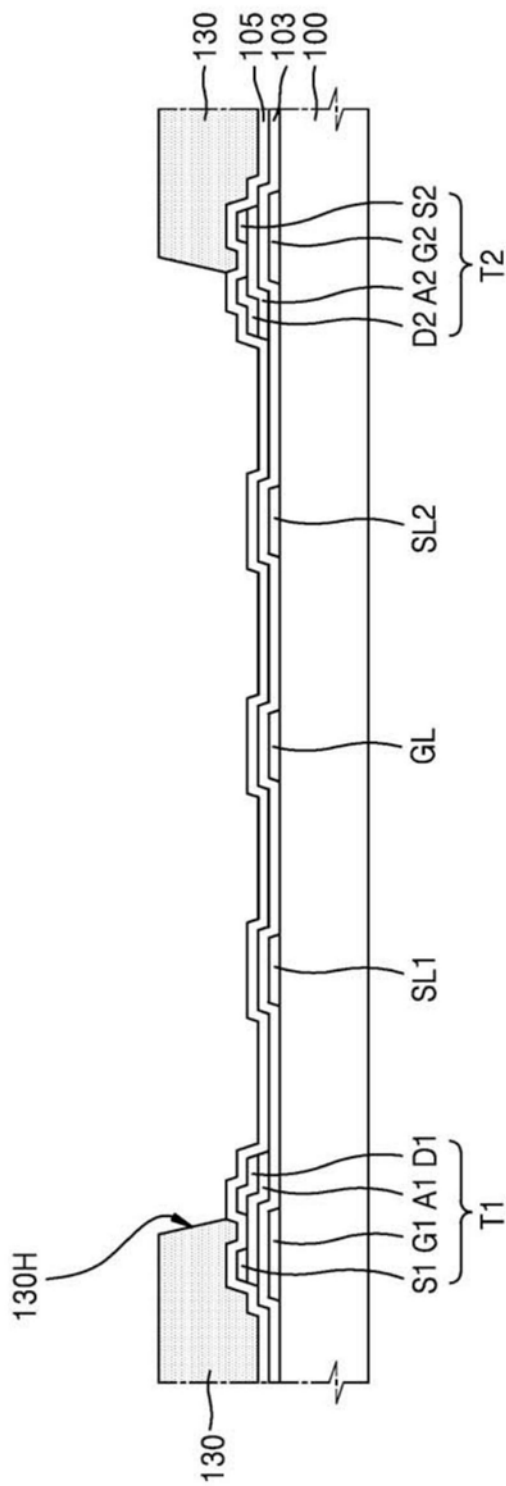


图6B

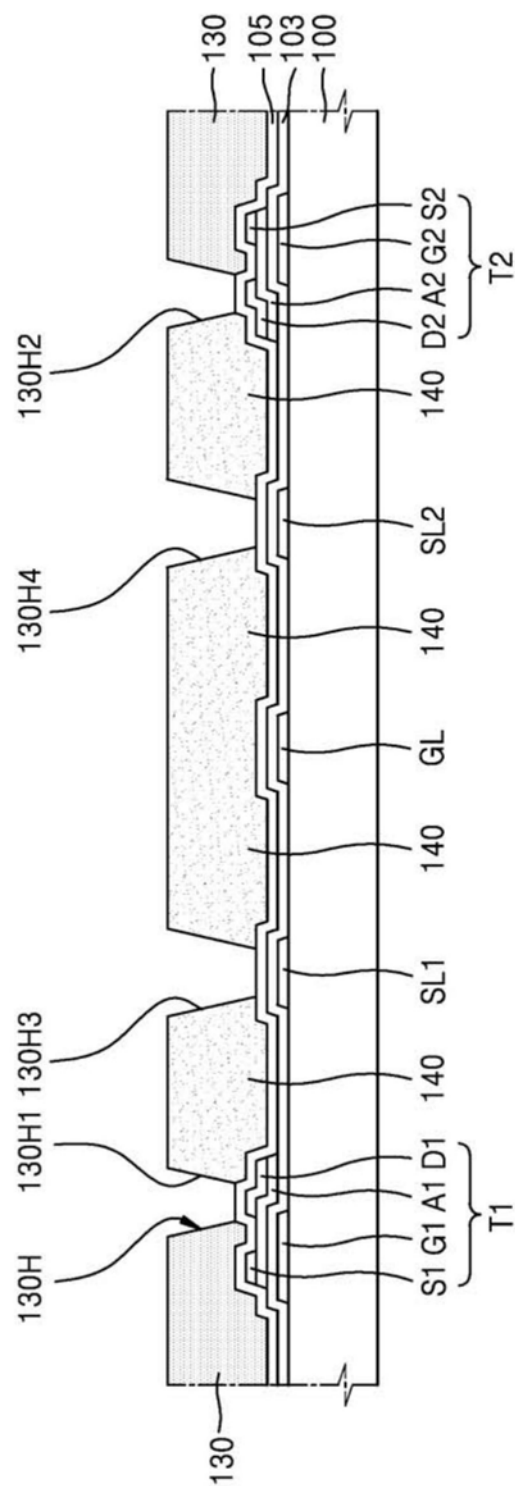


图6C

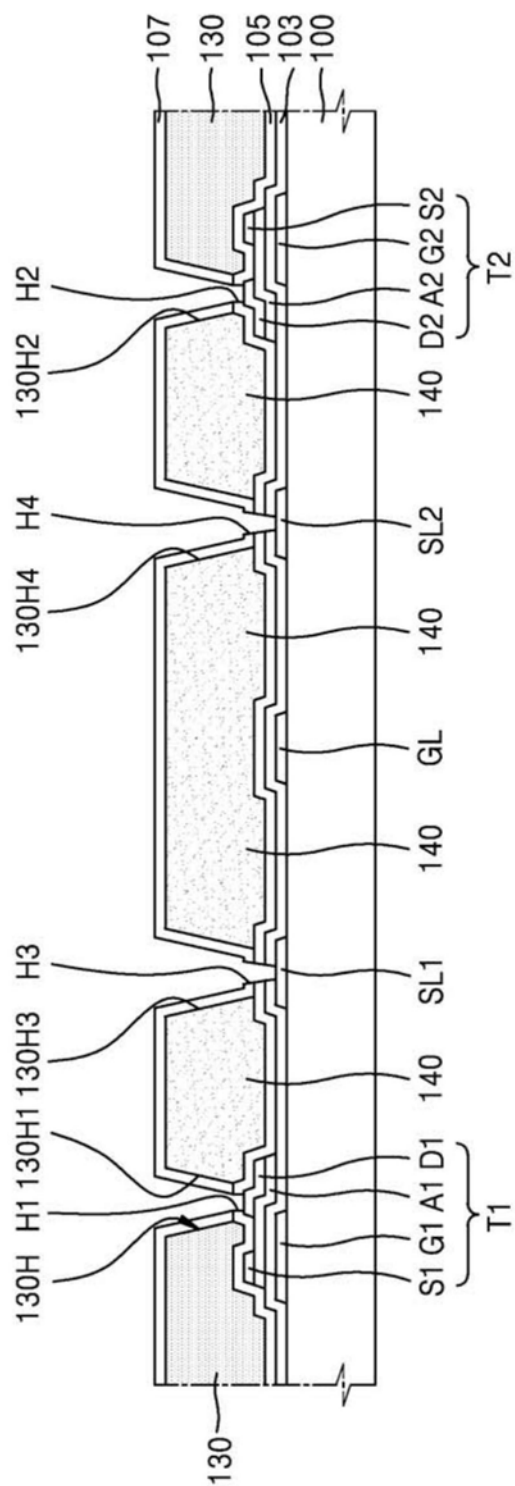


图6D

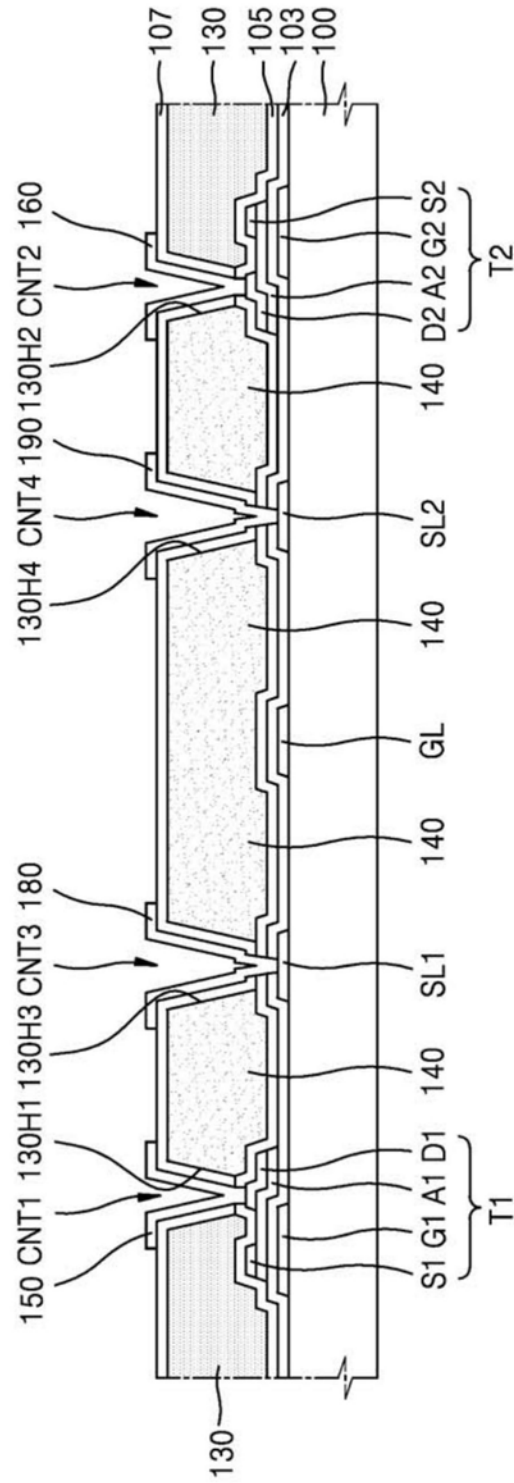


图6E

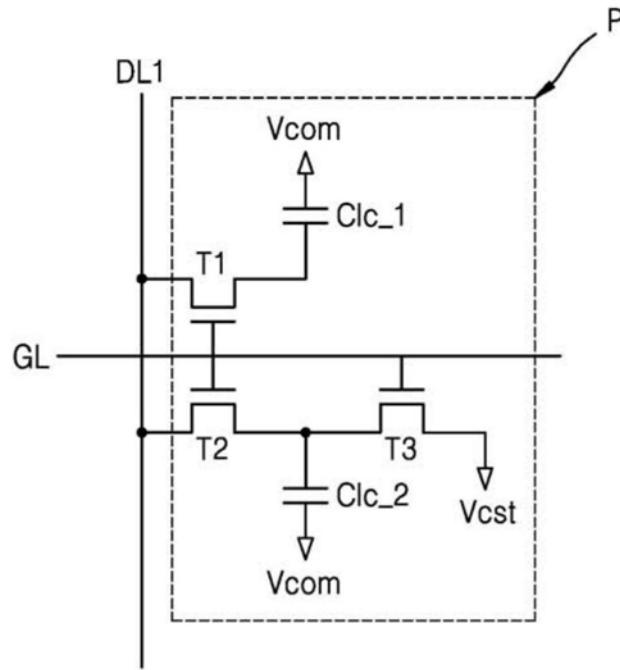


图7

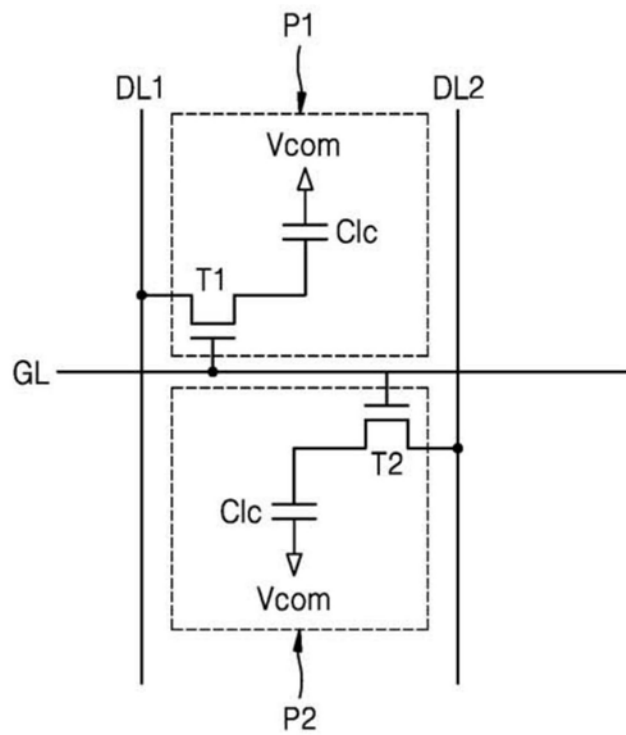


图8

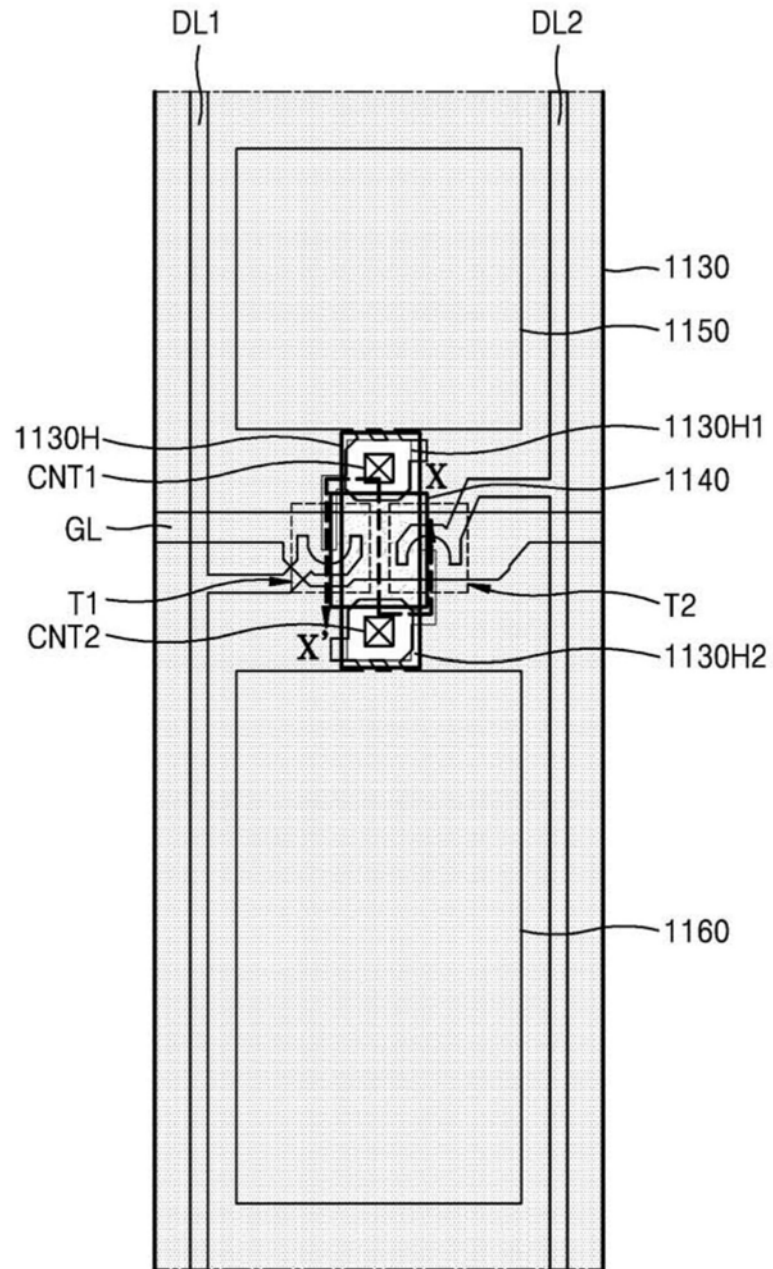


图9

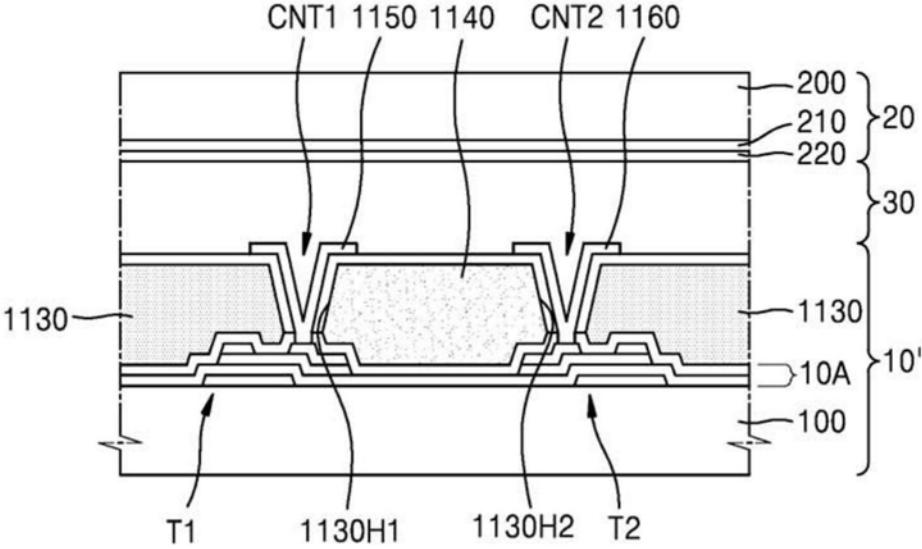


图10